



**Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA  
Curso de Engenharia Eletrônica**

**MODELAGEM EM VERILOG-AMS DO SISTEMA DE  
COMUNICAÇÃO SEM FIO DE UM IMPLANTE  
COCLEAR**

**Autor: Pedro Henrique Penaforte Ximenes  
Orientador: Wellington Avelino do Amaral  
Co-orientador: Sandro Augusto Pavlik Haddad**

**Brasília, DF  
2014**



**PEDRO HENRIQUE PENAFORTE XIMENES**

**TÍTULO: MODELAGEM EM VERILOG-AMS DO SISTEMA DE COMUNICAÇÃO SEM FIO DE UM IMPLANTE COCLEAR.**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Orientador: Prof. Dr. Wellington Avelino do Amaral

Co-Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

**Brasília, DF  
2014**

### **CIP – Catalogação Internacional da Publicação\***

Penaforte Ximenes, Pedro Henrique.

Modelagem em Verilog -AMS do sistema de comunicação sem fio de um implante coclear / Pedro Henrique Penaforte Ximenes. Brasília: UnB, 2014. 103 p. : il. ; 29,5 cm.

Monografia (Graduação) – Universidade de Brasília  
Faculdade do Gama, Brasília, 2014. Orientação: Wellington Avelino do Amaral. Co-orientação: Sandro Augusto Pavlik Haddad

1. Implante Coclear. 2. Verilog-AMS. 3. Aparelho Auditivo I. Avelino do Amaral, Wellington. II. Dr. III. Haddad, Sandro A. Pavlik IV. Dr

CDU Classificação



**MODELAGEM EM VERILOG-AMS DO SISTEMA DE COMUNICAÇÃO SEM FIO  
DE UM IMPLANTE COCLEAR.**

**Pedro Henrique Penaforte Ximenes**

Monografia submetida como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica da Faculdade UnB Gama - FGA, da Universidade de Brasília, em 28/11/2014 apresentada e aprovada pela banca examinadora abaixo assinada:

---

**Prof. Dr.: Wellington Avelino do Amaral, UnB/ FGA**  
Orientador

---

**Prof. Dr.: Sandro Augusto Pavlik Haddad, UnB/FGA**  
Co-Orientador

---

**Prof. Dr.: Daniel Mauricio Muñoz Arboleda, UnB/ FGA**  
Membro Convidado

---

**Prof. Dr.: Leonardo Aguayo, UnB/ FGA**  
Membro Convidado

Brasília, DF  
2014

*Aos meus avós.*

## **AGRADECIMENTOS**

Agradeço, em especial, pela proteção e zelo materno de Nossa Senhora que sempre intercedeu a Deus em todos os momentos de minha vida e a Deus por sempre me fortalecer durante essa longa caminhada.

Aos meus pais que me ensinaram os principais valores da vida e aos meus irmãos por sempre tentarem me alegrar nos principais momentos de aflição e sempre estarem ao meu lado.

Agradeço a compreensão, paciência e carinho da minha namorada e toda sua família que sempre me incentivaram e acolheram com muito carinho.

Todos os amigos e colegas que dividiram comigo os momentos difíceis e alegres da vida.

E aos Professores Wellington e Sandro que sempre estiveram dispostos a me auxiliar durante este trabalho e em outras ocasiões.

*Pois o que é visível é passageiro,  
mas o que é invisível é eterno.  
II Coríntios 4,18*

## RESUMO

O projeto descrito neste documento apresenta uma proposta de modelagem de um sistema de comunicação sem fio para implantes cocleares utilizando a linguagem Verilog – AMS. A ferramenta a ser utilizada será o software CADENCE. A primeira parte deste documento trata-se de uma revisão bibliográfica a respeito dos implantes cocleares utilizados atualmente, em seguida, é desenvolvido o sistema proposto com o foco na modelagem do implante coclear externo, observando cada bloco e suas respectivas funcionalidades. O objetivo geral deste projeto é desenvolver um modelo em Verilog - AMS para o sistema de comunicação dos implantes cocleares, visto que os demais blocos serão trabalhados por outros alunos da Universidade de Brasília. Será apresentado também o contexto social dos implantes cocleares e sua importância para os deficientes auditivos. Além de apresentar a fundamentação teórica para o desenvolvimento deste projeto, este documento apresenta os modelos destinados para a parte externa do implante coclear e suas primeiras validações utilizando o Verilog-AMS.

**Palavras-chave:** Implante Coclear, Verilog – AMS, *Top-down*, CADENCE, ouvido humano, Modulador *Amplitude Shift Keying* (ASK), *Programmable Gain Amplifier* (PGA).

## ABSTRACT

The project described in this paper proposes a modeling of a wireless communication system for cochlear implants using the Verilog – AMS language. The tool to be used will be the CADENCE software. The first part of this document it is a literature review regarding cochlear implants currently used, then the proposed system is developed with a focus on modeling the external cochlear implant, observing each block and their respective features. The aim of this project is to develop a Verilog - AMS model for the communication system of cochlear implants, whereas other blocks will be worked out by other students at the University of Brasilia. It will also be presented the social context of cochlear implants and their importance for the hearing impaired. In addition to presenting the theoretical foundation for the development of this project, this paper presents the models destined for the outside of the cochlear implant and their first validations using the Verilog-AMS.

**Keywords:** Cochlear Implant, Verilog – AMS, *Top-down*, CADENCE, human ear, *Amplitude Shift Keying (ASK) Modulator*, *Programmable Gain Amplifier (PGA)*.

## LISTA DE ILUSTRAÇÕES

Figura 1. Fases do desenvolvimento dos implantes cocleares (Zeng, 2008).....	16
Figura 2. Crescimento Exponencial de pesquisas e vendas de implantes cocleares (Zeng, 2008).....	17
Figura 3. Despesas do SUS com implantes cocleares (Tefili, 2013).....	18
Figura 4. Modelagem em Verilog – AMS de um resistor (Kundert & Zinke, 2004). ...	26
Figura 5. Anatomia do ouvido (Rosa, 2009).....	28
Figura 6. Estrutura do Ouvido e suas funções (Tefili, 2013).....	29
Figura 7. Arquitetura de um implante coclear moderno (Tefili, 2013).....	31
Figura 8. Diagrama de blocos Geral do implante coclear: (a) parte externa, (b) parte interna. ....	33
Figura 9. Diagrama de blocos do processamento do sinal sonoro (Tefili, 2013). ....	34
Figura 10. Acoplamento Indutivo (Abbas, 2012). ....	38
Figura 11. Transmissão de um sinal RF utilizando modulação ASK (Zeng, 2008)....	39
Figura 12. Modulador ASK (Naghmouchi, 2004).....	40
Figura 13. Três dos maiores fabricantes de implantes cocleares e os tipos de modulação (Zeng, 2008). ....	40
Figura 14. Demodulador ASK (Tran, 2007).....	42
Figura 15. Comparativo das três maiores indústrias de implantes cocleares (Zeng, 2008). ....	44
Figura 16 – Diagrama de Blocos da parte externa do Implante Coclear. ....	45
Figura 17. Diagrama de blocos do microfone e pré-amplificador utilizado em implantes cocleares (Martinez).....	46
Figura 18 – Declaração das Disciplinas utilizadas nos modelos .....	47
Figura 19 – Descrição em Verilog – AMS do comportamento do pré-amplificador. ...	48
Figura 20 – Circuito utilizado para a validação do pré-amplificador .....	49
Figura 21 – Análise transiente do pré-amplificador .....	50
Figura 22 – Tensão de saída do pré-amplificador em saturação .....	50
Figura 23 - acima: Gráfico Magnitude (dB) x Frequência(rad/s), abaixo: Gráfico Fase(graus) x Frequência (rad/s).....	52
Figura 24 – Modelagem em Verilog – AMS do Filtro de Butterworth.....	53

Figura 25 – Simulação do Filtro de Butterworth com um sinal Modulado na entrada. .....	53
Figura 26 – Ganho do Filtro na Banda Passante .....	54
Figura 27 - Classificação dos AGCs (a) Feedback (b) Feedforward (Pérez, 2011)..	54
Figura 28 - Circuito Detector de Envoltória.....	56
Figura 29 - Resposta Transiente do Circuito detector de envoltória, em azul a tensão de entrada e em vermelho a tensão de saída. ....	56
Figura 30 - Circuito detector de Pico. ....	57
Figura 31 – Variáveis utilizadas na modelagem do Detector de Pico.....	59
Figura 32 – Modelagem do Detector de Pico. ....	59
Figura 33 – Utilização da Função Range. ....	61
Figura 34 - Parte da modelagem do comparador.....	61
Figura 35 – Estrutura do case utilizada para a modelagem do PGA.....	62
Figura 36 – Testbench referente ao detector de Pico. ....	63
Figura 37 – Analise transiente do comportamento do detector de pico.....	64
Figura 38 – Circuito de simulação utilizado para o comparador.....	65
Figura 39 – Resultados obtidos pelo comparado .....	65
Figura 40 – Testbench realizado para o PGA. ....	66
Figura 41 – Resultados obtidos com a modelagem do PGA.....	67
Figura 42 - Oscilador em Anel.....	68
Figura 43 – Modulação ASK (Hannan, 2012).....	68
Figura 44 – Modelo para uma chave (Allen, 2002).....	70
Figura 45 – Modelagem em Verilog – AMS de uma chave .....	70
Figura 46 – Modelagem do Oscilador. ....	71
Figura 47 – Testbench referente ao modelo da chave.....	72
Figura 48 – Analise dos resultados da chave modelada. ....	73
Figura 49 – Testbench do Oscilador. ....	73
Figura 50 – Resultado final do oscilador projetado. ....	74
Figura 51 – Testbench do Modulador ASK. ....	74
Figura 52 – Resultado da união dos blocos correspondentes ao Modulador ASK....	75
Figura 53 – Amplificador de Potência Classe E (Ali H. e., 2009).....	76
Figura 54 – Resultados referentes a fonte de corrente. ....	77

**LISTA DE TABELAS**

Tabela 1 – Especificações do Pré-amplificador.....	46
Tabela 2– Pinos utilizados na modelagem do Pré-amplificador .....	47
Tabela 3 - Especificações do Filtro. ....	51
Tabela 4– Pinos utilizados na modelagem do Filtro. ....	52
Tabela 5– Ganho Nominal do PGA THS7001 da Texas Instruments.....	55
Tabela 6 - Especificações do PGA.....	58
Tabela 7 - Pinos do Detector de Envoltória.....	58
Tabela 8 – Decodificação realizada pelo comparador.....	60
Tabela 9 – Pinos do Comparador.....	61
Tabela 10 – Pinos referentes ao PGA.....	62
Tabela 11 – Especificações do Modulador ASK.....	69
Tabela 12 – Pinos referentes ao modelo da chave. ....	71
Tabela 13 – Pinos referentes ao oscilador .....	71
Tabela 14 - Especificações do Amplificador de Potência.....	76
Tabela 15 – Pinos referentes ao PA.....	77

## SUMÁRIO

<b>1. INTRODUÇÃO .....</b>	<b>15</b>
1.1. CONTEXTO.....	15
1.2. MOTIVAÇÃO.....	17
1.3. OBJETIVOS.....	19
<b>2. METODOLOGIA.....</b>	<b>20</b>
2.1. METODOLOGIA UTILIZADA.....	22
<b>3. LINGUAGEM VERILOG-AMS.....</b>	<b>24</b>
3.1. LINGUAGEM DE DESCRIÇÃO DE HARDWARE.....	24
3.2. FAMÍLIA VERILOG.....	25
3.3. ALGUNS MODELOS EM VERILOG-AMS.....	25
3.3.1 Modelagem de um resistor.....	26
<b>4. DEFICIÊNCIA AUDITIVA.....</b>	<b>28</b>
4.1. O OUVIDO E SUA FISILOGIA.....	28
4.2. TIPOS DE DEFICIÊNCIAS AUDITIVAS.....	29
<b>5. IMPLANTES COCLEARES.....</b>	<b>31</b>
5.1. PROCESSAMENTO DO SINAL SONORO.....	34
<b>6. FUNDAMENTAÇÃO SOBRE O SISTEMA.....</b>	<b>37</b>
6.1. LINK SUBCUTÂNEO.....	37
6.2. APARELHO AUDITIVO.....	38
6.2.1 Modulação.....	38
6.2.2 Modulador ASK.....	39
6.2.3 Amplificador de Potência.....	41
6.3.1 Demodulação ASK.....	42
6.3.2 Estímulos Elétricos.....	43
<b>7. PROJETO.....</b>	<b>45</b>
7.1. PRÉ-AMPLIFICADOR.....	45
7.1.1 Breve Descrição do Bloco.....	45
7.1.2 Especificações do Bloco.....	46
7.1.3 Modelagem em Verilog-AMS.....	46
7.1.4 Simulações e <i>Testbenchs</i> .....	49
7.2. FILTRO PASSA-BAIXAS.....	51
7.2.1 Breve Descrição do Bloco.....	51
7.2.2 Especificações do Bloco.....	51
7.2.3 Modelagem em Verilog-AMS.....	52
7.2.4 Simulações e <i>Testbenchs</i> .....	53
7.3. <i>Automatic Gain Control (AGC)</i> .....	54
7.3.1 Breve Descrição do Bloco.....	54
7.3.2 Especificações do Bloco.....	58
7.3.3 Modelagem em Verilog-AMS.....	58
7.3.3.1 Modelagem do Detector de Pico.....	58

7.3.3.2 Modelagem do Comparador.....	59
7.3.3.3 Modelagem do PGA.....	62
7.3.4 Simulações e <i>Testbenchs</i> .....	63
7.3.4.1 Simulações e <i>Testbenchs</i> do Detector de Pico.....	63
7.3.4.2 Simulações e <i>Testbenchs</i> do Comparador.....	64
7.3.4.2 Simulações e <i>Testbenchs</i> do PGA.....	66
7.4. MODULADOR ASK.....	67
7.4.1 Breve Descrição do Bloco.....	67
7.4.2 Especificações do Bloco.....	69
7.4.3 Modelagem em Verilog-AMS.....	69
7.4.3.1 Modelagem em Verilog-AMS da chave.....	69
7.4.3.2 Modelagem em Verilog-AMS do oscilador.....	71
7.4.4 Simulações e <i>Testbenchs</i> .....	72
7.4.4.1 Simulações e <i>Testbenchs</i> da chave.....	72
7.4.4.2 Simulações e <i>Testbenchs</i> do oscilador.....	73
7.4.4.3 Simulações e <i>Testbenchs</i> do modulador ASK.....	74
7.5. AMPLIFICADOR DE POTÊNCIA.....	75
7.5.1 Breve Descrição do Bloco.....	75
7.5.2 Especificações do Bloco.....	76
7.5.3 Modelagem em Verilog-AMS.....	76
7.5.4 Simulações e <i>Testbenchs</i> da fonte de corrente.....	77
<b>8. CONSIDERAÇÕES FINAIS.....</b>	<b>78</b>
8.1. CONCLUSÃO.....	78
8.2. TRABALHOS FUTUROS.....	79
<b>9. BIBLIOGRAFIA.....</b>	<b>80</b>
<b>9. ANEXOS.....</b>	<b>82</b>

## 1. INTRODUÇÃO

### 1.1. CONTEXTO.

De acordo com censo realizado em 2010 pelo IBGE, aproximadamente 9,7 milhões de brasileiros possuem problemas auditivos, ou seja, 5,1% da população brasileira. No entanto, 2 milhões possuem deficiência auditiva severa, caracterizada por uma grande dificuldade de ouvir ou surdez (Rosa, 2009).

Para permitir uma vida mais independente e ativa na sociedade, existem inúmeros tratamentos para cada grau de deficiência auditiva. O implante coclear é um dispositivo que permite percepção auditiva para pessoas com a audição severamente ou profundamente debilitada, ou seja, pessoas que possuem pouca reserva coclear e não conseguem uma percepção sonora mesmo com o aparelho de amplificação.

Os primeiros estudos a respeito do implante coclear partiram da França, através de Djournò e Eyriès em 1957 (Carvalho, 1999). Eles conseguiram colocar um eletrodo ativo, ligado a uma bobina de indução, para assim estimular o nervo auditivo em um indivíduo surdo, tendo o paciente reconhecido sensações auditivas entre as frequências de 150 Hz à 1 KHz. Segundo o paciente, o som gerado era algo como uma “roleta de cassino”.

A partir daí os implantes cocleares começaram a ser alvo de estudos mais profundos em muitas áreas e, além disso, foram criadas conferências a respeito dos mesmos. A primeira conferência internacional ocorreu em São Francisco, Estados Unidos, em 1973 (Zeng, 2008).

Em pouco tempo, o primeiro implante brasileiro foi realizado pelo Professor Pedro Luiz Mangabeira Albernaz em 1977. O implante era monocanal desenvolvido pelo Ear Research Institute of Los Angeles. Ainda nos anos 70, na Universidade de Melbourne, Austrália, foi desenvolvido um implante multicanal com vinte eletrodos e, desta forma, os indivíduos conseguiram maior percepção em nível de frequência (Tefili, 2013).

Para que as pesquisas e testes possam ser implementados na prática em deficientes auditivos e assim, serem comercializados é necessário a aprovação das organizações sanitárias a nível nacional. Nos primeiros momentos, a organização em questão era a *Food and Drug Administration* (EUA), no qual, foi responsável pela aprovação dos primeiros implantes cocleares comerciais (Tefili, 2013).

Vale ressaltar que para se desenvolver a idéia fundamental dos implantes cocleares foi necessário entender o funcionamento dos estímulos elétricos. Para isso, houve uma contribuição grandiosa dos estudos do italiano Alessandro Volta (1745 - 1827) que muito tempo depois foi a base para o entendimento da percepção dos estímulos sonoros por Stanley Smith Stevens, um pesquisador de Harvard.

Ao invés de utilizar estímulos elétricos DC, tal como Alessandro Volta, para induzir sensações auditivas, Stevens utilizou estímulos AC e identificou três mecanismos relacionados à percepção sonora. O primeiro trata-se da conversão do sinal elétrico em um sinal sonoro realizado pelo tímpano. O segundo mecanismo está relacionado ao efeito eletromecânico, no qual estímulos elétricos vibram os cílios próximos à cóclea, resultando na percepção do sinal em determinada frequência, tal como um estímulo acústico. O terceiro está ligado às sensações elétricas relacionadas ao nervo auditivo. Observe na Fig. (1) um resumo das principais fases para a concepção dos implantes cocleares.

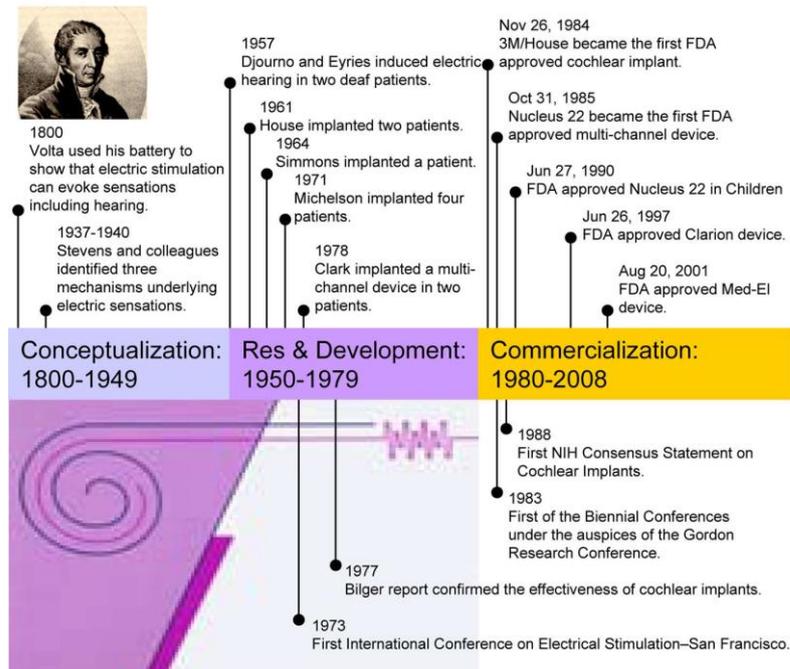


Figura 1. Fases do desenvolvimento dos implantes cocleares (Zeng, 2008).

## 1.2. MOTIVAÇÃO.

Hoje existem mais de 60.000 usuários de implantes cocleares e, de acordo com a Fig. (2), o número de pesquisas e de implantes vendidos aumentou exponencialmente no período de 1970-2008. Veja também que o desenvolvimento de outros tipos de implantes biomédicos, como o marca-passos, ajudou nas pesquisas dos implantes cocleares em situações como: biocompatibilidade dos materiais, o desenvolvimento dos eletrodos que auxiliassem melhor na captura e estímulo de sinais e ainda, no conhecimento dos limites dos estímulos elétricos.

No início, a empresa 3M se destacou por concentrar sua tecnologia em implantes monocanaís e por ser a primeira a ser qualificada pela *Food and Drug Administration* (FDA) para comercializar os primeiros implantes cocleares. Desta forma, a 3M tornou-se líder do mercado por alguns anos. Com os avanços nas pesquisas relacionadas aos implantes multicanais em Melbourne e com o aumento dos eletrodos de estímulo da cóclea, outra empresa se destacou: *Nucleus Limited* (fabricante de marca-passos). Veja gráfico menor em Fig (2).

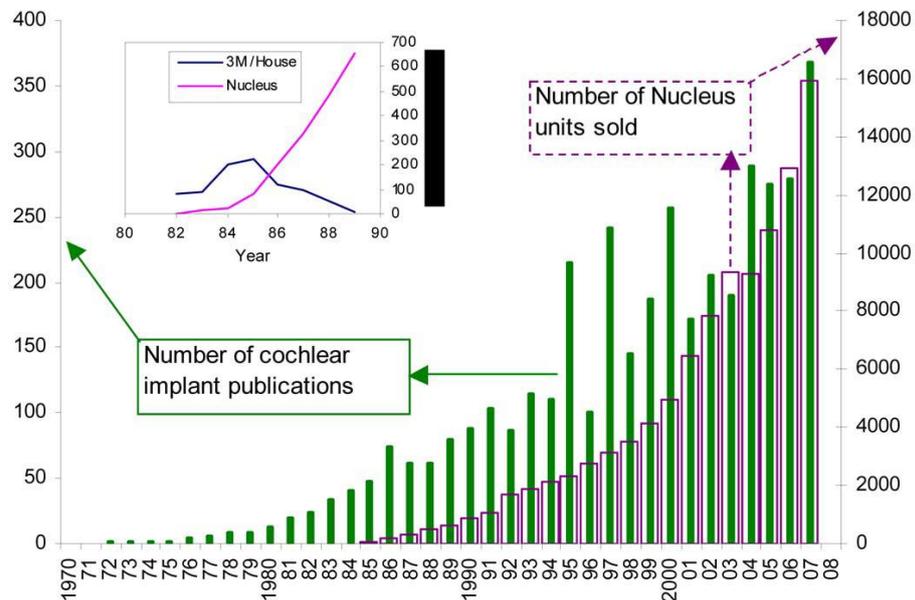


Figura 2. Crescimento Exponencial de pesquisas e vendas de implantes cocleares (Zeng, 2008)

Apesar dos implantes cocleares serem a solução de muitos problemas para crianças e adultos com deficiência auditiva, os implantes cocleares não são aplicados em todos os casos, devido ao valor deste tipo de tratamento. Estima-se

que o valor do implante sem custos com cirurgia e acompanhamento (pós-operação) sejam em torno de U\$\$ 25.000. Além disso, cerca de 80% dos deficientes auditivos vivem em países em desenvolvimento, onde as tecnologias de implantes biomédicos ainda são limitadas (An, 2007).

Segundo o DATASUS, um banco de dados com informações financeiras do Sistema Único de Saúde (SUS), o valor médio gasto pelo SUS para cada implante coclear é algo em torno de R\$ 46 mil, onde R\$ 44 mil são destinados à compra do aparelho e o restante aos demais procedimentos. Isso em virtude de os aparelhos serem um produto importado em todos os casos de necessidade. Abaixo, na Fig. (3), são apresentadas as despesas do SUS com a compra dos implantes cocleares (IC) (Tefili, 2013).



Figura 3. Despesas do SUS com implantes cocleares (Tefili, 2013).

É relevante ressaltarmos que existem outros problemas advindos da deficiência auditiva, como a dificuldade de fala. Embora o deficiente possua parte dos sentidos auditivos, o deficiente pode não ser capaz de entender o sinal enviado caso haja alguma obstrução do sinal. Este tipo de deficiência pode afetar as relações do indivíduo e ainda retardar o seu aprendizado. No caso de crianças, este fato acarreta em uma considerável redução da capacidade de desenvolvimento e aprendizado. Existem estudos que relatam que o cérebro é consideravelmente estimulado após o uso dos implantes cocleares.

Desta forma, para melhor atender os portadores de deficiência auditiva, é necessária a utilização de circuitos otimizados para cada tipo de deficiência. Para isso, deve-se entender o comportamento do ouvido e posteriormente, verificar topologias de circuitos que possam auxiliar na captura sonora e no estímulo das células auditivas. Em função disto, determinadas características do circuito serão analisadas com maiores detalhes posteriormente, tais como: taxa de transmissão de dados, consumo, técnica para o processamento de voz e entre outros aspectos.

Primeiramente, será apresentada a teoria básica para a compreensão do funcionamento do ouvido humano e as metodologias de projetos utilizadas. Em seguida, serão analisados os blocos que compõem os implantes cocleares, sendo possível um melhor entendimento do sistema, possibilitando, seu aperfeiçoamento em trabalhos futuros. Por fim, serão desenvolvidos modelos em Verilog – AMS dos blocos citados. É importante ressaltar que este trabalho tem como foco o sistema de comunicação e transmissão de dados dos implantes cocleares.

### 1.3. OBJETIVOS.

Este trabalho tem por objetivo a modelagem com Verilog – AMS do sistema de comunicação de um implante coclear. Vale ressaltar que o trabalho focará no desenvolvimento do sistema externo do implante coclear, aplicando conceitos de metodologia de projeto que serão descritos nos itens seguintes.

Portanto, serão desenvolvidos ou ainda, proposto uma topologia de circuito para os seguintes blocos: pré-amplificador, filtro, *Automatic Gain Control* (AGC), Modulador ASK e Amplificador de Potência (PA). Porém, serão explorados de maneira superficial os demais blocos do sistema, bem como seu comportamento.

## 2. METODOLOGIA.

Para o desenvolvimento de um projeto são necessários alguns aspectos criteriosos para um resultado adequado, dentre eles está o uso de uma metodologia em conformidade com a equipe de projeto envolvida e o trabalho a ser desenvolvido. Com uma metodologia correta, o trabalho é bem estruturado e é o crescimento do mesmo, uma vez que são utilizadas as ferramentas adequadas e há uma boa comunicação entre as equipes envolvidas e, desta forma, as responsabilidades no projeto são asseguradas. Logo, metodologia é o conjunto de técnicas utilizadas pra desenvolver um projeto de maneira sistemática.

Existe um fluxo para o desenvolvimento do projeto. Observe que para chegar ao modelo dos blocos é necessário uma descrição das especificações do mesmo para assim, chegar a descrição do modelo. O modelo trata-se do desenvolvimento do projeto baseado nas especificações descritas anteriormente, e a partir disso, temos como verificar a viabilidade, funcionalidade e algumas características de parte do projeto desenvolvido.

A próxima etapa do fluxo do projeto corresponde a validação das características esperadas para determinado sistema, ou seja, verifica-se a qualidade e o desempenho do mesmo por meio de testes e simulações para notar possíveis erros na modelagem ou ainda, na implementação.

Mais adiante, é necessário tornar o sistema mais robusto. Para isso, deve-se preocupar com o detalhamento do sistema. Logo, há a preocupação em torná-lo menos abstrato possível, ou seja, é interessante adicionar maiores detalhes ao projeto para aproximá-lo da realidade na qual será submetido. Os níveis de abstração podem variar desde o equacionamento do sistema, descrição por blocos, transistores ou até ao nível de *layout*. Esta etapa do fluxo do projeto chama-se síntese.

Os fluxos de projeto estão relacionados com os passos para o desenvolvimento do sistema, no entanto, para cada passo pode existir uma estratégia diferente de abordagem. Desta forma, essas diferentes abordagens são tipos de metodologia de projeto que podem ser classificadas em *Bottom-up*, *Top-down* e *Middle-out*.

A metodologia *Bottom-up* trata-se do desenvolvimento em nível de transistor de cada um dos blocos do sistema para, em seguida, juntar todos os blocos. Esse

tipo de metodologia parte, inicialmente, do nível mais baixo do projeto para o nível mais alto. É relevante notar que esta abordagem só é interessante para projetos pequenos, uma vez que em projetos grandes trabalhar com um número maior de blocos com diferentes níveis de complexidade pode dificultar a junção de todos os blocos.

Então, o tempo de construção do projeto aumenta e, além disso, os blocos são submetidos individualmente a testes para verificar falhas. Caso ocorram, o bloco é trabalhado novamente. Outro problema está ligado aos poucos testes com o sistema completo, em virtude das dificuldades de depuração de cada bloco construído em nível de transistores e ao tempo de entrega do projeto final (Ali H. e., 2009).

A metodologia *Bottom-up* ainda tem a necessidade que todos projetistas envolvidos estejam trabalhando no mesmo local, uma vez que todos devem assegurar a correta união de todos os blocos. Além disso, a comunicação dos projetistas é em nível muito informal devido a visualização do projeto bloco por bloco e pouco se atentar ao nível macroscópico do projeto (Ali H. , 2009).

A abordagem *Top-down* é contrária a *Bottom-up*. A metodologia *Top-down* trata o projeto de um nível maior para níveis menores, parte-se da modelagem sucinta do sistema completo, conhecendo-se as especificações primordiais para o sistema. Em seguida, há o aprofundamento do sistema e surgem subsistemas que são explorados de acordo com a necessidade do sistema maior, ou seja, se conhece as especificações dos blocos que compõe o sistema de maneira mais detalhada antes de serem desenvolvidos. Com isso, a metodologia *Top-down* é menos sujeita a erros e a necessidade de reconstrução dos blocos diminui muito.

O terceiro tipo de metodologia trata-se da *Middle-out* que abrange características das duas últimas metodologias citadas. Ou seja, no primeiro momento do projeto se tem um conhecimento mediano sobre as especificações e estrutura do projeto e assim, pode-se fazer uma abordagem a nível macroscópico observando os subsistemas existentes e os detalhando. E também, paralelamente, desenvolve os subsistemas a partir do conhecimento mediano dos mesmos.

Tendo como base a famosa Lei de Moore, sabemos que o número de transistores nos projetos cresce exponencialmente, logo, o nível de complexidade dos mesmos também aumenta. Assim, a abordagem utilizada pela metodologia *Top-down* se torna muito mais viável e eficaz diante a evolução dos anos.

É relevante observarmos que a metodologia *Top-down* permite alterações em partes do projeto depois de sua concepção, garantindo um menor impacto sobre todo o projeto. Caso haja algum problema em qualquer subsistema do projeto, a metodologia permite reestruturar determinada parte e a recolocar em seu mesmo local e após isto, permite uma rápida avaliação das influencias no projeto final.

Além de todas as vantagens citadas anteriormente, os projetistas podem trabalhar em locais distintos sem afetar ou comprometer o projeto final. Uma vez que a metodologia *Top-down* não descreve as especificações dos subsistemas por meio de documentos escritos, mas, procura entregar aos projetistas simulações em nível de blocos dos subsistemas. Desta forma, os projetistas possuem dados concisos que não estão sujeitos a erros de interpretação, permitindo ao projetista certa independência dos demais.

Neste momento o Verilog – AMS torna-se uma ferramenta muito importante, por permitir uma maior clareza na comunicação entre os projetistas, disponibilizando diagramas (modelos) com as especificações e também, simulações prévias para melhor conhecer o sistema. Isto reduz muito a ocorrência de erros no projeto [20].

Nos itens seguintes será abordada a metodologia utilizada para o desenvolvimento deste projeto e a base teórica fundamental para a modelagem do sistema em questão, por meio do Verilog-AMS.

## 2.1. METODOLOGIA UTILIZADA.

No inicio deste projeto ainda não se tinha um conhecimento razoável sobre a principal ferramenta (Verilog - AMS) que foi utilizada para a modelagem proposta. Além disso, foi necessário uma pesquisa por maiores informações do sistema e também dos subsistemas envolvidos, ou seja, se tinha um conhecimento em nível intermediário do sistema e de seus subsistemas. Por isso, inicialmente, foi utilizada a metodologia *Middle-out* que é uma mistura das duas metodologias: *Bottom-up* e *Top-down*.

Por outro lado, da segunda parte do projeto aplicou-se vastamente a metodologia *Top-down*, por se tratar de uma modelagem em alto nível dos blocos, utilizando a linguagem Verilog – AMS.

Conforme será abordado mais adiante, a linguagem Verilog – AMS é uma ferramenta muito interessante na modelagem de circuitos, esta permite uma verificação do sistema de acordo com as suas respectivas especificações. Além disso, será explorada por meio do software CADENCE, onde já se teve contato em disciplinas anteriores.

### 3. LINGUAGEM VERILOG-AMS.

Este item fará uma abordagem, sucinta, sobre a linguagem que será utilizada para a modelagem do projeto nas disciplinas de Trabalho de Conclusão de Curso 1 e 2. Abordando o contexto de utilização do Verilog – AMS e mostrando alguns modelos simples da utilização desta linguagem.

#### 3.1. LINGUAGEM DE DESCRIÇÃO DE HARDWARE.

Estamos habituados com linguagens que descrevem algoritmos, ou seja, por meio de uma sequência de códigos (operações) conseguimos administrar uma memória ou ainda, os periféricos de um computador através do controle da unidade central de processamento (CPU). Como exemplos de linguagens temos: C, C++, Pascal, Fortran, Perl e entre outras.

Por outro lado, para descrever o comportamento individual de componentes elétricos e suas conexões pode-se utilizar linguagens de descrição de hardware (HDL). Este tipo de linguagem tem como principais aplicações a simulação e síntese de projetos. Na simulação há a possibilidade de ver as respostas do sistema, descrito através do HDL que gera um executável, desta forma é possível verificar possíveis reações do sistema a determinada entrada, por exemplo. Além disso, com as simulações é mais fácil entender o funcionamento de sistemas complexos.

A síntese trata-se da implementação do hardware, ou seja, o bloco que foi descrito abstratamente em linguagem de descrição de hardware passa a ter seu comportamento validado. Logo, o HDL deve dar subsídio a implementação fazendo um comparativo com a resposta correta modelada e com a resposta real do sistema. Este é um dos objetivos do HDL, o outro seria a descrição fácil e rápida do comportamento de blocos que podem ser complexos.

Existem dois tipos de linguagens de descrição de hardware, são elas: Verilog-AMS e o VHDL – AMS. Ambos os tipos de linguagem são utilizados na modelagem de circuitos de sinais mistos, elas possuem as mesmas aplicações e domínios. Desta forma, a escolha do tipo de linguagem esta ligado com a escolha do tipo de linguagem utilizada para descrever a parte digital do sistema. Muitas vezes a escolha entre uma linguagem e outra se trata de uma questão de gosto ou hábito em projetos.

### 3.2. FAMÍLIA VERILOG.

Como citado anteriormente, Verilog-AMS é uma linguagem utilizada para a modelagem de sistemas de sinais mistos (analógico e digital). É uma linguagem que permite uma diversidade na descrição de circuitos por estar apta a descrever componentes analógicos e digitais. O Verilog - AMS é uma mistura de dois outros tipos de linguagens, Verilog – A e o Verilog – HDL. Veja que o Verilog – A é responsável pela descrição de componentes analógicos e o Verilog – HDL pela descrição de componentes digitais.

A linguagem Verilog – AMS é um avanço substancial no projeto de sistemas, pois, uma única linguagem e simulação permitem trabalhar com duas partes do circuito (digital e analógica) e aproximam mais o trabalho de projetistas analógicos e digitais. De acordo com (Kundert & Zinke, 2004), será mais fácil de fornecer um fluxo de projeto no desenvolvimento de sistemas mistos, uma vez que o sistema apresentará uma única linguagem para simular e desenvolver o modelo do sistema. Esta pode ser compartilhada por projetistas digitais e analógicos.

Existem cinco principais razões para se utilizar o Verilog- AMS, tais como: a modelagem dos componentes, criação de *test benches*, eficiência na simulação, verificação de sistemas mistos e uma boa relação com a metodologia *Top-down*. Para a modelagem, a linguagem dispõe de vários modelos básicos em sua biblioteca como: componentes básicos (resistores, capacitores, indutores, etc), componentes semicondutores (TBJ, Mosfets), entre outros. Os *testbenchs* são ferramentas de simulação que permitem verificar o sistema de acordo com os componentes ideais no qual é submetido, observando comportamentos lineares ou não lineares. A linguagem também permite a substituição de blocos críticos por modelos ideais, logo, a simulação é feita em um tempo muito menor do que o convencional.

### 3.3. ALGUNS MODELOS EM VERILOG-AMS.

Neste capítulo há a preocupação em ter o primeiro contato com a linguagem Verilog – MAS. Portanto, será apresentado a modelagem de um resistor utilizando a Lei de Ohm. Esta abordagem será apenas introdutória, uma vez que nos próximos itens a Linguagem Verilog – AMS será utilizada com maior profundidade.

### 3.3.1 Modelagem de um resistor.

Pela lei de Ohm, a tensão no resistor é proporcional a sua resistência e corrente, ou seja, trata-se de um modelo linear. Logo, de acordo com (Kundert & Zinke, 2004), temos o modelo descrito abaixo.

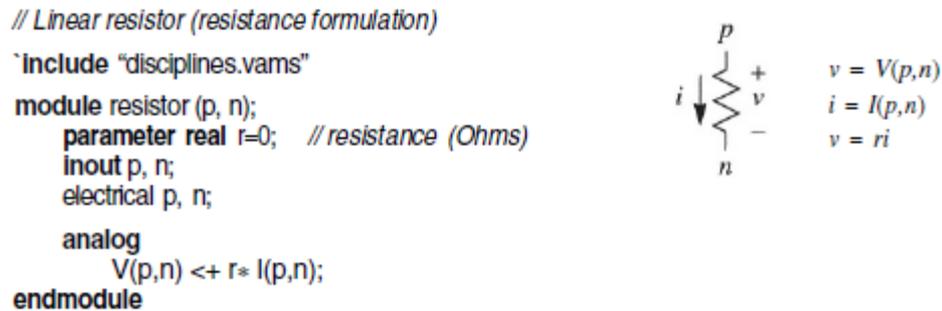


Figura 4. Modelagem em Verilog – AMS de um resistor (Kundert & Zinke, 2004).

Da mesma forma que na linguagem C, as duas barras (//) e a barra com asterisco (\*) são utilizadas para comentários que expliquem o modelo. Assim como as demais linguagens, o Verilog – AMS possui bibliotecas com os modelos elétricos básicos. Desta forma, neste modelo para utilizar os padrões de corrente e tensão elétrica utiliza-se a biblioteca *disciplines.vams*. De posse desta biblioteca podemos utilizar as variáveis que correspondem a corrente e tensão, *I* e *V*, respectivamente.

Em seguida, temos a definição do *parâmetro* relacionado a resistência do sistema. Deve-se tomar cuidado com o valor de inicialização, uma vez que este pode possuir valores pré-definidos. O resistor sem nenhum valor especificado é considerado um curto circuito. O tipo de variável neste caso é opcional.

Os nós para o cálculo da corrente são definidos utilizando os *ports*, este podem ser do tipo *in*, *out* ou *inout*. Neste caso, como não há muitos problemas relacionados a definir a entrada ou a saída, utilizou-se *inout*. Mas, recomenda-se o uso de *in* e *out* separado para deixar claro as especificações do modelo. Veja também que os nós *p* e *n* são definidos como *electrical*, uma vez que os mesmos podem fornecer parâmetros de tensão e corrente.

Nas próximas linhas é descrito o modelo analógico, ou seja, tem um comportamento contínuo no tempo. Esta definição (*analog*) está relacionada também com a relação dos sinais e nós em determinado período de tempo. Em seguida, se

define a lei de Ohm que modela a tensão no resistor de acordo com a corrente entre os nós  $p$  e  $n$ . E o sistema é finalizado utilizando a linha *endmodule*.

Desta forma, temos o modelo de um resistor que pode ser inserido em qualquer sistema dado dois nós e uma resistência. Observe que em caso de um indutor e um capacitor, basta substituir a equação que os rege. Por exemplo, no caso de um capacitor, nos preocupamos com a corrente que é proporcional a variação de tensão no capacitor dada uma capacitância. Desta forma, para obter esta variação podemos utilizar uma espécie de função do Verilog – A, ou seja, podemos utilizar a DDT ( $V(p,n)$ ).

Sabemos que o conhecimento a respeito de Verilog – AMS é muito básico, no entanto, com o desenvolvimento do projeto deve-se aumentar o nível de conhecimento a fim de melhor descrever os blocos que serão apresentados para o sistema de Implantes Cocleares.

#### 4. DEFICIÊNCIA AUDITIVA.

Esta seção trata da fisiologia do ouvido, a fim de conhecer seu funcionamento e, assim, possibilitar a abordagem de soluções de circuitos que emulem suas funções sem agredir o corpo ou danificá-lo.

##### 4.1. O OUVIDO E SUA FISIOLOGIA.

O ouvido humano é formado por três partes: externo, médio e interno. Conforme Figura (5).

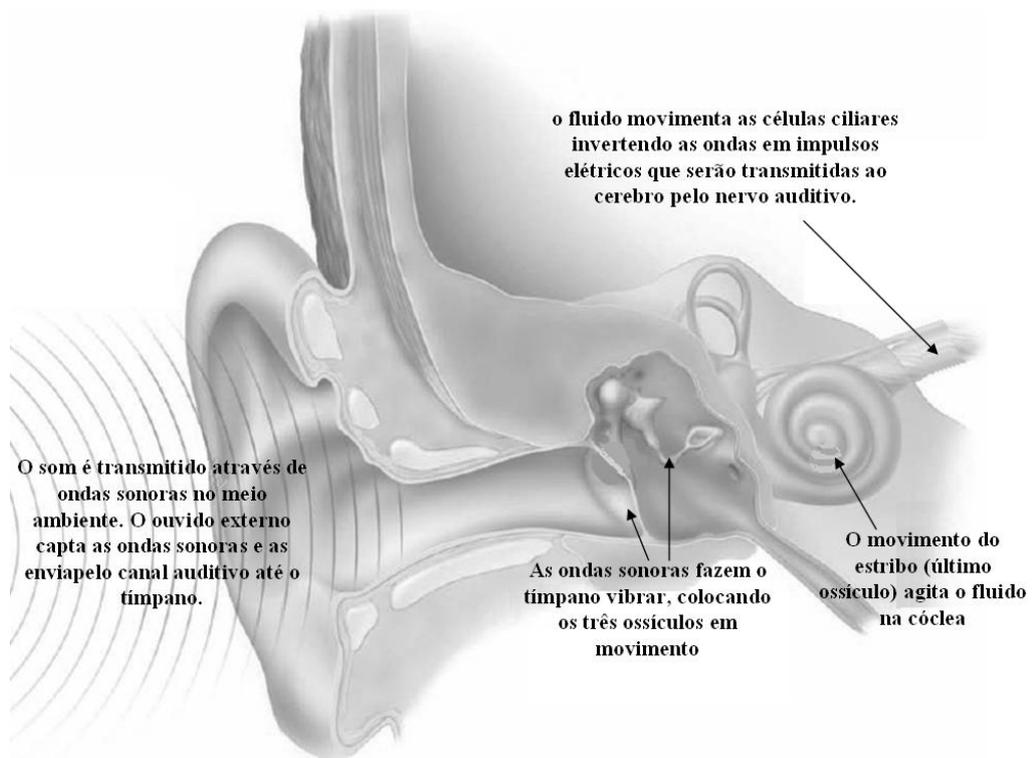


Figura 5. Anatomia do ouvido (Rosa, 2009).

A primeira parte do ouvido é composta pelo pavilhão auditivo (orelha) e canal auditivo externo. O pavilhão auditivo tem a função de captar o sinal e direcioná-lo para o canal auditivo, filtrando nas faixas de voz. O canal auditivo, por sua vez, canaliza o som para o tímpano e, além disso, maximiza as frequências, operando como uma câmara de ressonância. O canal auditivo possui uma frequência em torno

de 3,5 kHz, logo, o ouvido possui maior sensibilidade em torno desta faixa de freqüência.

No ouvido médio, depois do tímpano, existe uma espécie de amplificador de ganho controlado, que ajusta o sinal caso ele ultrapasse níveis elevados de amplitude, para assim reenviá-lo para o ouvido interno com segurança, evitando danos as estruturas internas. O ouvido médio é formado pelos chamados ossículos: martelo, bigorna e estribo.

A orelha média ainda funciona como um ajuste de impedâncias entre o ouvido interno (líquido da cóclea) e o ouvido médio (ar). Para freqüências entre 300 Hz e 3 kHz, esse sistema proporciona um casamento de impedâncias de cerca de 50 a 75% (Tefili, 2013).

O ouvido médio e o interno são separados por uma fina membrana. No ouvido interno encontra-se a cóclea. Ela é preenchida por líquidos que vibram conforme o sinal recebido, ativando as células cocleares, que por sua vez enviam impulsos elétricos para o córtex auditivo no cérebro, que os decodifica e os interpreta.

Na Figura (6) temos um diagrama com a estrutura do ouvido e com suas funcionalidades que remete a aspectos microeletrônicos.

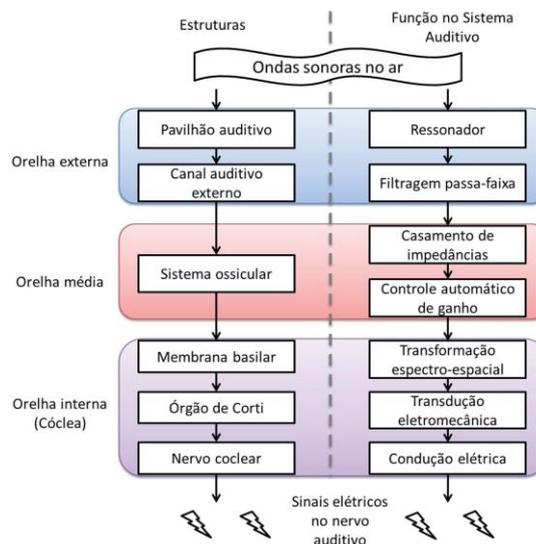


Figura 6. Estrutura do ouvido e suas funções (Tefili, 2013).

#### 4.2. TIPOS DE DEFICIÊNCIAS AUDITIVAS.

A deficiência auditiva é diagnosticada por meio de exames de audiometria, no qual o indivíduo é submetido a vários tipos de sinais sonoros com freqüências

distintas. Assim, pode-se classificar a sensibilidade do ouvido e verificar possíveis perdas auditivas em alguma parte do sistema do ouvido.

A deficiência auditiva pode ser classificada em três tipos: condutiva, neurossensorial e mista.

As perdas auditivas chamadas de condutivas são ocasionadas, em geral, por infecções ou doenças hereditárias. Esse tipo de perda trata-se de uma falha no ouvido médio ou externo, ou seja, as ondas sonoras não são conduzidas de forma adequada para as células ciliares converterem as vibrações sonoras em impulsos elétricos. Este tipo de deficiência é facilmente corrigido, através de método cirúrgico, substituindo as partes afetadas por próteses, ou por meio de medicamentos.

A perda auditiva neurossensorial trata-se de danos no funcionamento das células ciliadas ocasionados, às vezes, pela morte destas células devido ao processo de envelhecimento. Logo, a conversão do sinal sonoro para sinal elétrico não ocorre de maneira adequada e o cérebro trabalha com um sinal danificado, logo, o indivíduo perde parte ou totalmente a capacidade de ouvir. É importante ressaltar que a perda auditiva relacionada aos dois sistemas citados anteriormente, é chamada de perda mista.

Para perdas auditivas moderadas ou severas, onde o deficiente tem perdas de até 70 dB NA (decibel em nível de audição) recomenda-se utilizar próteses auditivas convencionais. No entanto, para perdas auditivas neurossensoriais severas ou profundas o ganho necessário não é alcançável pela prótese, uma vez que a amplitude ultrapassa o limiar de conforto da audição (120 dB NA). Além disso, a quantidade de células ciliares pode ser muito pequena para conseguir transmitir o sinal ao cérebro e, desta forma, é necessário uma prótese que faça muito mais que uma amplificação sonora (Tefili, 2013).

Se houver uma perda substancial da cóclea ou do nervo auditivo, a perda auditiva é permanente. Porém, se o nervo auditivo ainda estiver em funcionamento, pode-se estimulá-lo através de impulsos elétricos. Os implantes cocleares são uma ferramenta poderosa e viável para o aumento da percepção auditiva em deficientes.

O próximo capítulo deste trabalho fará um apanhado a respeito do funcionamento dos implantes cocleares, uma vez que este tipo de tratamento está diretamente ligado a perda auditiva neurossensorial e é o centro da modelagem proposta para este projeto.

## 5. IMPLANTES COCLEARES.

O implante coclear estimula o ouvido interno e suas células sensoriais através de impulsos elétricos que é resultado do sinal sonoro externo captado e processado pelo dispositivo. O sinal é captado pelo microfone que se encontra no dispositivo atrás da orelha, sistema equivalente ao aparelho auditivo.

Na Fig. (7) encontra-se a arquitetura de um implante coclear. Como já citado anteriormente, atrás da orelha (1) encontra-se o sistema de processamento de sinal conhecido como *Digital Signal Processor (DSP)*. Este processador é responsável por trabalhar o sinal conforme a frequência do mesmo, ou seja, divide-se o sinal de acordo com sua banda de frequência, em seguida, codifica-se e o envia através do link subcutâneo, nos tópicos seguintes se aprofundará sobre suas técnicas de processamento. Vale ressaltar que cada frequência ou banda deve ser manipulada de acordo com a deficiência do indivíduo.

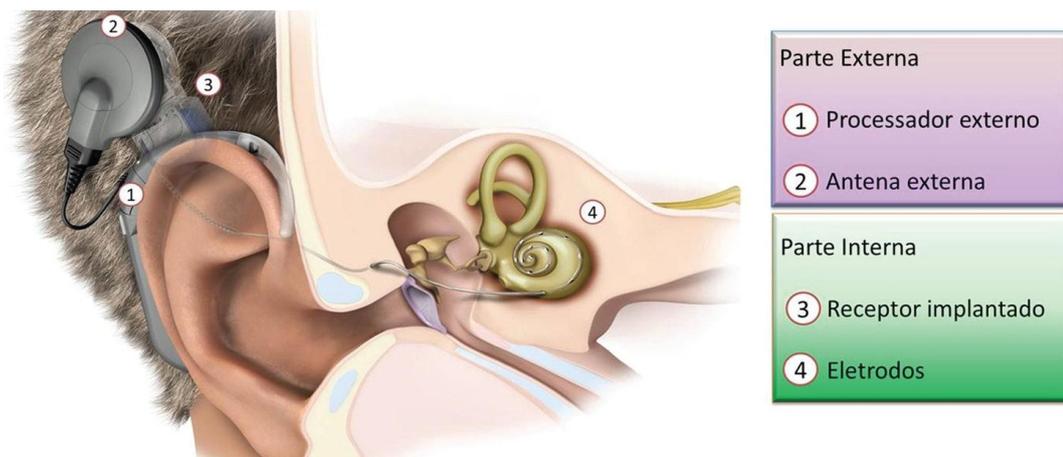
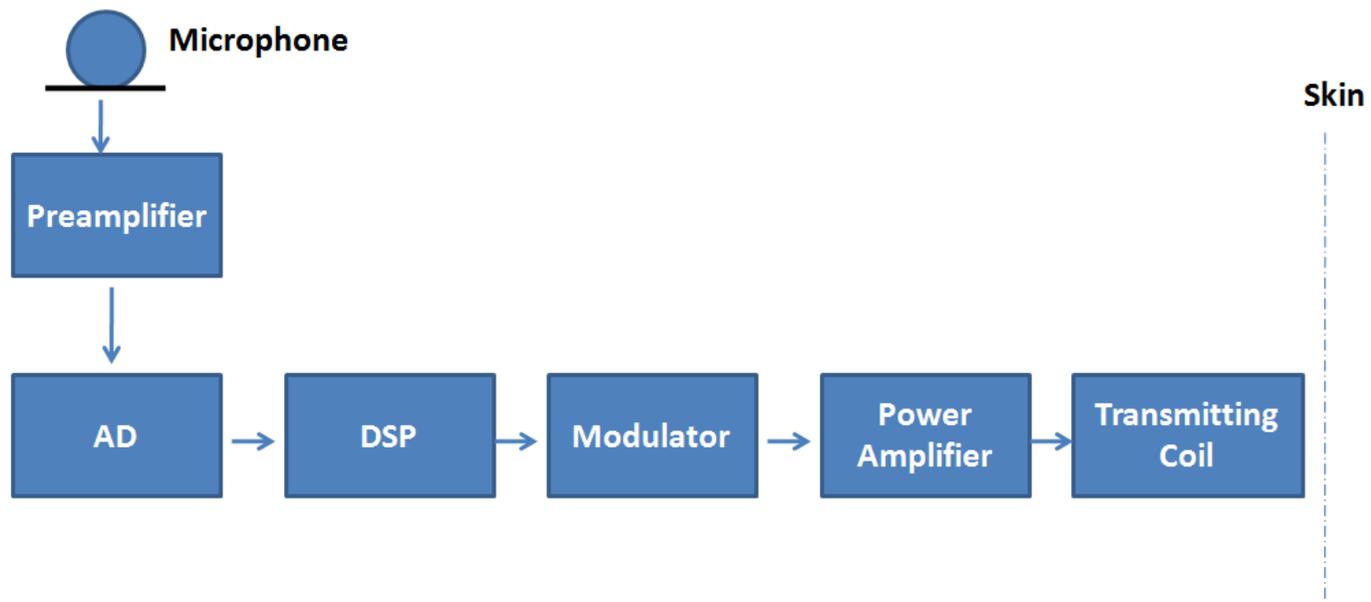


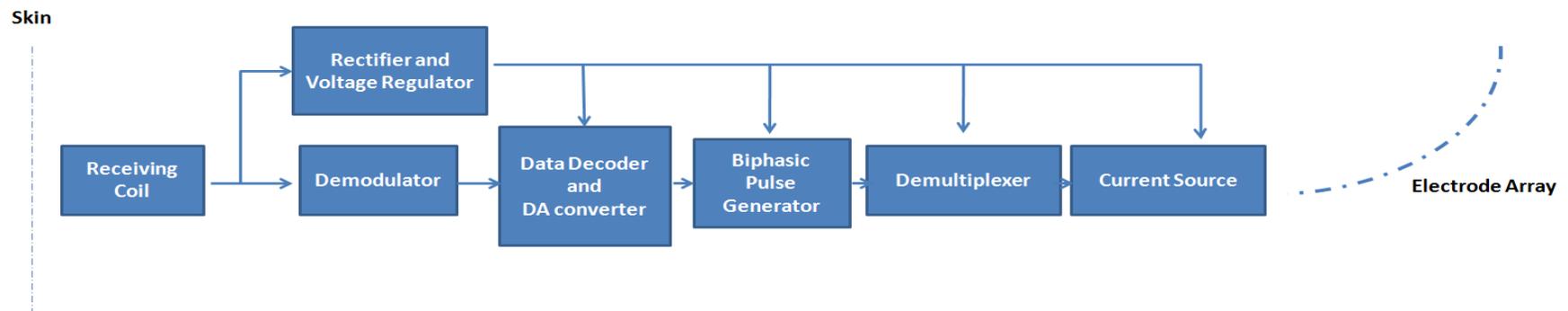
Figura 7. Arquitetura de um implante coclear moderno (Tefili, 2013).

Após o sinal ser processado e digitalizado, é enviado por meio de um link RF subcutâneo (2 e 3) que é o acoplamento magnético entre duas bobinas, e a transmissão é feita por meio do casamento de impedância das mesmas.

Conforme a Fig. (8), o implante coclear é dividido em duas partes: externa, semelhante ao aparelho auditivo, e a parte implantável (interna). A parte interna do implante é formada por um demodulador, sistema de alimentação e os eletrodos para estimular a cóclea (4). Abaixo temos os blocos, generalizados, do implante coclear que será discutido mais adiante.



(a)



(b)

Figura 8. Diagrama de blocos Geral do implante coclear: (a) parte externa, (b) parte interna.

## 5.1. PROCESSAMENTO DO SINAL SONORO.

Conforme os danos no aparelho auditivo são necessários ajustes no implante coclear para assim, tornar o sinal inteligível ao usuário. Para que isso ocorra existem inúmeros algoritmos para trabalhar com o sinal sonoro. Dentre os principais, podemos citar a filtragem, controle automático de ganho, controle de diretividade, redução de ruído ou ainda, do eco, e compressão da faixa dinâmica. Além destes estágios, o sinal precisa passar por um estágio de codificação.

No primeiro momento, logo após ser captado pelo microfone, o sinal é submetido a um banco de filtros que detectam suas bandas de frequência, uma vez que a voz ou qualquer sinal sonoro não é contínuo e possuem características pontuais em cada espectro de frequência. Em seguida, deve-se detectar a envoltória do sinal.

De posse dos resultados do banco de filtro e da componente do sinal relacionada à envoltória, temos os valores significativos para tornar o sinal sonoro inteligível ao usuário. Mas, o sinal deve estar sem influencias dos ruídos. No entanto, existe a possibilidade de detectar o som utilizando um algoritmo de estrutura temporal final (*Temporal Fine Structure - TFS*) que será comentado mais adiante.

Veja que após separar o sinal conforme suas bandas de frequências podemos aplicar cerca de quatro tipos de algoritmos para detectar a envoltória do sinal, estes podem levar em consideração os ruídos embutidos no som ou não. Na Fig. (9) temos um diagrama de blocos com cada estágio de processamento do sinal.

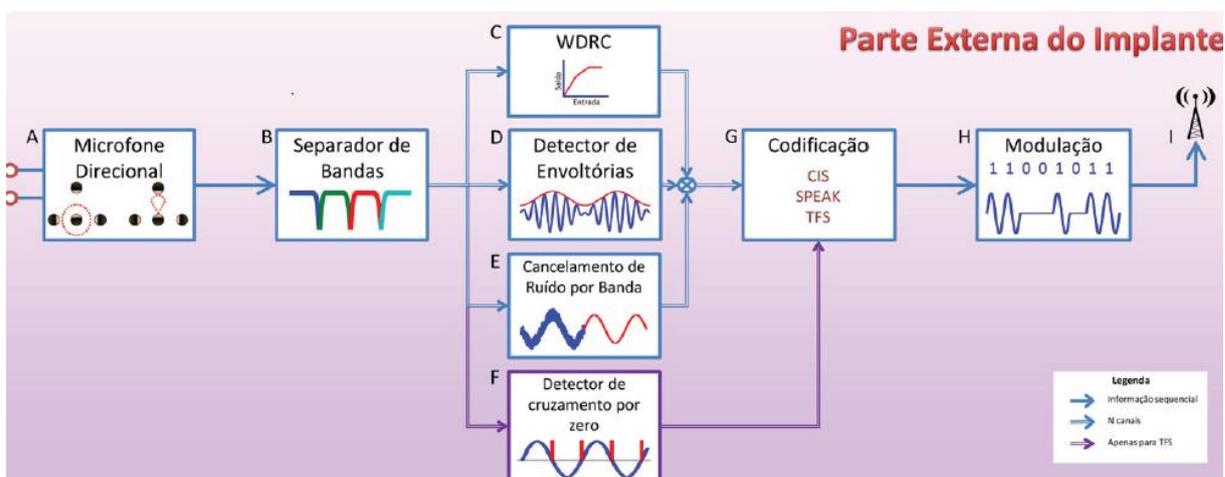


Figura 9. Diagrama de blocos do processamento do sinal sonoro (Tefili, 2013).

Vale ressaltar que o tipo de captação sonora, por meio dos microfones no caso de um implante bidirecional, pode ser diretivo. Desta forma, o microfone capta o sinal enviado frontalmente e o manipula, enquanto que os demais ruídos ou sons não direcionados são atenuados (Tefili, 2013).

Após os estágios de separar as bandas e detectar a envoltória temos que codificar o sinal. Existem muitas maneiras de fazer esta codificação, a estratégia chamada de *continuous interleaved sampling* (CIS) é uma das mais implementadas pelos maiores fabricantes de implantes cocleares. Como vimos anteriormente, o áudio é passado por um banco de filtro e é submetido a um detector de envoltória que pode ser um retificador de meia onda ou de onda completa, ou ainda, através da Transformada de Hilbert segundo estudos mais recentes. Após isto, há a compressão da amplitude da envoltória e o sinal é modulado por pulsos bifásicos que variam de centenas a milhares de pulsos por segundo (Tefili, 2013).

Veja que o espaçamento dos pulsos bifásicos é de acordo com as bandas de frequências do sinal, desta forma, não há estímulos simultâneos. Logo, este tipo de estratégia evita a sobreposição dos canais (bandas de frequência) de áudio, preservando a amostragem da envoltória em dado tempo, se a taxa de pulsos por segundo for muito alta.

Outra estratégia utilizada é conhecida como “*N of M*” que se tornou uma readequação das técnicas ACE e SPEAK, técnicas utilizadas pelo fabricante Nucleus. O pré-processamento formado pelo banco de filtro e o detector de envoltória são muito semelhantes a técnica descrita acima. No entanto, a diferença trata-se que o banco de filtro possui um número muito maior de filtros que é aproximado ao número de eletrodos que se encontram no implante interno (cóclea).

A outra diferença é que esta técnica é baseada em uma amostragem temporal de 2,5 a 4 ms, ou seja, trata-se de um processamento de áudio em *frames*. Para cada *frame* um número “*n*” de bandas com a amplitude da envoltória são processados (Zeng, 2008). A amplitude da envoltória é trabalhada da mesma maneira que na outra técnica, no entanto, os pulsos bifásicos são espaçados com a taxa de amostragem temporal descrita acima. Logo, nesta última técnica o número de canais selecionados é fixo (Tefili, 2013).

Desta forma, para um determinado número “*m*” de eletrodos somente um número “*n*” de eletrodos são estimulados em um dado *frame*. Para SPEAK, a taxa de

pulsos por eletrodo varia entre 180 e 300 pulsos por segundo, enquanto que na ACE, varia entre 250 e 2400 pulsos por segundo.

Ainda existe outra técnica mais recente que permite discriminar tons ou melodias que ao detectar a envoltória somem do sinal processado. Isso ainda permite detectar a localização espacial da fonte do som. Este tipo de técnica chama-se *Temporal Fine Structure* onde são emitidos pulsos no momento em que a amplitude do sinal cruza o eixo zero (*zero crossing detection*).

O processamento sonoro faz parte do aparelho auditivo (parte externa). No entanto, o foco deste trabalho é o sistema de comunicação da parte externa com a parte interna do implante coclear (transmissão de dados). Desta forma, os demais blocos do implante coclear serão discutidos nos próximos itens deste trabalho, uma vez que os mesmos são de suma importância para a modelagem e desenvolvimento do trabalho.

## 6. FUNDAMENTAÇÃO SOBRE O SISTEMA.

Esta etapa do projeto tem por objetivo a familiarização com a maioria dos blocos que compõe o implante coclear a fim ter um maior embasamento teórico para que a modelagem dos mesmos seja feita de maneira criteriosa.

Também será proposto um demodulador ASK, compatível com o protocolo de comunicação adotado, que poderá compor, no futuro, um sistema que realize a função da parte implantada.

Nos itens a seguir será apresentada a base teórica de cada um dos blocos que compõem o aparelho auditivo, assim como algumas equações fundamentais. Este estudo (e equacionamento) será utilizado para a construção dos modelos do sistema.

### 6.1. LINK SUBCUTÂNEO.

Projetos de acoplamentos indutivos para implantes médicos devem considerar, no mínimo, três aspectos: alta taxa de transferência de dados, alta eficiência de transmissão de energia e tolerância ao desacoplamento.

A comunicação entre o aparelho externo e o implante é feita por meio do acoplamento indutivo, onde o sinal é transmitido para o interior da cabeça do usuário, chama-se este tipo de transmissão de link subcutâneo. Este estágio do implante trata-se apenas de um casamento de impedância entre as duas antenas que são bobinas circulares. Vale ressaltar que no centro das bobinas existe um ímã para manter as antenas alinhadas e acopladas.

Em geral, acoplamentos indutivos consistem de dois circuitos RLC, conforme Fig. (10). A primeira parte do circuito está localizada do lado de fora do corpo humano. Esta parte possui um amplificador de potência a fim de gerar energia suficiente para que as bobinas possam funcionar. A segunda parte é localizada dentro da cabeça do usuário. Para conseguir uma maior eficiência na transferência de potência as bobinas devem estar na mesma frequência de ressonância. Logo, o capacitor e o indutor em série no primeiro circuito RLC deve estar casado com o segundo circuito, ou seja, a parte ressonante é cancelada. Por isso, no primeiro circuito temos o capacitor em série e no segundo, não.

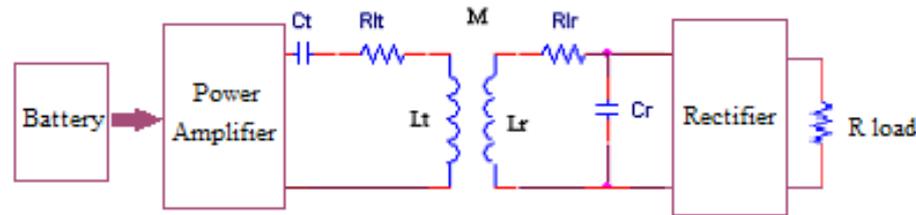


Figura 10. Acoplamento Indutivo (Abbas, 2012).

## 6.2. APARELHO AUDITIVO.

O aparelho auditivo é composto pelo microfone, processamento do sinal sonoro (DSP), modulador ASK, amplificador de potência e as informações são transmitidas via link subcutâneo, descrito no item anterior.

Vale ressaltar que entre a captura do sinal pelo microfone e o DSP existe uma fase de conversão analógico-digital. Além disso, há uma fase de processamento analógico onde o sinal sonoro é submetido a filtros passa-baixas com frequência de corte em torno de 10 kHz (próximo da frequência máxima da fala humana) e em seguida, o som é trabalhado por um amplificador de ganho controlado (AGC), conforme visto nos itens passados, para que o sinal seja atenuado quando enviado com amplitudes que possam danificar o sistema biológico.

### 6.2.1 Modulação.

O tipo de modulação utilizado em sistemas implantáveis pode ser ASK (*Amplitude Shifting Key*), FSK (*Frequency Shifting Key*) ou ainda, PSK (*Phase Shifting Key*). No entanto, devido ao baixo consumo e baixo custo, a modulação ASK torna-se mais atrativa do que os demais tipos de modulação. Além disso, ajustes no circuito projetado podem proporcionar um aumento na taxa de transmissão de dados.

Como exemplo do funcionamento deste tipo de modulação, temos a Fig. (11). O sinal deste caso, foi modulado utilizando uma portadora de 5 MHz tratando-se do padrão utilizado pela fabricante *Nucleus Freedom*. Veja que a cada 5 ciclos temos um valor binário associado que posteriormente pode ser codificado para um número menor de bits associados.

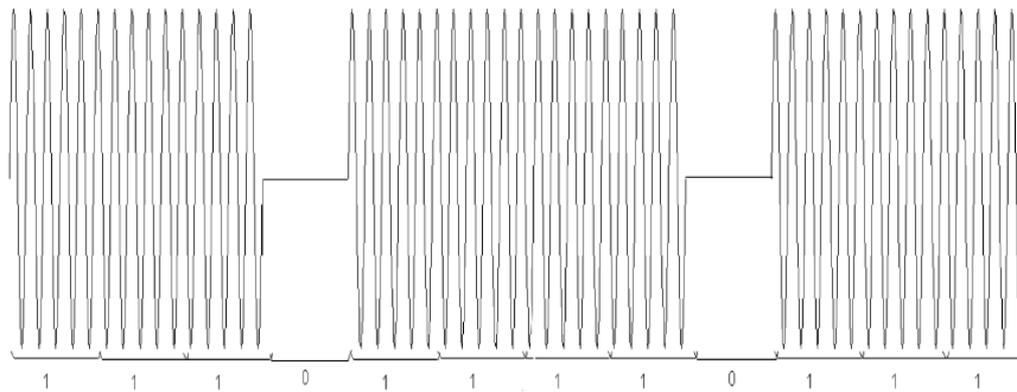


Figura 11. Transmissão de um sinal RF utilizando modulação ASK (Zeng, 2008).

Logo, observe que o sinal ASK da Fig. (11) pode ser dado pela Eq. (1).

$$s(t) = \begin{cases} A_1 \cos(2\pi f_c t), & \text{bit 0} \\ A_2 \cos(2\pi f_c t), & \text{bit 1} \end{cases} \quad (1)$$

onde,  $A_1$  e  $A_2$  são as amplitudes do sinal, umas dessas amplitudes pode ser zero.

A idéia básica da modulação ASK é ter uma portadora com uma frequência  $f_c$  e o chaveamento deste sinal de acordo com os bits (sinal digital) que devem ser modulados, gerando o sinal da Fig. (11). Vale ressaltar que este tipo de modulação é suscetível a ruídos que podem afetar a amplitude do sinal.

Nos itens seguintes também será apresentado a técnica reversa da modulação ASK, a demodulação ASK. Esta técnica consiste em determinar a envoltória do sinal ASK e, por meio da comparação de sinais, verificar qual amplitude corresponde ao bit 0 ou ao bit 1.

### 6.2.2 Modulador ASK.

Tendo em vista que uma das maneiras de se modular o sinal ASK é por chaveamento, uma porta NAND pode ser utilizada entre o sinal binarizado e a portadora. Na teoria se deveria utilizar uma porta AND, no entanto, para anular o

sinal corretamente, quando o mesmo for nível lógico baixo, se utiliza uma porta NAND. Na Figura 12 temos um circuito que utiliza esta técnica. Ele foi desenvolvido em tecnologia CMOS para uma portadora de 20 MHz. Esta topologia consegue uma taxa de transmissão de 1 Kbits/s.

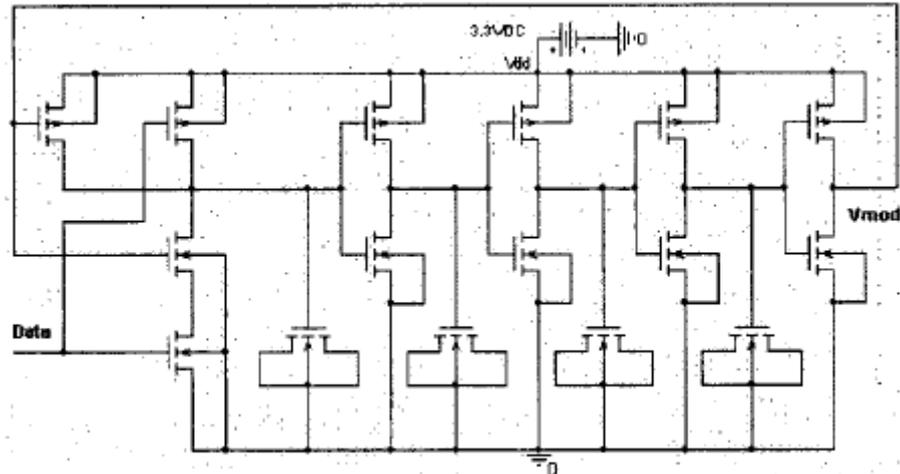


Figura 12. Modulador ASK (Naghmouchi, 2004).

Para que se desenvolva um produto viável, capaz de ser fabricado e distribuído, serão levados em consideração os parâmetros das demais tecnologias já desenvolvidas pelos fabricantes de implantes cocleares. Na Figura 13 temos três dos maiores fabricantes de implantes cocleares e suas respectivas taxas de transmissão e frequência da portadora.

Manu- facturers	Bit Coding	Modula- tion	Carrier Frequency	Data Rate	Additional timing for bit decoding
Nucleus Freedom	ON-OFF coding	ASK	5MHz	500 KBits/s	Needed
Clarion HiRes90k	Pulse width coding	ASK	49MHz	1.09 Mbits/s	Not needed
Med El Sonata	Manchester coding	ASK	12MHz	600 KBits/s	Not needed

Figura 13. Três dos maiores fabricantes de implantes cocleares e os tipos de modulação (Zeng, 2008).

A definição da frequência da portadora, bem como, taxa de transmissão de dados será avaliada em momentos futuros de acordo com o tipo de deficiência, espectro de frequência da voz (60 Hz a 2 KHz) e dentre outros aspectos práticos que serão definidos posteriormente.

### 6.2.3 Amplificador de Potência.

Para este tipo de transmissão o acoplamento indutivo necessita de um alto nível AC para que a primeira bobina seja ativada corretamente. Para este tipo de aplicação é comum a utilização de amplificadores de potencia Classe E (Tran, 2007).

No entanto, existem inúmeros problemas que devem ser levados em conta para utilizar este tipo de topologia visando sua utilização em um implante coclear. Dado que este é um circuito altamente não linear, é importante avaliar se esta característica não influenciará na taxa de transmissão de dados.

Atualmente, a conexão por radiofrequência tem eficiência de cerca de 40%, transmitindo de 20- a 40 mV para a unidade interna, considerando que a espessura da pele é de 4 a 10 mm (Zeng, 2008). Vale ressaltar que o sistema interno é alimentado por meio da recuperação da potência transmitida onde o sinal recebido é amplificado, retificador e utilizado como alimentação para a parte interna. Por isso, é necessária a utilização de técnicas especiais de projeto para a obtenção de um circuito com baixo consumo de potência.

### 6.3. IMPLANTE.

Após o sinal ser transmitido pelo link subcutâneo, temos a parte implantável (parte interna) do implante coclear. Esta é formada pelo demodulador ASK, pelo circuito retificador e regulador de tensão, conversor analógico digital e um gerador de estímulos.

Neste item será descrito, sucintamente, sobre o demodulador ASK e sua possível topologia para projeto, bem como, o sistema para a alimentação do circuito

interno. Além disso, no final deste item, se tem uma idéia básica sobre o desenvolvimento do gerador de estímulos para a cóclea.

### 6.3.1 Demodulação ASK.

Na Figura 14 temos o circuito demodulador. Ele utiliza um detector de envoltória que é uma adaptação dos multiplicadores de tensão Dickson, porém com o número menor de estágios. Após isso, é utilizado um passa baixa que identifica a tensão média da envoltória gerando tensões de ripple. Por fim, os valores da envoltória são comparados com a tensão média utilizando um comparador com histerese.

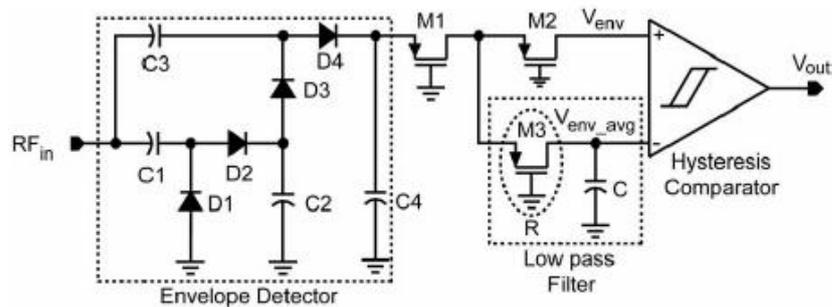


Figura 14. Demodulador ASK (Tran, 2007).

Para reduzir a área consumida, os transistores M3, M1 e M2 são polarizados na região ativa, funcionando como resistores, ajustados de acordo com suas razões de aspecto. Vale ressaltar que o demodulador trata-se da parte interna do implante.

Este circuito foi utilizado em um tag de RFID. Em ambos os casos necessita-se de uma boa taxa de transmissão, bem como, um baixo consumo de potencia. Em (Tran, 2007), este circuito foi desenvolvido para uma frequência de portadora de 900 MHz e tensão de pico de 300 mV. Posteriormente, esta topologia será otimizada para sua utilização na aplicação proposta (parte interna do implante coclear).

### 6.3.2 Estímulos Elétricos.

Os estímulos elétricos são feitos por fontes de corrente devido a variação de impedância elétrica entre os eletrodos. Além disso, o uso de fonte de corrente está ligado a definição do fluxo das cargas elétricas entregue a cóclea, este último fator está relacionado diretamente com a conservação dos eletrodos através do equilíbrio eletroquímico (Tefili, 2013).

Os estímulos elétricos são gerados, em geral, pelos conversores digital-analógico e por espelhos de corrente. No entanto, espelhos de corrente são fortemente influenciados pelos fatores de fabricação dos MOSFET's devido as tensões de dreno e fonte dos transistores. Desta maneira, atualmente, estão sendo pesquisadas técnicas que envolvam determinados números de DAC's para gerar determinada corrente.

A impedância também é levada em consideração, uma vez que fontes de corrente possuem impedância infinita, teoricamente. No entanto, na prática, a impedância da fonte de corrente é relativamente mais alta do que a impedância de sua carga. Desta forma, para aumentar a impedância da fonte de corrente, utiliza-se fontes de corrente em cascode para aumentar a impedância de saída. Por outro lado, com o aumento da impedância de saída temos um ajuste considerável na tensão de saída e na potência consumida pelo sistema.

Na Figura (15) é apresentado um resumo dos principais fabricantes de implantes cocleares. Estes dados serão levados em consideração na especificação do sistema proposto.

Components	Parameters	Nucleus Freedom	Clarion HiRes 90K	MED-EL MAESTRO
External unit	Name and key features	Freedom: Omni or direct mics 4 sound fields IDR (-75 dB) Freq range: 100-8000 Hz 3 zinc-air batteries (3-5 days)	Harmony: Omni mic Dual-loop AGC IDR (20-80 dB) Freq range: 150-8000 Hz Li ion batteries (14-24 hours)	OPUS2: Omni mic Dual-loop AGC IDR (-75 dB) Freq range: 70-8500 Hz 3 zinc-air batteries (3-5 days)
	Processing strategies	CIS SPEAK ACE	CIS MPS HiRes Fidelity 120	CIS+ HD CIS FSP
	Number of maps	4	6	4
RF link	RF carrier	5 MHz	49 MHz	12 MHz
	Data rate	0.5 MB/Sec	1MB /Sec	0.6 MB/Sec
Internal unit	Number of electrodes	22	16	12
	Number of current sources	1	16	24
	Current range	0 - 1.75 mA	0 -1.9 mA	0 -1.2 mA
	Total stimulation rate	32 KHz	83 KHz	51 KHz
	Simultaneous stimulation	No	Yes	Yes
Back telemetry	Impedance measure	Yes	Yes	Yes
	Electric field imaging	No	Yes	Yes
	Neural telemetry	Yes	Yes	Yes

Figura 15. Comparativo das três maiores indústrias de implantes cocleares (Zeng, 2008).

## 7. PROJETO.

Este capítulo tem por objetivo apresentar a modelagem em Verilog-AMS dos blocos descritos nos capítulos de fundamentação teórica. Vale ressaltar que os blocos que serão descritos, a seguir, são os blocos referentes à parte externa do implante coclear, conforme mencionado anteriormente. Além disso, serão apresentados, paralelamente, os resultados e suas respectivas análises.

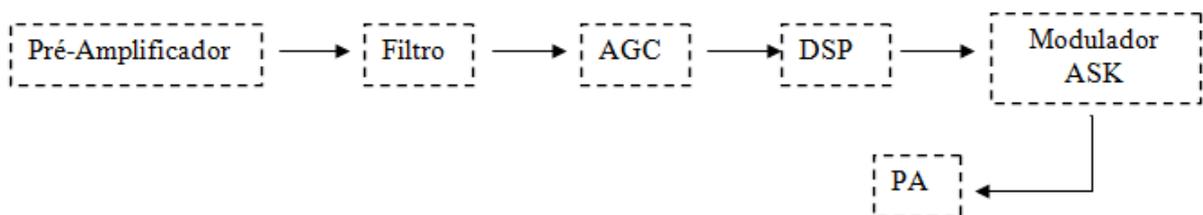


Figura 16 – Diagrama de Blocos da parte externa do Implante Coclear.

Na Figura 16 considere AGC como *Automatic Gain Control*, PA como *Power Amplifier* e DSP como *Digital Signal Processing*. Dos blocos demonstrados na Fig. (16) apenas o DSP não será desenvolvido por envolver conceitos de processamentos de sinais que não serão explorados neste trabalho.

### 7.1. PRÉ-AMPLIFICADOR.

#### 7.1.1 Breve Descrição do Bloco.

Este bloco, acoplado ao microfone, desempenha a função do tímpano, ou seja, por meio do microfone o sinal de áudio é capturado e convertido em sinal elétrico. E, em seguida, o sinal passa por um pré-amplificador com alto PSRR (*Power Supply Rejection Ratio*) para que a tensão de alimentação não influencie o sinal amplificado.

Desta forma, nas referências (Martinez) e (Sapeshkar, 2005) foram desenvolvidos pré-amplificadores que possuem um ganho proporcional ao resistor de realimentação e uma baixa impedância de saída, conforme Fig. (17).

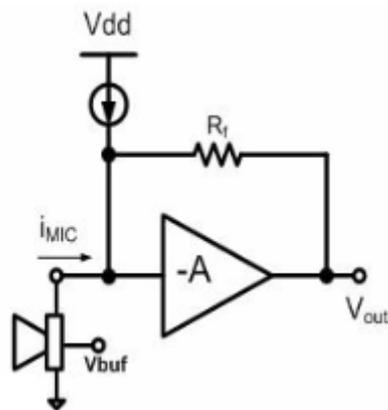


Figura 17. Diagrama de blocos do microfone e pré-amplificador utilizado em implantes cocleares (Martinez).

### 7.1.2 Especificações do Bloco.

Com base nos manuais de implantes cocleares que estão disponíveis no mercado e em (Martinez) na Tab. (1) foram elencadas as especificações referentes ao pré-amplificador.

Tabela 1 – Especificações do Pré-amplificador.

Parâmetros	Valor
Tensão de Alimentação	1.4 V
Margem de Fase	74°
Ganho	22 dB
Potência Consumida	5.2 $\mu$ W

Vale ressaltar que a tensão de alimentação mencionada na Tab. (1) está de acordo com a tensão fornecida pelas baterias de implantes cocleares.

### 7.1.3 Modelagem em Verilog-AMS.

A fim de facilitar a modelagem do bloco, o pré-amplificador será considerado ideal. Além disso, serão considerados os pinos descritos na Tab.(2).

Tabela 2– Pinos utilizados na modelagem do Pré-amplificador

Pinos	Descrição
Vdd	Tensão de Alimentação
In	Tensão de entrada fornecida pelo microfone
Out	Tensão de Saída
Gnd	Tensão de referência (terra)

Conforme descrito brevemente no capítulo 3, disciplinas são semelhantes as bibliotecas da linguagem em C, no entanto, as *disciplinas* conseguem relacionar grandezas físicas, tais como correntes e tensão. Essas grandezas físicas e os outros tipos de variáveis que se encontra nas disciplinas são conhecidas como naturezas.

Abaixo temos as disciplinas que serão constantemente usadas para a modelagem dos blocos que serão descritos neste trabalho. É relevante observamos que a *disciplines.vams* nos permite utilizar variáveis de natureza elétrica, desta forma, quando se é desejado definir a corrente em algum ramo ou nó, basta utilizar *I* ou *V* para expressar a tensão, e as variáveis associadas com a natureza *electrical*.

```
`include "constants.vams"
`include "disciplines.vams"
```

Figura 18 – Declaração das Disciplinas utilizadas nos modelos

Na maioria dos blocos, possuímos dois tipos de disciplinas: *disciplines.vams* e *constants.vams*. A primeira já foi abordada anteriormente, a segunda possui as constantes matemáticas e físicas, desta forma, podemos utilizar, por exemplo, a constante  $\pi$  que em Verilog-AMS é ``M_PI`.

A primeira etapa para modelar o bloco é definir os pinos do bloco, para isso, utiliza-se a função *module()*, no qual, os argumentos são definidos na Tab.(2). Em seguida, se define as entradas e saída do bloco e a natureza das variáveis. No caso do pré-amplificador, todas as variáveis são de natureza *electrical*.

Para este modelo, a tensão de saturação e o ganho serão tratados como parâmetros, desta maneira, as variáveis *Vsat* e *Gain* podem ser alteradas durante a simulação sem alterar o modelo diretamente. Por isso, as variáveis *Vsat* e *Gain* são definidas como *parameter real*.

A variável interna do modelo é do tipo *real*, esta variável é usada para converter o ganho. Com o auxílio da função *initial*, convertamos o ganho uma única vez no início da simulação. Para converter o ganho utilizou-se a função *pow()*, uma vez que o ganho é dado pela Eq. (2)

$$Gain = 20 * \log(V) \quad (2)$$

onde,

*Gain* é o ganho em dB.

*V* é uma grandeza adimensional (Volts/Volts)

Este modelo é descrito com um comportamento contínuo no tempo, para isso, utiliza-se *analog* caracterizando o Verilog-A descrito nos capítulos anteriores. Dentro do modelo *analog*, se vê o coração do pré-amplificador, onde foi utilizada a função *tanh* (arco tangente) para que a entrada seja sensível a uma tensão de saturação. Logo, quando a tensão de entrada é maior que a tensão de saturação a saída tem parte do sinal amplificado ceifado, conforme será analisado mais adiante na seção de simulação.

```

real gain_aux;
real vin_aux;
initial gain_aux = pow(10,Gain/20);

analog begin

    vin_aux = Vsat*tanh((V(in))/Vsat);
    V(out) <+ gain_aux*vin_aux;

end

```

Figura 19 – Descrição em Verilog – AMS do comportamento do pré-amplificador.

#### 7.1.4 Simulações e *Testbenchs*.

Para observar os resultados do modelo descrito na seção anterior foi criado um *testbench*, veja Fig. (20). Veja que foi inserido um sinal com tensão pico a pico muito baixa e com uma frequência na ordem de KHz para simular o sinal captado pelo microfone.

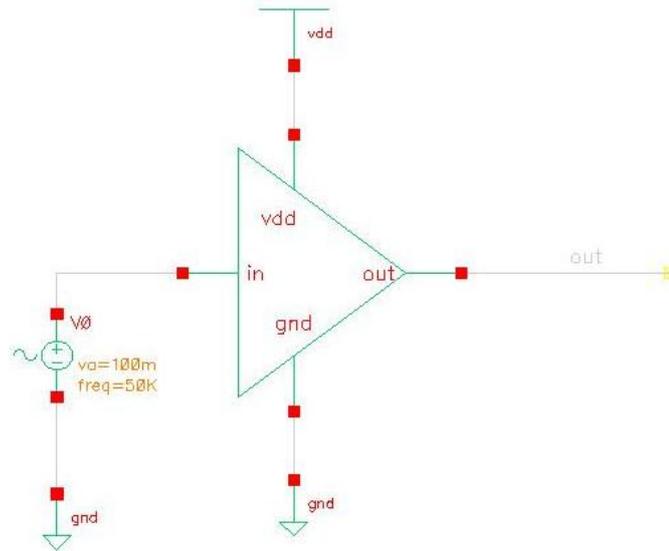


Figura 20 – Circuito utilizado para a validação do pré-amplificador

Foi inserido como ganho do amplificador 20 dB, logo, a tensão de saída tem um ganho de 10 V/V. Veja Fig. (21).

Se a tensão de entrada for muito maior que a tensão de saturação, pode-se observar o sinal de saída saturado, conforme a Fig. (22). Isso ocorre devido ao comportamento assintótico da função arco tangente em  $-\pi/2$  e  $\pi/2$ .

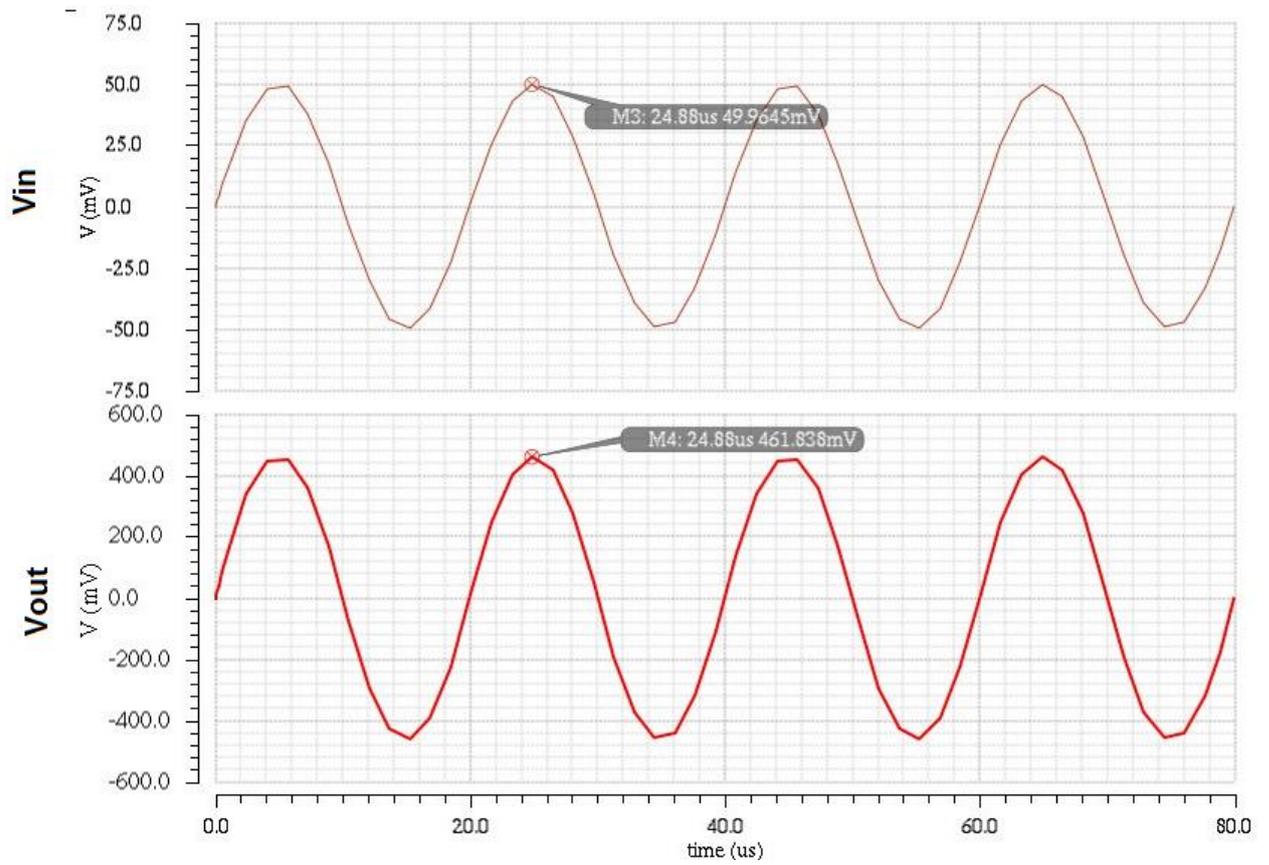


Figura 21 – Análise transiente do pré-amplificador

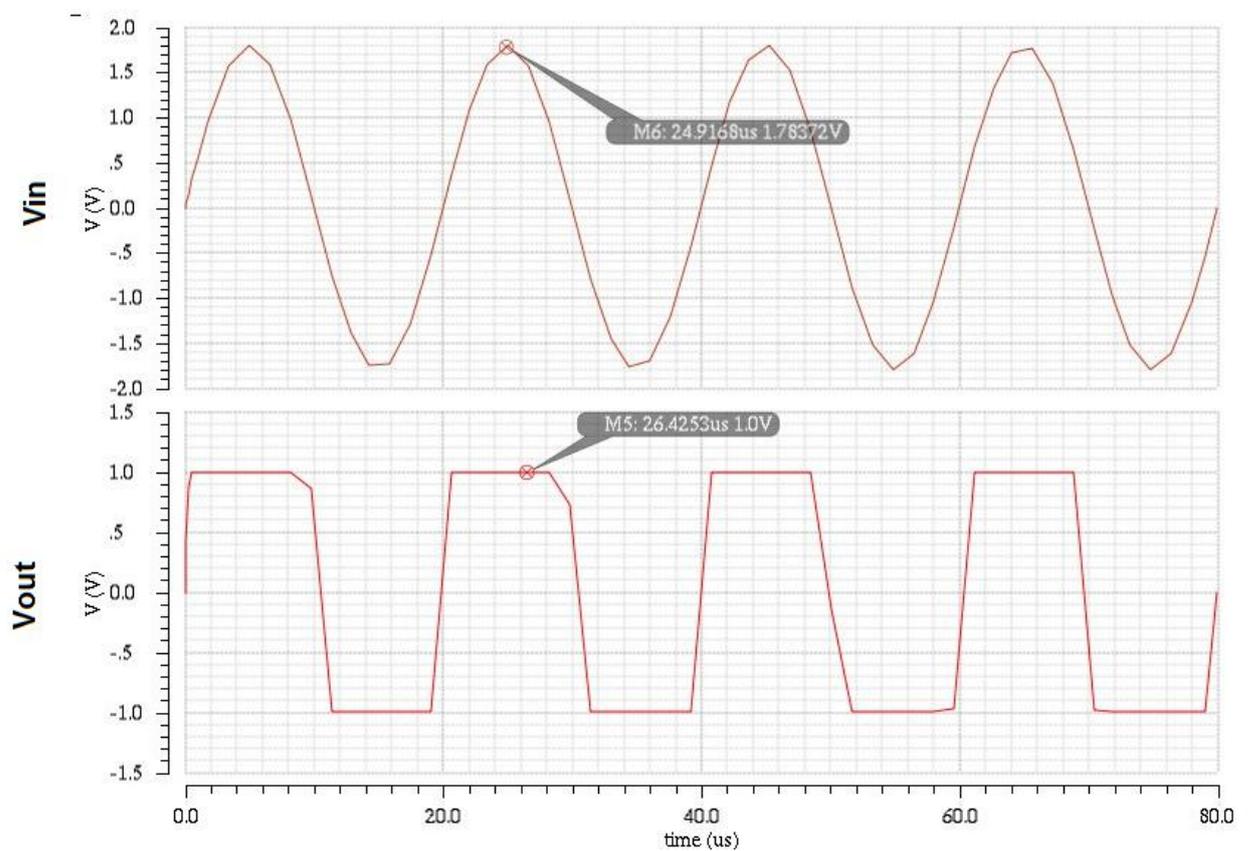


Figura 22 – Tensão de saída do pré-amplificador em saturação

## 7.2. FILTRO PASSA-BAIXAS.

### 7.2.1 Breve Descrição do Bloco.

Em geral, depois da pré-amplificação o sinal sonoro é submetido a um banco de filtros. Logo, o banco de filtros consegue capturar sinais sonoros em diferentes faixas de frequência, ou seja, existem canais distintos com faixas de frequências distintas. Em seguida, o sinal é manipulado de acordo com a melhor região da cóclea que deverá ser estimulada. No entanto, para simplificar este projeto optou-se pelo desenvolvimento de apenas um filtro, considerando o caso ideal.

Para o desenvolvimento deste bloco optou-se por um Filtro Butterworth, uma vez que o mesmo possui um comportamento mais uniforme na banda passante, no entanto, a queda do ganho na frequência de corte é mais suave, para que a queda seja mais abrupta, deve-se aumentar a ordem do filtro.

### 7.2.2 Especificações do Bloco.

As especificações deste bloco encontram-se na Tab. (3).

Tabela 3 - Especificações do Filtro.

Parâmetros	Valor
Tensão de Alimentação	1.4 V
Frequência de Corte	20 KHz
Ordem	4
Topologia	Butterworth

Vale ressaltar que a frequência de corte é especificada em 20 KHz, uma vez que a faixa de frequência audível ao ser humano é entre 100 Hz e 20 KHz. A função de transferência do filtro descrito acima foi extraída utilizando a função *butter()* no software MATLAB. Observe a Eq. (3).

$$H(s) = \frac{2.494 \cdot 10^{20}}{s^4 + 3.284 \cdot 10^5 \cdot s^3 + 5.392 \cdot 10^{10} \cdot s^2 + 5.185 \cdot 10^{15} \cdot s + 2.494 \cdot 10^{20}} \quad (3)$$

Ainda com o auxílio do software MATLAB, na Fig.(23) é apresentado o gráfico de ganho na banda passante. Observe que na frequência de corte há uma queda suave do ganho devido a ordem do filtro de Butterworth.

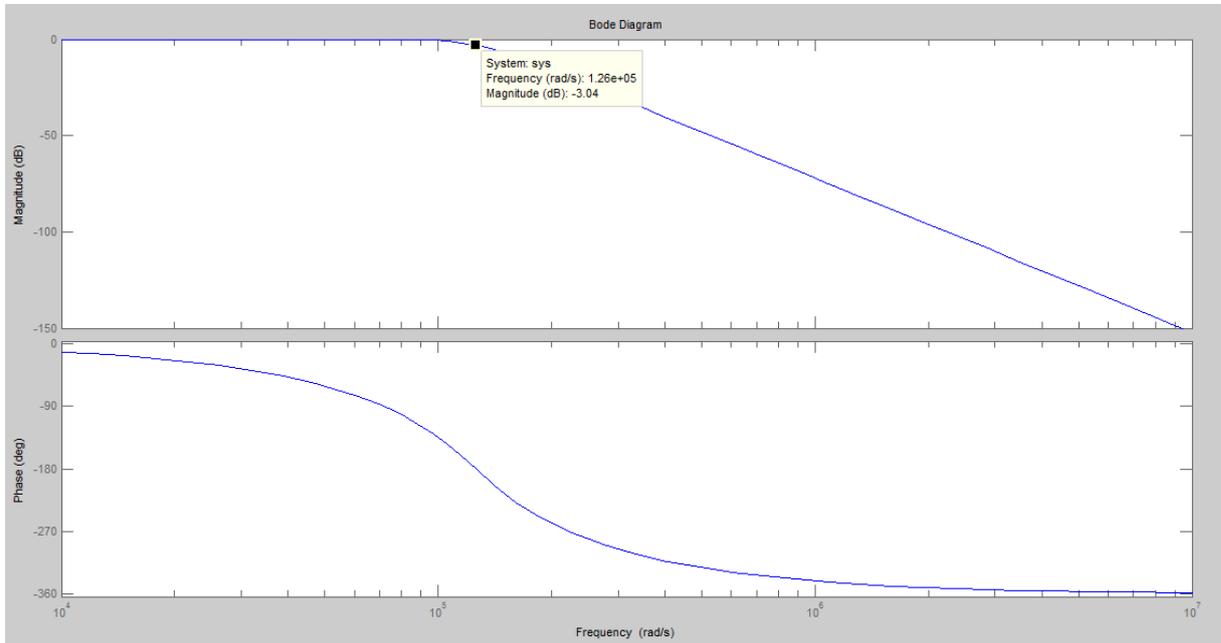


Figura 23 - acima: Gráfico Magnitude (dB) x Frequência(rad/s), abaixo: Gráfico Fase(graus) x Frequência (rad/s).

É relevante observar que o ganho cai -3 dB em  $1.26 * 10^5$  rad/s, ou seja, 20 KHz, conforme estabelecido na Tab. (3).

### 7.2.3 Modelagem em Verilog-AMS.

Para modelar este bloco foram utilizados os pinos da Tab. (4).

Tabela 4– Pinos utilizados na modelagem do Filtro.

Pinos	Descrição
Vdd	Tensão de Alimentação
In	Tensão de entrada fornecida pelo microfone
Out	Tensão de Saída
Gnd	Tensão de referência (terra)

Na modelagem deste bloco não foi utilizado nenhuma variável do tipo *parameter* ou uma variável interna, uma vez que se aplicou apenas a função de

transferência referente a Eq.(3). Para isso, foi utilizada a função *laplace\_nd()*, no qual, foi inserido os coeficientes do numerador e do denominador da função de transferência.

```

analog begin

    V(out) <+
    (laplace_nd(V(in), {2.494e20}, {2.494e20, 5.
    185e15, 5.392e10, 3.284e05, 1}));

end

```

Figura 24 – Modelagem em Verilog – AMS do Filtro de Butterworth

#### 7.2.4 Simulações e *Testbenchs*.

Para realizar a validação do Filtro Butterworth foi inserido em sua entrada um sinal com frequência de 20 KHz, porém, o sinal foi submetido a uma modulação por amplitude (AM) utilizando a fonte *vsource* disponível no software CADENCE. Desta forma, na saída do filtro deve-se obter apenas as componentes em 20 KHz. Observe a Fig.(25).

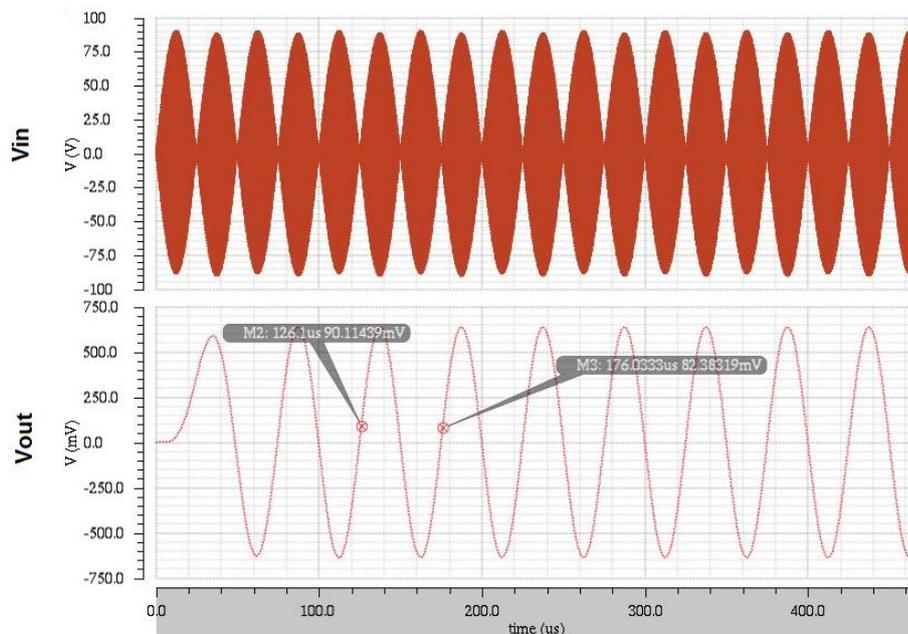


Figura 25 – Simulação do Filtro de Butterworth com um sinal Modulado na entrada.

Além disso, na Fig.(26) é apresentado o gráfico do ganho em dB pela frequência, note a frequência de corte do filtro e sua banda passante.

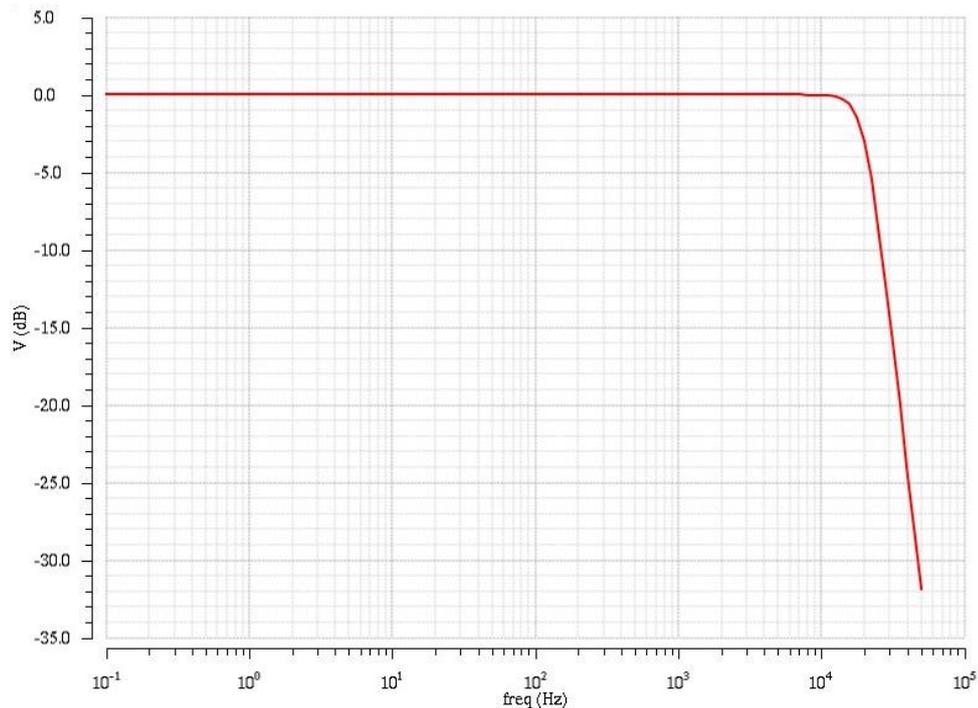


Figura 26 – Ganho do Filtro na Banda Passante

### 7.3. Automatic Gain Control (AGC).

#### 7.3.1 Breve Descrição do Bloco.

Após o microfone capturar o sinal sonoro e o filtro selecionar a banda típica de frequência em 20 KHz, o sinal é submetido a uma *Automatic Gain Control* para que o mesmo seja amplificado até o nível apropriado para ser utilizado no *Digital Signal Processing* (DSP), desta forma, também há a proteção do aparelho auditivo, uma vez que o AGC limita a amplitude máxima e mínima do sinal.

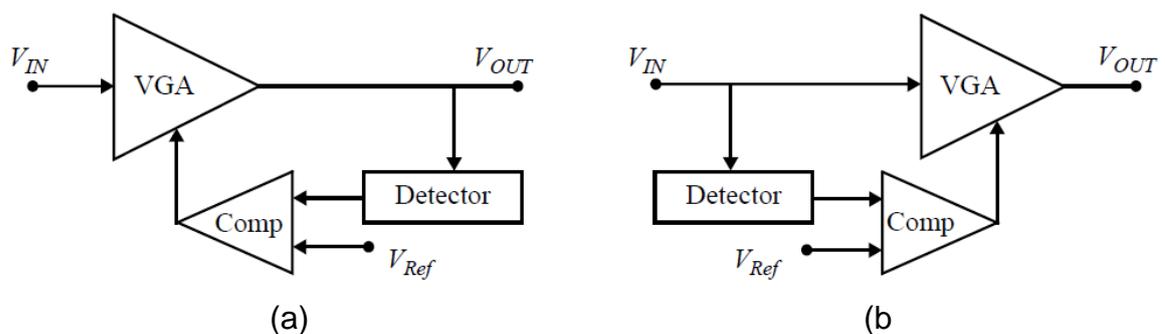


Figura 27 - Classificação dos AGCs (a) Feedback (b) Feedforward (Pérez, 2011).

Na Figura (27) são apresentadas as classificações típicas para um AGC. O AGC é formado por um VGA (*Variable Gain Amplifier*) ou um PGA (*Programmable Gain Amplifier*) que são responsáveis pela amplificação do sinal. O detector de pico obtém o sinal máximo de entrada ou saída e, em seguida, é comparado com uma tensão de referência para, assim, gerar uma tensão de controle para o VGA ou PGA. O detector de pico e o comparador formam a malha de realimentação do AGC.

Note que no caso do *Feedback* AGC o detector de pico não depende de uma variação na entrada, ou seja, se houver uma variação muito pequena na entrada, esta não irá interferir diretamente na saída, no entanto, possui um tempo de resposta, relativamente, alto. Por outro lado, o *Feedforward* possui um tempo de resposta próximo de zero.

Devido a sensibilidade que VGA possui, para este projeto opto-se pelo uso do PGA, uma vez que o mesmo é menos sensível a pequenas variações na tensão de entrada. O PGA funciona com o auxílio de  $n$  entradas que formam uma palavra binária com  $n$  bits, ou seja, para cada palavra digital está associado um ganho diferente. Logo, no caso de uma palavra de 4 bits temos 16 possibilidades de ganho, conforme podemos ver na Tab. (5), no qual, temos os ganhos referentes a cada palavra digital para o PGA THS7001 da *Texas Instruments*.

Tabela 5– Ganho Nominal do PGA THS7001 da Texas Instruments.

<b>G<sub>0</sub></b>	<b>G<sub>1</sub></b>	<b>G<sub>2</sub></b>	<b>PGA Gain (dB)</b>	<b>PGA(V/V)</b>
0	0	0	-22	0.08
0	0	1	-16	0.16
0	1	0	-10	0.32
0	1	1	-4	0.63
1	0	0	2	1.26
1	0	1	8	2.52
1	1	0	14	5.01
1	1	1	20	10.0

Foi utilizado este PGA para apenas ser observado o comportamento teórico do PGA.

O detector de pico tem a função de encontrar os máximos ou os mínimos da tensão de entrada. Para esta finalidade, será utilizado um circuito básico de detecção de envoltória, tal como da Fig. (28).

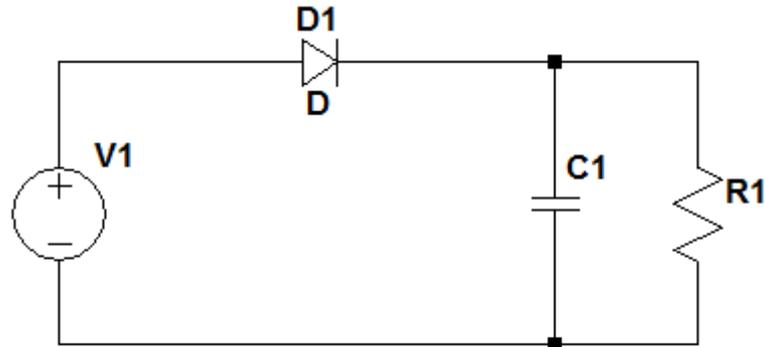


Figura 28 - Circuito Detector de Envoltória.

Através do circuito da Fig. (28), pode-se detectar o pico da tensão de entrada. Note que o diodo **D1** retifica a tensão e carrega o capacitor **C1** até atingir a tensão máxima fornecida, quando o diodo entra em corte (não conduz) o capacitor descarrega sua tensão no resistor **R1**. Vale ressaltar que este tipo de configuração gera uma tensão de pico, no entanto, esta tensão de pico possui um tempo de carga e descarga proporcional a **C1** e **R1**. Observe na Fig. (29) o comportamento do circuito da Fig.(28) para uma tensão de entrada de 20 KHz, **C1** igual a 100  $\mu$ F e **R1** igual a 100  $\Omega$ .

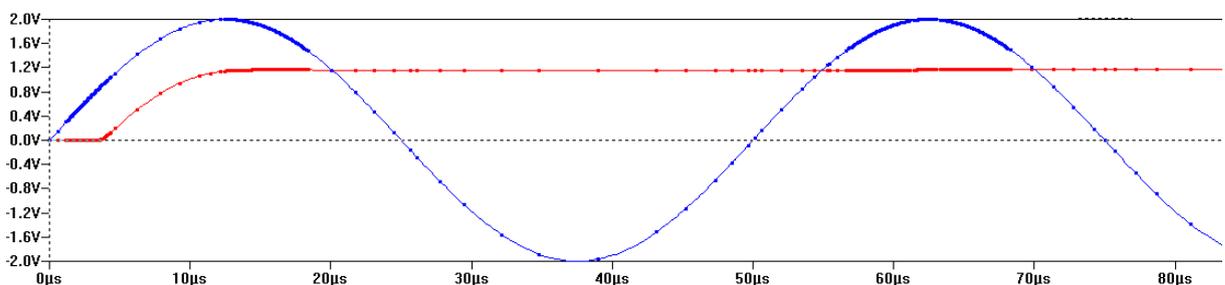


Figura 29 - Resposta Transiente do Circuito detector de envoltória, em azul a tensão de entrada e em vermelho a tensão de saída.

Vale ressaltar que o tempo de descarga depende do resistor e do capacitor, desta forma, quanto menor essa constante RC, mais rápido o capacitor carrega e descarrega, porém, a tensão máxima que o detector de envoltória alcança é reduzida.

Uma forma de melhorar o desempenho deste detector de pico seria utilizando um amplificador operacional, o que caracteriza o conceito de *super diodo*. Desta maneira, a queda de tensão no diodo é compensada utilizando um amplificador operacional que força a queda de tensão no diodo ser nula. Observe Fig. (30).

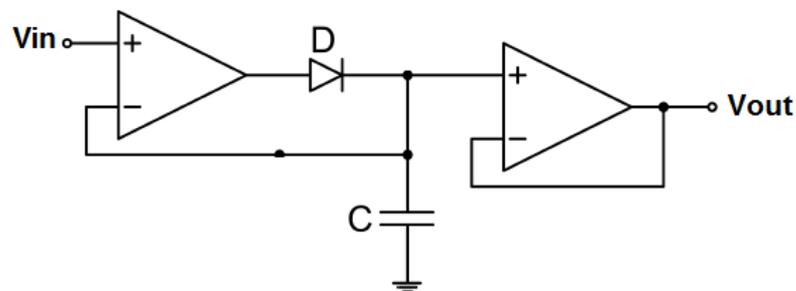


Figura 30 - Circuito detector de Pico.

O segundo amplificador operacional é utilizado como *buffer* e tem a finalidade de isolar o circuito detector de pico para não danificar o seu funcionamento.

Para gerar a palavra digital de controle do PGA será utilizado comparadores simples que geram *bit* 1 se a tensão de pico detectada for maior que a tensão de referencia e *bit* 0 se a tensão de pico for menor.

### 7.3.2 Especificações do Bloco.

Para este bloco foi utilizado especificações baseadas em (Baker, 2006), (Paloubis, 1972) e (Sapashkar, 2005).

Tabela 6 - Especificações do PGA.

Parâmetros	Valor
Ganho de Malha Aberta	97 dB
Faixa de Tensão de alimentação	0.7 – 1.8V
Consumo	45 $\mu$ W

### 7.3.3 Modelagem em Verilog-AMS.

Para melhor compressão, o PGA e os blocos referentes à malha de realimentação serão tratados em subseções distintas. A mesma abordagem será utilizada para analisar os *testbenchs* e simulações dos mesmos.

#### 7.3.3.1 Modelagem do Detector de Pico.

Na Tabela (7) são apresentados os pinos do detector de envoltória modelado.

Tabela 7 - Pinos do Detector de Envoltória.

Pinos	Descrição
in	Pino de entrada
out	Pino de saída
gnd	Pino de referencia
vdd	Pino de alimentação

Este bloco foi construído em nível analógico, ou seja, com um comportamento contínuo no tempo. Logo, os pinos mencionados na Tab. (7) foram todas de natureza *electrical*. Foram declaradas três variáveis que serão parâmetros do modelo, duas são referentes à capacitância e resistência do circuito detector de onda e outra, chamada de *vlim*, está relacionada com a tensão limiar para modelar a retificação da onda.

```

parameter real cap = 1e-6 ;
parameter real res = 10 ;
parameter real vlim = 0;
parameter real vadj = 3;

//variaveis internas
real vout;

```

Figura 31 – Variáveis utilizadas na modelagem do Detector de Pico.

Foi utilizada uma variável interna de natureza real, com o auxílio desta variável a tensão de entrada foi retificada. Quando a tensão de entrada for maior que a tensão de limiar (*vlim*), *vout* recebe a tensão de entrada. Caso contrário, *vout* é a própria tensão de limiar. Desta forma, considerando a tensão de limiar nula, apenas o ciclo positivo da tensão de entrada é utilizado no modelo. Trata-se do comportamento ideal do diodo.

Em seguida, utilizando a lei de ohm e a equação da corrente para o capacitor se definiu as correntes no resistor e no capacitor.

```

analog begin

    if(V(in) > vlim) vout = vadj*V(in);
    else vout = vadj*vlim;

    I(out,gnd) <+ -vout/res;
    I(out,gnd) <+ V(out,gnd)/res;
    I(out,gnd) <+ cap*ddt(V(out,gnd));
end

```

Figura 32 – Modelagem do Detector de Pico.

Como há uma queda de tensão no diodo, a tensão de pico detectada pelo modelo perde acurácia, desta forma, foi inserido no modelo um parâmetro chamado *vadj*, ou seja, uma tensão de ajuste para empiricamente ajustar a tensão de pico detectada pelo modelo.

Note que foi necessário inverter o sentido da corrente no resistor para que a tensão retificada seja do ciclo positivo da tensão de entrada.

### 7.3.3.2 Modelagem do Comparador.

Para modelar o comparador foi utilizada a excursão do sinal de entrada que é dada pela Eq. (4). Desta maneira, o sinal de entrada é dividido em 16 níveis, uma vez que o PGA trabalhará com uma palavra de 4 bits, e para cada nível do sinal de

entrada o comparador gerará uma palavra digital de 4 *bits*. Observe que esta lógica tem grande semelhança com o processo de decodificação.

$$V_{max} - V_{min} = \Delta V_{in} \quad (4)$$

A Tabela (8) mostra a palavra digital correspondente a cada faixa de tensão do sinal de entrada.

Tabela 8 – Decodificação realizada pelo comparador.

<b>Faixa de tensão do sinal de entrada</b>	<b>Out_1</b>	<b>Out_2</b>	<b>Out_3</b>	<b>Out_4</b>
<1/16	1	1	1	1
>1/16 e <2/16	1	1	1	0
>2/16 e <3/16	1	1	0	1
>3/16 e <4/16	1	1	0	0
>4/16 e <5/16	1	0	1	1
>5/16 e <6/16	1	0	1	0
>6/16 e <7/16	1	0	0	1
>7/16 e < 8/16	1	0	0	0
>8/16 e < 9/16	0	1	1	1
>9/16 e <10/16	0	1	1	0
>10/16 e <11/16	0	1	0	1
>11/16 e <12/16	0	1	0	0
>12/16 e <13/16	0	0	1	1
>13/16 e <14/16	0	0	1	0
>14/16 e <15/16	0	0	0	1
>15/16 e <16/16	0	0	0	0

Na Tabela (9) foram apresentados os pinos referentes ao comparador.

Tabela 9 – Pinos do Comparador

<b>Pinos</b>	<b>Descrição</b>
In	Pino de entrada
Out_1	Bit 1
Out_2	Bit 2
Out_3	Bit 3
Out_4	Bit 4(menos significativo)
gnd	Pino de referencia
vdd	Pino de alimentação

Para modelar este bloco em Verilog-AMS foram utilizados os parâmetros para o cálculo da excursão do sinal de entrada,  $V_{max}$  e  $V_{min}$ , e, além disso, foram definidos parâmetros para a tensão referente ao nível lógico 1 e 0. O *range* do sinal é calculado apenas uma vez durante a execução do modelo, para isso, utilizou-se a função *initial* e a Eq. (4).

```
initial begin range= (Vin_max-Vin_min);
end
```

Figura 33 – Utilização da Função Range.

Desta vez, ao invés de utilizar um processo contínuo no tempo, optou-se pelo uso do Verilog-AMS, ou seja, o processo é executado varias vezes, sucessivamente e indefinidamente utilizando a função *always*. Este processo é acionado quando há alguma variação na variável de entrada (*in*).

```
always @(in) begin
    if (in < range/16) begin
        out_a = one_value; // 1111
        out_b = one_value;
        out_c = one_value;
        out_d = one_value;
    end
end
```

Figura 34 - Parte da modelagem do comparador

As variáveis de entrada e saída são de natureza *wreal*, assim, sinais elétricos podem ser manipulados no domínio discreto. Logo, a partir disso, a função *always* consegue ser disparada pelo sinal de entrada do bloco. Em seguida, foi utilizado um conjunto de laços *if* seguindo a lógica demonstrada na Tab. (8) atribuindo valores a variáveis auxiliares. Os pinos de saída são atualizados constantemente utilizando a função *assign*.

### 7.3.3.3 Modelagem do PGA.

Para este bloco foram utilizados os pinos da Tab. (10).

Tabela 10 – Pinos referentes ao PGA.

Pinos	Descrição
In	Pino de entrada
data_peak<3:0>	Pino de controle do PGA
Out	Pino de saída
Gnd	Pino de referencia
Vdd	Pino de alimentação

Foram utilizados os mesmos conceitos descritos para o comparador, no entanto, para o PGA a variável de controle *data\_peak* trata-se de um vetor do tipo *logic* de 0 a 3. Além disso, foi utilizado um *case* para definir o ganho para cada palavra lógica inserida em *data\_peak*.

```

case (data_peak)
  4'b0000: begin vout_aux= in*gain_aux*1; end
  4'b0001: begin vout_aux= in*gain_aux*2; end
  4'b0010: begin vout_aux= in*gain_aux*3; end
  4'b0011: begin vout_aux= in*gain_aux*4; end
  4'b0100: begin vout_aux= in*gain_aux*5; end
  4'b0101: begin vout_aux= in*gain_aux*6; end
  4'b0110: begin vout_aux= in*gain_aux*7; end
  4'b0111: begin vout_aux= in*gain_aux*8; end
  4'b1000: begin vout_aux= in*gain_aux*9; end
  4'b1001: begin vout_aux= in*gain_aux*10; end
  4'b1010: begin vout_aux= in*gain_aux*11; end
  4'b1011: begin vout_aux= in*gain_aux*12; end
  4'b1100: begin vout_aux= in*gain_aux*13; end
  4'b1101: begin vout_aux= in*gain_aux*14; end
  4'b1110: begin vout_aux= in*gain_aux*15; end
  4'b1111: begin vout_aux= in*gain_aux*16; end

endcase

```

Figura 35 – Estrutura do *case* utilizada para a modelagem do PGA.

### 7.3.4 Simulações e *Testbenchs*.

#### 7.3.4.1 Simulações e *Testbenchs* do Detector de Pico.

Para verificar o funcionamento do detector de Pico foi utilizada como entrada do modelo uma fonte de tensão de 20 KHz, conforme Fig. (36).

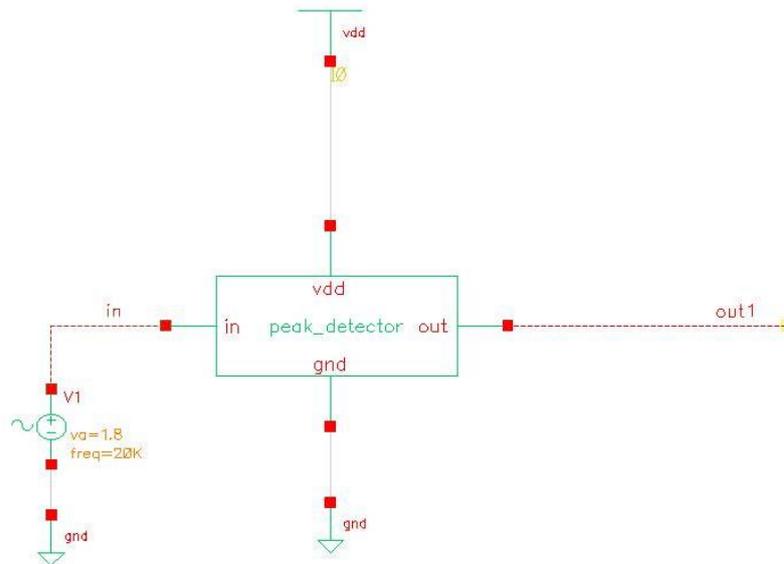


Figura 36 – Testbench referente ao detector de Pico.

Vale ressaltar que foi utilizado nos parâmetros do modelo o capacitor e o resistor citados anteriormente, ou seja, um capacitor de 100  $\mu\text{F}$  e um resistor de 100  $\Omega$ . Além disso, utilizou-se uma tensão de ajuste de 3 V para compensar a queda de tensão no diodo.

Observe na Fig.(36) que a tensão de saída alcança o valor correspondente ao valor máximo da tensão de entrada, porém, há um aumento no tempo de resposta do detector de pico de aproximadamente 50 ms.

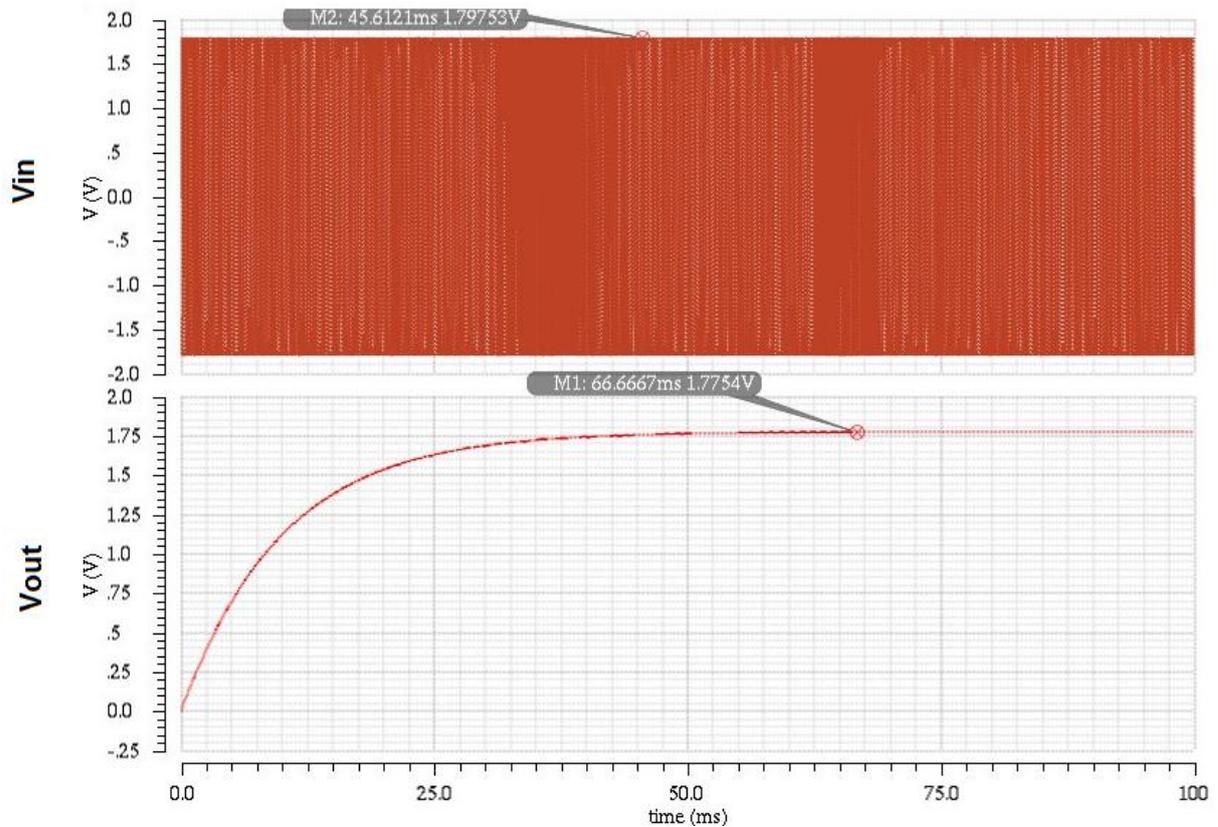


Figura 37 – Análise transiente do comportamento do detector de pico.

#### 7.3.4.2 Simulações e *Testbenchs* do Comparador.

Para validar o modelo do comparador, o mesmo foi submetido a uma tensão de entrada de 2 V pico a pico. Logo, foi inserido nos parâmetros do comparador a tensão máxima ( $V_{max}$ ) de 2 V e a tensão mínima ( $V_{min}$ ) de -2 V. Então, o comparador irá dividir a tensão de entrada em 16 níveis e irá realizar a decodificação do sinal.

Na Figura (39) pode-se observar o resultado da simulação do comparador, observe que quando a tensão de entrada está em seu valor mínimo as saídas do comparador são acionadas em nível lógico 1, conforme a Tab. (8).

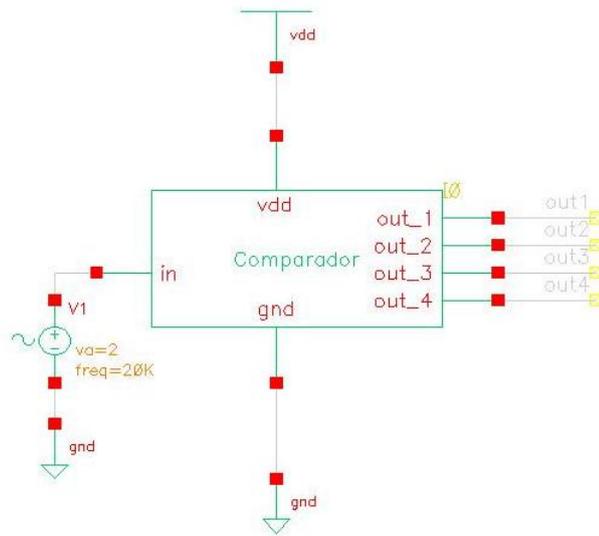


Figura 38 – Circuito de simulação utilizado para o comparador.

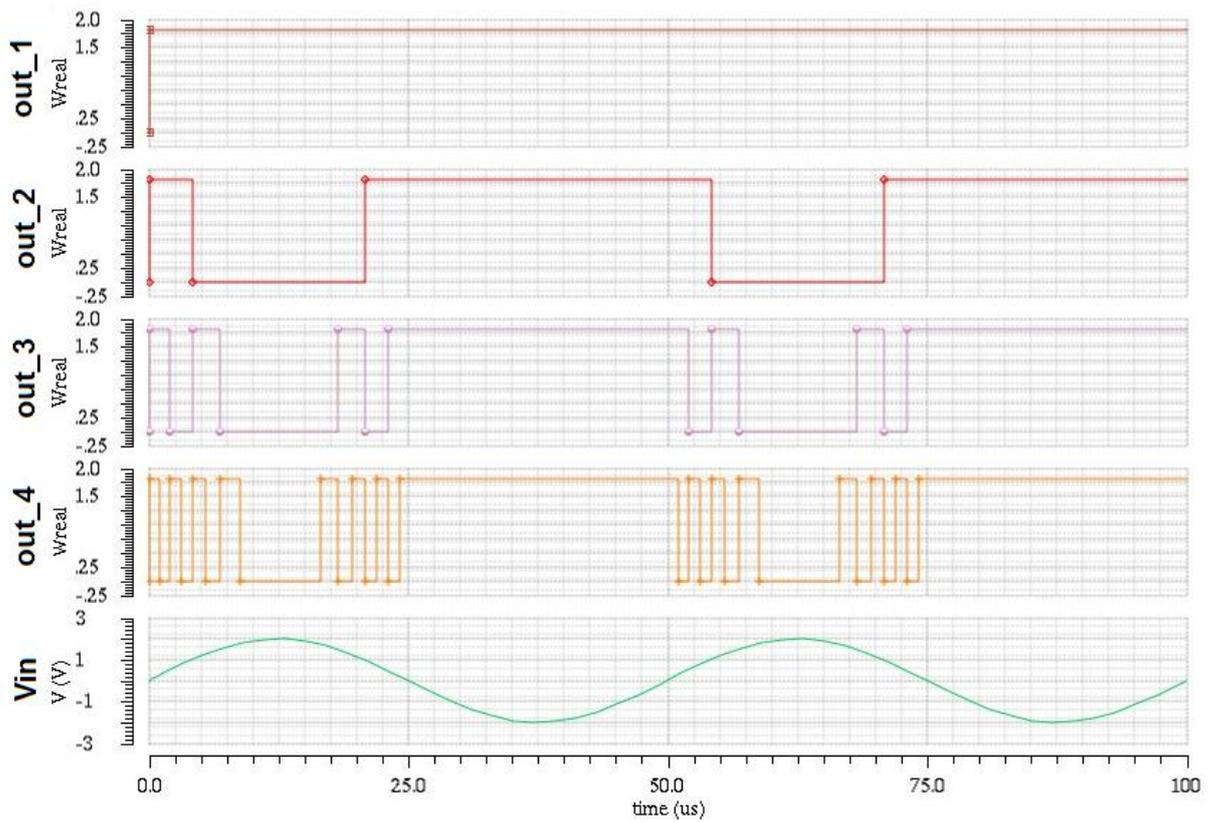


Figura 39 – Resultados obtidos pelo comparado

### 7.3.4.2 Simulações e *Testbenchs* do PGA.

Como a variável `data_peak<3:0>` trata-se de uma entrada de níveis lógicos paralela, foi introduzido no circuito de validação um barramento que recebe as variáveis de controle do PGA, observe a Fig. (40).

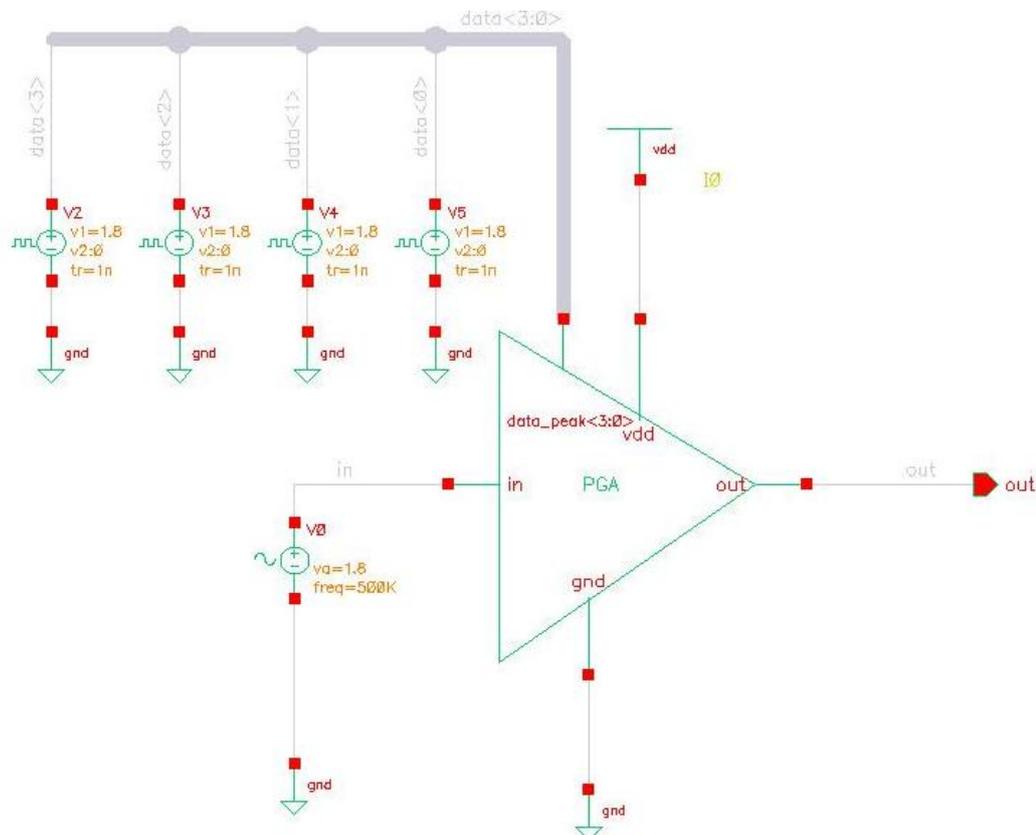


Figura 40 – Testbench realizado para o PGA.

Conforme pode ser visto na Fig. (41) a tensão de entrada (em verde) é amplificada de acordo com as variáveis lógicas de controle. Desta maneira, quando o PGA for associado a uma malha de realimentação na topologia *feedback* ou *feedforward* o AGC fornecerá o ganho máximo e mínimo necessário para que o DSP funcione sem danificar o aparelho auditivo.

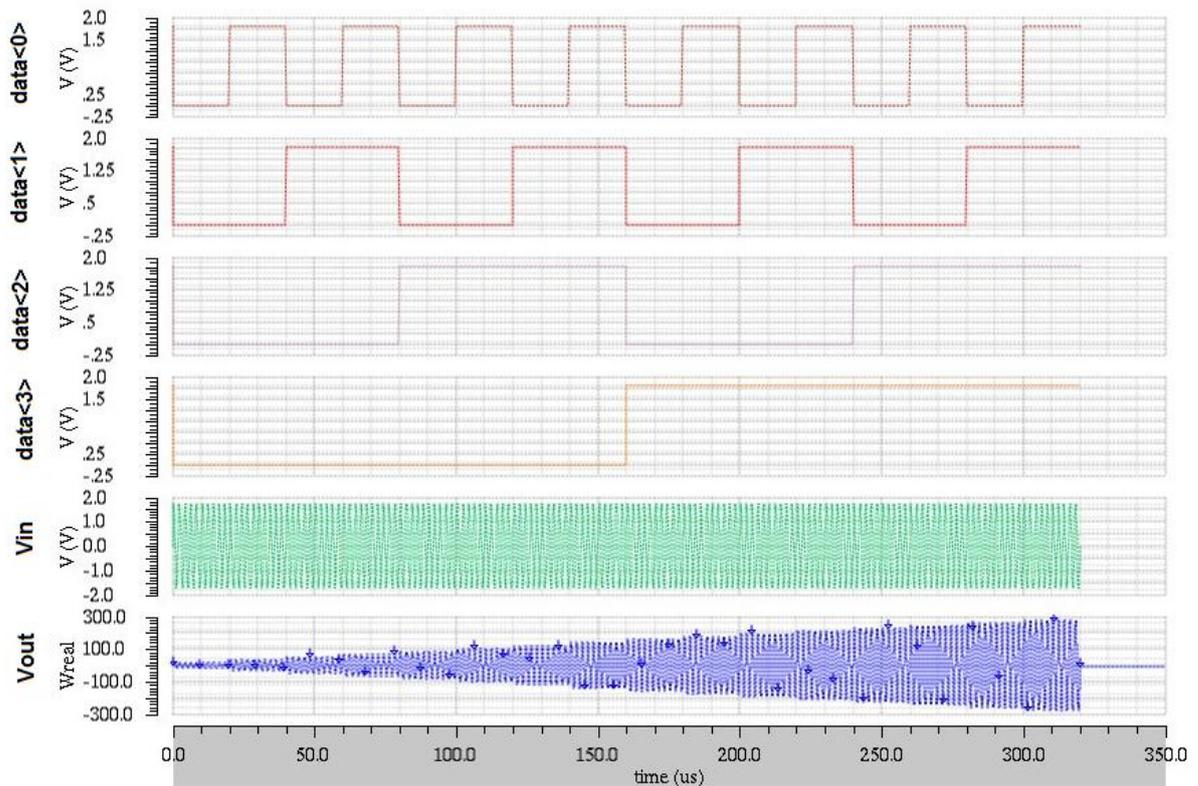


Figura 41 – Resultados obtidos com a modelagem do PGA.

## 7.4. MODULADOR ASK.

### 7.4.1 Breve Descrição do Bloco.

A modulação ASK é amplamente utilizada em sistemas de comunicação *wireless*. Por se tratar de um sistema de fácil implementação, este tipo de modulação também é utilizado em circuitos implantáveis, tal como: implantes cocleares (Yan, 2010).

Após o sinal sonoro ser submetido aos blocos descritos anteriormente, o mesmo deve ser tratado digitalmente para gerar os impulsos elétricos a fim de estimular a cóclea. Então, entre o AGC e modulador ASK há uma etapa de processamento do sinal cujo DSP é responsável. Vale ressaltar que neste projeto não focará no processamento do sinal de voz.

A maioria dos moduladores ASK utilizados em sistemas implantáveis possuem uma frequência de portadora baixa entre 1 e 20 MHz, para não interferir no funcionamento do organismo humano, e uma taxa de transmissão de *bits* típica entre 1 e 10 Kbps (Yan, 2010).

De acordo com item 6.2.1, a modulação ASK é, basicamente, o chaveamento do sinal da portadora de acordo com o sinal digital que se deseja transmitir, observe Fig. (43). Logo, para gerar a portadora do sinal modulado foi escolhida a topologia da Fig. (42). Esta topologia trata-se de um oscilador em anel formado por um número ímpar de inversores, os inversores substituem os indutores normalmente utilizados em circuitos osciladores, com isso, há uma redução do consumo de energia (Yan, 2010).

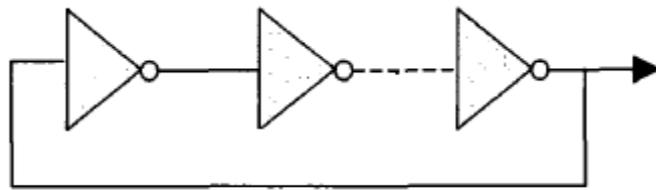


Figura 42 - Oscilador em Anel.

Na Equação (5) pode ser visto que a frequência de oscilação do circuito da Fig. (42) depende do número de inversores e dos tempos de resposta dos inversores.

$$f = \frac{1}{N \cdot (t_{PHL} + t_{PLH})} \quad (5)$$

no qual,

$f$  é a frequência de oscilação

$N$  é número de inversores

$t_{PHL}$  é o tempo que o inversor leva para inverter o sinal, partindo do nível lógico alto.

$t_{PLH}$  é o tempo que o inversor leva para inverter o sinal, partindo do nível lógico baixo.

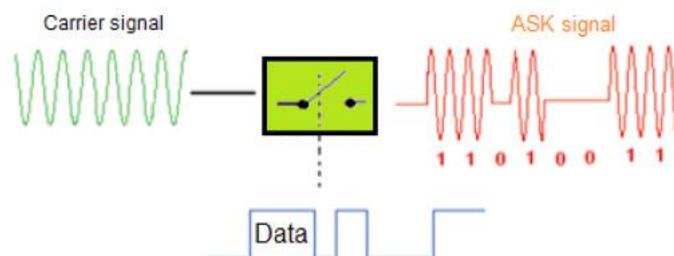


Figura 43 – Modulação ASK (Hannan, 2012).

#### 7.4.2 Especificações do Bloco.

Para este bloco foram analisadas as especificações descritas na Fig. (15) e nas demais referências. Portanto, na Tab. (11) são apresentadas as especificações para o modulador ASK.

Tabela 11 – Especificações do Modulador ASK.

<b>Parâmetros</b>	<b>Valor</b>
Frequência da portadora	5 MHz
Faixa de Tensão de alimentação	1.4 V
Taxa de Transmissão de Dados	0.5 MB/s

#### 7.4.3 Modelagem em Verilog-AMS.

Conforme descrito anteriormente, o modulador ASK trata-se de um sinal chaveado, logo, para modelar este bloco primeiro foi modelada uma chave e, seguida, um oscilador para gerar o sinal da portadora.

##### 7.4.3.1 Modelagem em Verilog-AMS da chave.

Note na Fig. (44) que a chave possui uma resistência quando a mesma está ativada, e uma resistência quando desligada. Na condição ideal a resistência quando a chave está ligada é nula, por outro lado, a resistência quando a chave está desligada é infinito. Os capacitores são as capacitâncias parasitas associadas aos terminais da chave (Allen, 2002).

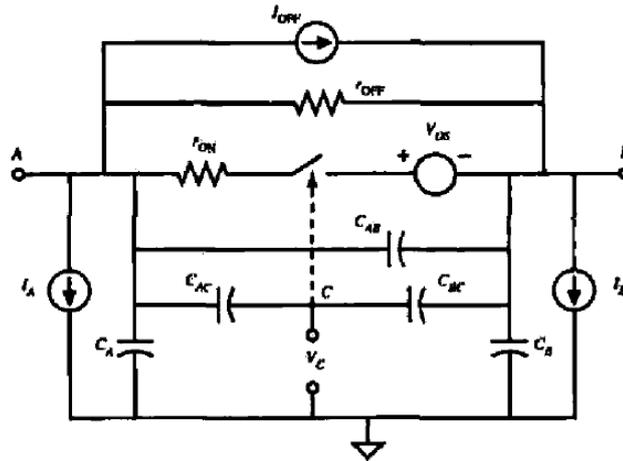


Figura 44 – Modelo para uma chave (Allen, 2002).

Para modelar a chave foram utilizadas as capacitâncias parasitas do modelo da Fig. (44) e as resistências  $R_{on}$  e  $R_{off}$ . Desta forma, a chave só está fechada se a tensão que ativa a mesma for maior que a tensão de limiar definida como parâmetro no modelo.

```

analog begin

    ddt_1 = ddt(V(in,out));
    ddt_2 = ddt(V(in,gnd));
    ddt_3 = ddt(V(out,gnd));

    if(V(swt) > vthresh) begin

        V(out,gnd) <+ V(in,gnd);
        I(in,out) <+ V(in,out)/ron;
        I(in,out) <+ cap_io*ddt_1;
        I(in,gnd) <+ cap_ig*ddt_2;
        I(out,gnd) <+ cap_og*ddt_3;

    end
    else begin

        I(in,out) <+ V(in,out)/roff;
        I(in,out) <+ cap_io*ddt_1;
        I(in,gnd) <+ cap_ig*ddt_2;
        I(out,gnd) <+ cap_og*ddt_3;
        I(out,gnd) <+ V(out,gnd);

    end

end

```

Figura 45 – Modelagem em Verilog – AMS de uma chave

Após verificar se a chave está aberta ou fechada, a tensão entre os pinos de entrada e saída são definidas utilizando a lei de ohm e a equação da corrente para o capacitor. Vale ressaltar que a chave se comporta tal como uma chave em nível de

transistor, ou seja, a chave está em circuito fechado quando a tensão no pino *swt* está acima de uma tensão de limiar.

Abaixo são apresentados os pinos referentes a este modelo.

Tabela 12 – Pinos referentes ao modelo da chave.

<b>Pinos</b>	<b>Descrição</b>
In	Pino de entrada
swt	Pino de controle da chave
out	Pino de saída
gnd	Pino de referencia
vdd	Pino de alimentação

#### 7.4.3.2 Modelagem em Verilog-AMS do oscilador.

Na Tabela (13) são apresentados os pinos referentes ao oscilador.

Tabela 13 – Pinos referentes ao oscilador

<b>Pinos</b>	<b>Descrição</b>
out	Pino de saída
gnd	Pino de referencia
vdd	Pino de alimentação

Para este modelo aplicou-se a Eq. (5), além dos parâmetros correspondentes as variáveis da Eq. (5), também foram utilizado parâmetros para definir a tensão de pico e a tensão de *offset*.

```

real arg;
real freq = 1/(N*(tphl + tplh));

    initial begin
    arg = `M_TWO_PI*freq;
    end
    //tipo de modelagem analogica
    analog begin

    V(out) <+ Voffset + Vpp*cos(arg*$abstime);
    end
endmodule

```

Figura 46 – Modelagem do Oscilador.

Desta forma, podemos ajustar a frequência do sinal apenas alterando as variáveis correspondentes ao número de inversores e ao tempo de resposta dos inversores no *testbench* da modelagem, sem alterar o modelo em Verilog – AMS.

#### 7.4.4 Simulações e *Testbenchs*.

##### 7.4.4.1 Simulações e *Testbenchs* da chave.

Para validar o funcionamento da chave foi inserido em sua entrada um sinal qualquer e no pino *swt* uma rampa que passa pelo valor de 0.7 V, assim, foi possível verificar como a chave se comporta acima da tensão de limiar escolhida e abaixo.

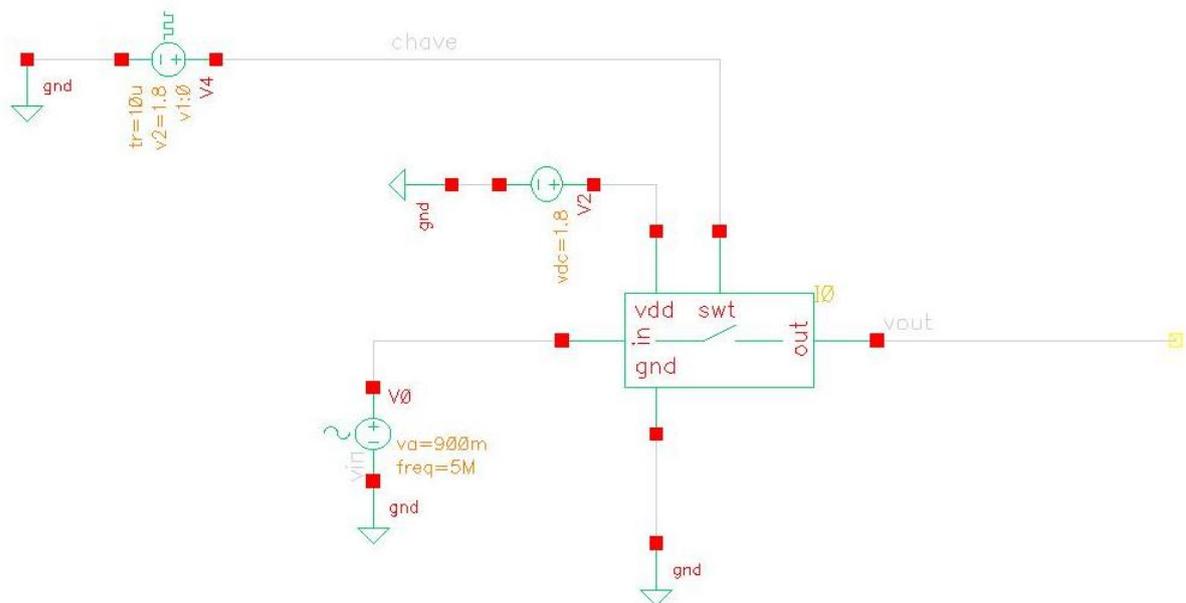


Figura 47 – Testbench referente ao modelo da chave.

Observe na Fig. (48) o comportamento da chave descrita nas seções anteriores. Veja que quando a tensão no pino *swt* passa a tensão de limiar, a chave conduz o sinal de entrada.

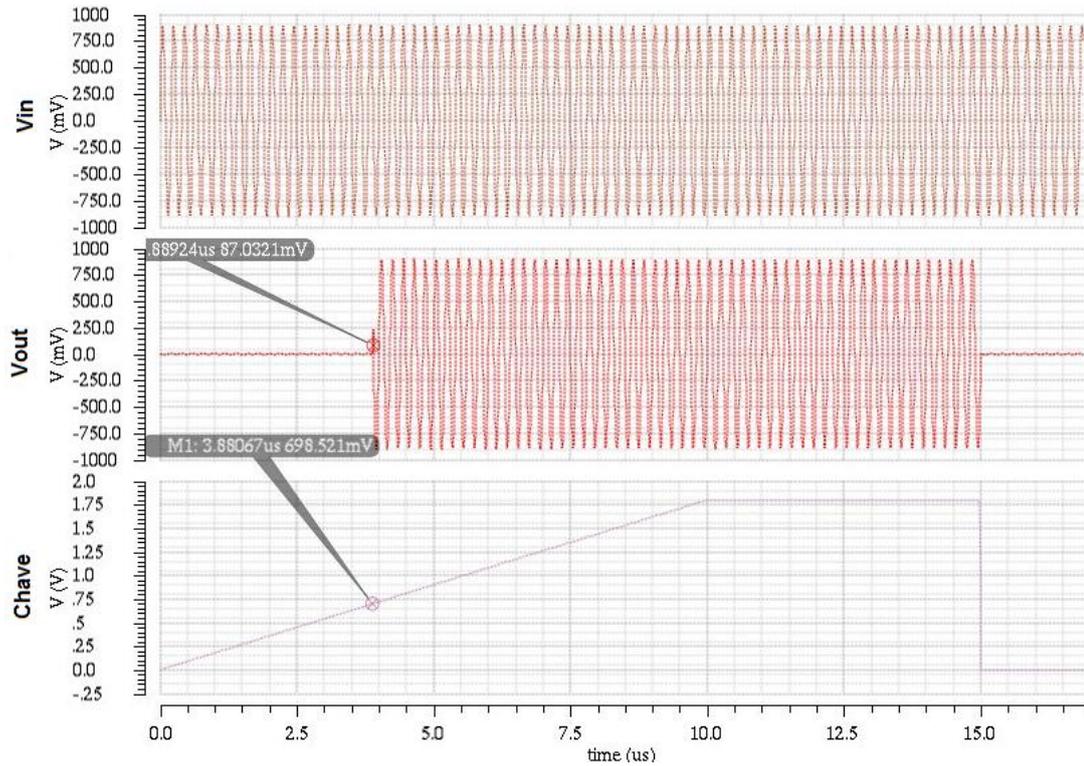


Figura 48 – Análise dos resultados da chave modelada.

#### 7.4.4.2 Simulações e *Testbenchs* do oscilador.

Na Fig. (49) é apresentado o *testbench* utilizado para simular o modelo do oscilador.

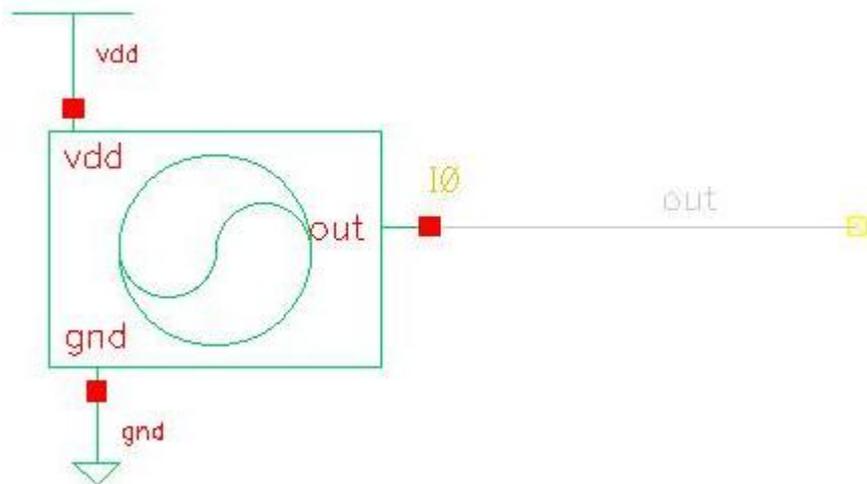


Figura 49 – Testbench do Oscilador.

Para validar o comportamento do oscilador foi necessário aumentar os passos de simulação do software CADENCE. Note que, talvez, como melhoria do modelo

seja interessante inserir um pino responsável por desabilitar o oscilador a fim de que o mesmo fique sincronizado com o DSP.

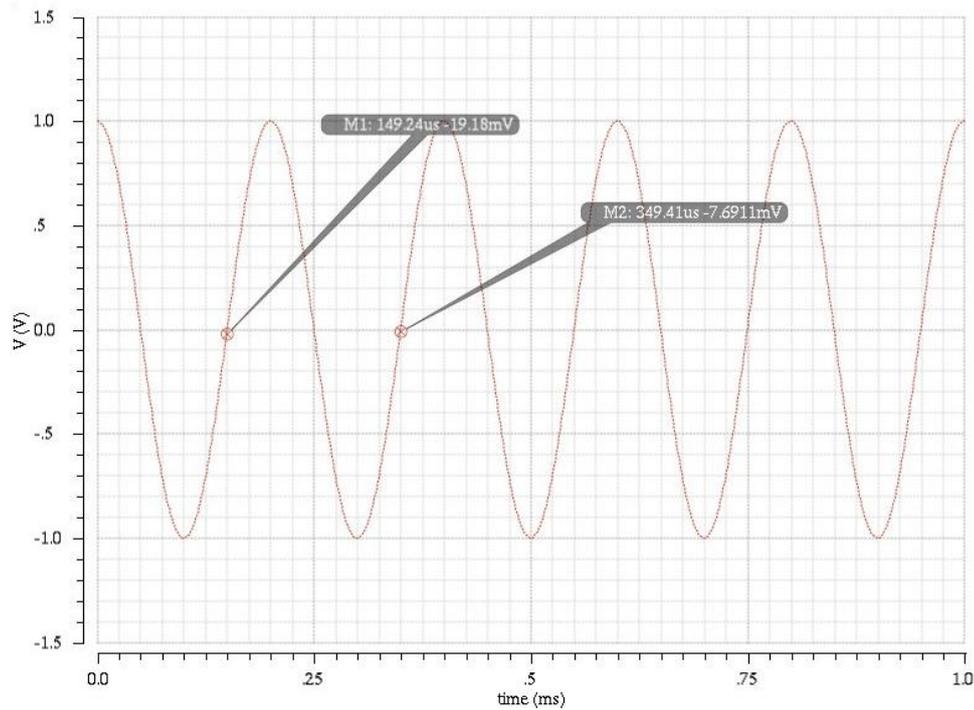


Figura 50 – Resultado final do oscilador projetado.

#### 7.4.4.3 Simulações e *Testbenchs* do modulador ASK.

De posse do modelo do oscilador e da chave, podemos verificar o funcionamento do Modulador ASK, alterando os parâmetros do oscilador para que a frequência do mesmo seja de 5 MHz. Observe a Fig. (51).

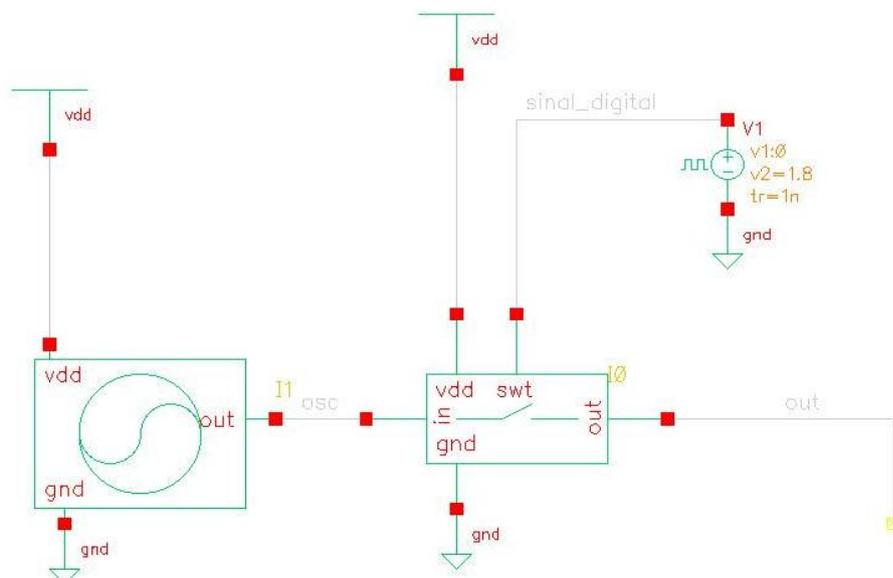


Figura 51 – Testbench do Modulador ASK.

Na Figura (52) é apresentado o resultado do Modulador ASK. Vale ressaltar que caso se deseje mudar o tipo de codificação da modulação, deve-se alterar o modelo da chave.

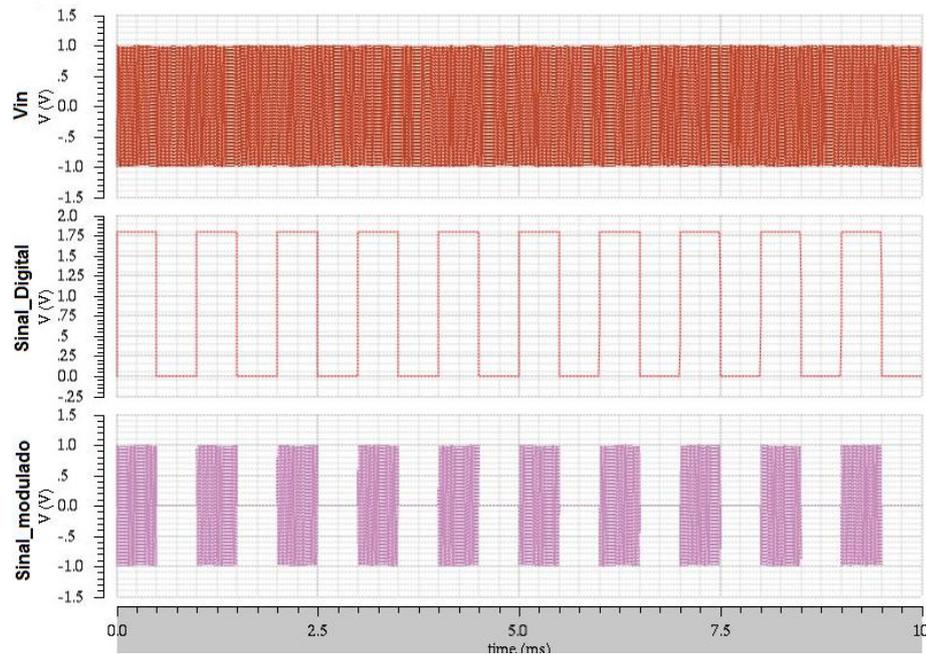


Figura 52 – Resultado da união dos blocos correspondentes ao Modulador ASK.

## 7.5. AMPLIFICADOR DE POTÊNCIA.

### 7.5.1 Breve Descrição do Bloco.

Como foi descrito anteriormente, após o sinal ser modulado ele deve ser enviado para a parte interna do implante coclear. Para isso, é necessário que o sinal tenha um ganho de potencia suficiente para acionar o acoplamento indutivo que forma o link subcutâneo. Os amplificadores classe E são vastamente explorados em implantes cocleares por possuírem uma eficiência teórica de 100%, esta eficiência está ligada ao fato dos transistores atuarem como chave e não como fonte de corrente. Além disso, este tipo de amplificador de potência é bastante usual devido a capacidade de gerar uma alta tensão AC a partir de uma pequena tensão DC [20].

Desta forma, a [Inductive Link Design for Medical Implants] propõe a topologia apresentada na Fig. (53). No qual, o indutor (Lchoke) se comporta como uma fonte de corrente em serie com um transistor que está na região de triodo, ou seja, tem o comportamento de uma chave. Os cálculos referentes ao acoplamento indutivo e aos parâmetros relevantes do amplificador de potência podem ser melhor analisados em [20].

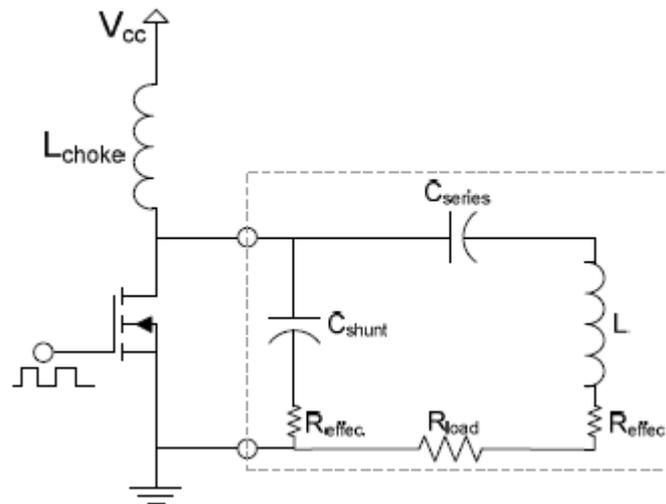


Figura 53 – Amplificador de Potência Classe E (Ali H. e., 2009)

### 7.5.2 Especificações do Bloco.

Como especificações de teste serão utilizadas as especificações demonstradas em [20]. Porém, em trabalhos futuros as especificações mostradas na Tab. (14) serão recalculadas e definidas adequadamente para a frequência de operação de 5 MHz, isso se deve também por, neste primeiro momento, tratar o PA em seu caso ideal.

Tabela 14 - Especificações do Amplificador de Potência.

Parâmetros	Valor
Tensão de Alimentação	5 V
Potência de Saída	100 mW
Frequência de Operação	2.5 MHz

### 7.5.3 Modelagem em Verilog-AMS.

Considerando um modelo ideal para o amplificador de potência, este será modelado utilizando uma fonte de corrente em série com uma chave. A chave, já descrita neste projeto, será ajustada para se utilizar no PA, uma vez que a chave deve possuir baixa impedância  $R_{on}$  e um cuidado com a capacitância parasita relacionada ao pino swt da chave (Ali H. e., 2009).

Para modelar a fonte de corrente, utilizou-se apenas uma variável do tipo *parameter*. Esta variável é utilizada para inserir a corrente da fonte modelada.

Os pinos utilizados neste modelo podem ser analisados na Tab. (15).

Tabela 15 – Pinos referentes ao PA.

Pinos	Descrição
A	Nó de entrada
B	Nó de saída

Vale ressaltar que para melhorar o modelo descrito para fonte os pinos descritos na Tab. (15) podem ser variáveis *inout* para que a pinagem não influencie no sentido da corrente modelada no caso ideal.

#### 7.5.4 Simulações e *Testbenchs* da fonte de corrente.

Na Figura (54) podemos verificar o funcionamento da fonte de corrente modelada no item anterior, observe que a definição dos pinos A e B como entrada e saída, respectivamente, influenciou o sentido da corrente fornecido pela fonte.

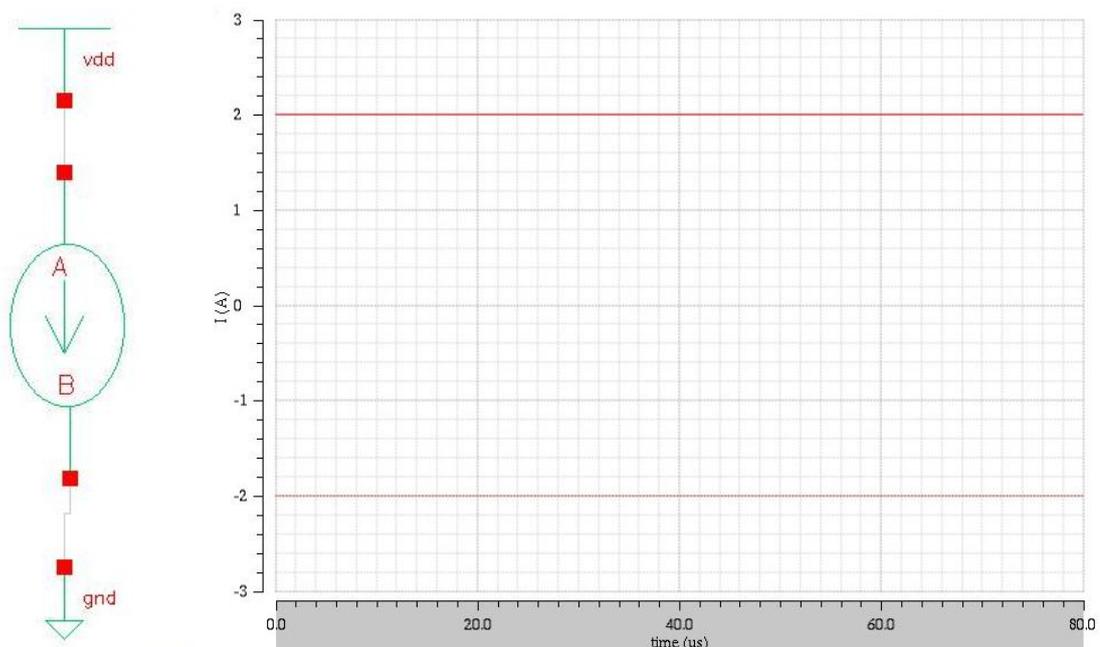


Figura 54 – Resultados referentes a fonte de corrente.

## **8. CONSIDERAÇÕES FINAIS.**

Este item tem por objetivo apresentar os aspectos finais deste trabalho e, além disso, mostrar o que pode ser melhorado neste projeto em trabalhos futuros.

### **8.1. CONCLUSÃO.**

Inicialmente, o autor deste trabalho tinha um conhecimento razoável sobre o projeto proposto, no entanto, o projeto é dividido em duas propostas. A primeira trata-se do levantamento de documentações que possam embasar teoricamente a modelagem que será desenvolvida e a segunda, está relacionado com a modelagem, implementação e testes do sistema utilizando a ferramenta descrita anteriormente, Verilog - AMS.

Para isso, foram abordados temas que estão amplamente relacionados com os implantes cocleares, visando conhecer os aspectos dos quais tornam este tipo de tratamento muito interessante para os deficientes auditivos. Logo, foi estudada a fisiologia do ouvido para entender seu funcionamento e assim, compor da melhor forma o sistema destinado a captação sonora, processamento, transmissão de dados e estímulos da cóclea.

Para elaborar as especificações dos blocos, procurou-se entender os tipos de deficiências, descrevendo as regiões lesionadas e, sucintamente, os tratamentos relacionados. Além disso, verificar as características básicas da voz e da audição, principalmente com relação à faixa de frequência a fim de sejam consideradas no projeto.

No entanto, para se ter a capacidade de modelar um sistema ou um subsistema, é necessário obter conhecimentos básicos sobre a ferramenta que será utilizada. Em função disto, foi apresentado o contexto de desenvolvimento da linguagem Verilog – AMS, com o foco na distinção entre as linguagens de descrição de hardware e suas principais vantagens. Com o desenvolvimento teórico da linguagem Verilog – AMS foram verificados os tipos de metodologias que poderiam ser abordadas neste trabalho e, notou-se uma mistura de metodologias, conforme descrito nos itens anteriores.

De posse de todos os recursos teóricos para o desenvolvimento deste projeto, foram feitas as modelagens de boa parte dos blocos relacionados à parte externa do implante coclear. Foi observado para cada bloco um conjunto de especificações

mínimas para modelá-los e os validar individualmente. Vale ressaltar que para que isso ocorresse, primeiramente, foi feito um apanhado geral da maioria dos blocos de um implante coclear a fim de dimensionar com maior afinco as principais propriedades dos blocos.

Cada bloco foi validado individualmente e foram observadas suas características principais. No entanto, sabe-se que algumas características devem ser melhoradas pelo projeto se tratar de um implante coclear, um sistema que está intimamente relacionado com o bem estar do usuário.

Apesar de cada bloco funcionar corretamente, talvez em propostas futuras, deve-se verificar o comportamento dos blocos quando submetidos a um sinal de áudio a fim de observar a influência de ruídos no sistema e torná-lo mais robusto.

É de suma importância observar a utilização da metodologia *Top-down* no desenvolvimento de sistemas biomédicos, ou seja, trata-se de uma nova abordagem na concepção de sistemas implantáveis, bem como a utilização da linguagem Verilog-AMS que possibilitou a construção de blocos com resultados próximos aos observados pelas referências.

Este projeto trata-se apenas de uma modelagem em alto nível do sistema, no entanto, obter o comportamento ideal do sistema é muito interessante para testes e comparações com tecnologias atuais ou ainda, na evolução de tecnologias já existentes.

## 8.2. TRABALHOS FUTUROS.

Vale ressaltar que os blocos desenvolvidos podem ser mais detalhados, ou seja, mais dedicados a finalidade proposta por este trabalho. Desta forma, é sugerido que os blocos desenvolvidos neste projeto sejam acoplados e submetidos a sinais de voz a fim de verificar o comportamento dos mesmos e aprimorá-los. Isto deve ser feito no intuito de gerar um sistema passível de fabricação.

Do mesmo modo, para destacar o uso da linguagem Verilog – AMS e da topologia *Top-Down*, simulações mistas são bem vindas a fim de destacar o comportamento dos blocos descritos em Verilog – AMS e criar um paralelo entre a utilização de transistores e a descrição de modelos. Deve-se ainda pontuar vantagens criteriosas da linguagem Verilog-AMS, bem como a conformidade com a topologia *Top-Down* e o tempo de simulação.

## 9. BIBLIOGRAFIA.

Abbas, S. M. (2012). Transcutaneous Inductive Powering Links based on ASK modulation Techniques. *World Academy of Science, Engineering and Technology* , Vol 6.

Ali, H. et al. (2-6 de September de 2009). Laboratory Prototype of Cochlear Implant: Design and Techniques. *31st Annual International Conference of the IEEE EMBS* .

Ali, H. (2009). Inductive Link Design for Medical Implants. *IEEE Symposium on Industrial Electronics and Applications* .

Allen, P. E. (2002). *CMOS Analog Circuit Design*. Oxford University Press.

An, S. K. (2007). Design for a Simplified Cochlear Implant System. *IEEE TRANSACTIONS ON BIOMEDICAL ENGINEERING* , Vol. 54, No. 6.

Baker, M. W. (September de 2006). Low –Power Single Loop and Dual-Loop AGCs for Bionic Ears. *IEEE Journal of Solid State Circuits* , Vol. 41, No 8.

Campos, R. S. (2013). *Modelagem de um transceptor Zigbee utilizando a linguagem Verilog – AMS*. Monografia de Graduação pela Universidade de Brasília.

Carvalho, C. N. (1999). *Implante Coclear no Sul do Brasil: Realidade ou Fantasia?* Monografia do curso de especialização em Audiologia Clínica. Centro de Especialização em Fonoaudiologia Clínica.

González, J. O. (2011). *Filtro a capacitor chaveado para implantes cocleares utilizando a tecnologia CMOS 0.6  $\mu$ m*. Dissertação de Mestrado.

Hannan, M. A. (2012). Modulation techniques for Biomedical Implanted Devices and Their challenges. *Sensors*.

Kundert, K. S., Zinke, O. (2004). *The Designer's Guide to Verilog-AMS*. Kluwer Academic Publishers.

Martinez, J. S. A. *CMOS Preamplifier for Electret Microphones*. Puebla, Mexico: Instituto Nacional de Astrofisica Optica y Electronica.

Naghmouchi, F. et al (2004). CMOS ASK SYSTEM MODULATION DEDICATED TO COCHLEAR PROTHESIS. *First International Syposium Control, Communications and Signal Processing* , 267-270.

Paloubis, J. et al (1972). *Analysis and Design of Automatic Gain Control Systems*. Monterey, California: Naval Postgraduate School.

Pérez, J. P. (2011). *Automatic Gain Control, Analog Circuits and Signal Processing*. LLC.

Rosa, D. B. (2009). *Perspectivas e avanços do implante coclear*. Monografia de Pós Graduação Lato Sensu.

Sapeshkar, R. et al (2005). An Ultra Low Power Programmable Analog Bionic Ear Processor. *IEEE Transactions of Biomedical Engineering* .

Silva, M. T. (2012). *Metodos de projeto para o acoplamento indutivo aplicado a implantes biomédicos*. Tese de Doutorado, Escola de Engenharia da Universidade Federal de Minas Gerais.

Tefili, D. et al (2013). Implantes cocleares: aspectos tecnológicos e papel socioeconômico. *Revista Brasileira de Engenharia Biomedica* , 414-433.

Tran, N. et al (2007). "Development of Long-Range UHF-band RFID tag chip Using Schottky Diodes in Standard CMOS Technology". *IEEE Radio Frequency Integrated Circuits Symposium* , 281-284.

Yan, H. et al (2010). A Low-Power CMOS ASK Clock and Data Recovery Circuit for Cochlear Implants. *10<sup>o</sup> IEEE International Conference Solid-State and Integrated Technology* , 758 -760.

Zeng, F.-G. et al (2008). Cochlear Implants: System Design, Integration, and Evaluation. *IEEE Reviews in Biomedical Engineering* , Vol 1, 115 – 142.

## 9. ANEXOS.

### a) Código Matlab utilizado para encontrar a função de transferência do Filtro Butterworth.

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%Trabalho de Conclusao de Curso 2
%Professores Orientadores: Wellington e Sandro
%Aluno: Pedro
%Faculdade do Gama - UnB
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

clear all;
clc;

%%Design Butterworth Filter for CI

%%frequencia de corte para capturar sons de audio
fc = 20e3;
%%Frequencia em rad/s
Wn = 2*pi*(20e3);
%Ws = 2*pi*(20e3);

%%Normalização da W
%W = W/Ws
%%ordem do filtro butterworth
N = 4;

%%Extraíndos os polos e zeros do Filtro Butterworth lowpass
[zeros, polos, gain] = butter(N,Wn,'low','s');

[hz, hp, ht] = zplane(zeros, polos);
%%A função zp2tf converte a função de transferencia do filtro para o
%%dominio H(s) = NUM/DEN
[NUM, DEN] = zp2tf(zeros, polos, gain);

tf(NUM, DEN)
%%Resposta em frequencia do filtro
[H, Wb] = freqs(NUM, DEN);

subplot(122);

plot(Wb/(20e3*pi), mag2db(abs(H)));
xlabel('Frequency (KHz)');
ylabel('Attenuation (dB)');

subplot(221);
bode(NUM, DEN);
%%plotar os zeros e os polos do filtro no circulo unitario
%[hz, hp, ht] = zplane(zeros, polos);

```

## b) Modelagem em Verilog – AMS para o pré-amplificador

```
//Verilog-AMS HDL for "TCC_pedro", "pre_amplifier" "verilogams"

`include "constants.vams"
`include "disciplines.vams"

module pre_amplifier (in, out, Vdd_n, Vdd_p);

//define as entradas e saidas do bloco
    input Vdd_n,Vdd_p,in;
    output out;

//define a natureza das variaveis
    electrical in, out, Vdd_n, Vdd_p;

//parametros do modelo

    parameter real Gain = 20;
    parameter real Vsat = 10;

//variaveis internas
    real gain_aux;
    real vin_aux;
initial gain_aux = pow(10,Gain/20);

analog begin

    vin_aux = Vsat*tanh((V(in))/Vsat); //quando a tensãŁo de
    entrada for maior q tensãŁo de saturaãŁŁo
    V(out) <+ gain_aux*vin_aux;

end

endmodule
```

### c) Modelagem em Verilog – AMS para o Filtro Butterworth

```
//Verilog-AMS HDL for "TCC_pedro", "filter" "verilogams"

`include "constants.vams"
`include "disciplines.vams"

module filter (vdd,gnd,in,out);

//define as entradas e saidas do bloco

    input gnd,vdd,in;
    output out;

//natureza das variaveis de entrada e saida
    electrical in,out,vdd,gnd;

    analog begin

        V(out) <+
        (laplace_nd(V(in),{2.494e20},{2.494e20,5.185e15,5.392e10,3.284e05,1}
        ));

        end
    endmodule
```

### d) Modelagem em Verilog – AMS do Comparador

```
//Verilog-AMS HDL for "TCC_pedro", "comparator" "verilogams"

`include "constants.vams"
`include "disciplines.vams"
`timescale 1ns/1ps

module comparator_v2 (in,gnd,vdd,out_1,out_2,out_3,out_4);

//definir entradas e saidas

    input vdd,gnd,in;
    output out_1,out_2,out_3,out_4;

//definir natureza das entradas e saidas
    wreal in,gnd,vdd;
    logic out_1,out_2,out_3,out_4;

//parametros do modelo

    parameter real Vin_max = 2;
    parameter real Vin_min = -2;
    parameter real one_value = 1.8;
    parameter real zero_value = 0;
```

```

//setando variavel local
real range;
real out_a,out_b,out_c,out_d;
//wreal in2;

//in2 <= V(in);

initial begin range= (Vin_max-Vin_min); //ou seja, a entrada
'quantizada' em 16 niveis logicos para gerar a realimentacao do PGA

end

```

### e) Modelagem em Verilog – AMS do detector de pico

```

//Verilog-AMS HDL for "TCC_pedro", "peak_detector" "verilogams"

`include "constants.vams"
`include "disciplines.vams"

module peak_detector_v2 (vdd, gnd,in,out);

//define as entradas e saidas do bloco
    input gnd,vdd,in;
    output out;

//natureza das variaveis de entrada e saida
    electrical in,out,vdd, gnd;

//parametros para aumentar o delay caso seja necesario
    parameter real cap = 1e-6 ; //valor do capacitor
    parameter real res = 10 ; //valor do resistor
    parameter real vlim = 0; //tensao de limiar para retficar a
onda
    parameter real vadj = 3; //tensao de ajuste, uma vez que hã;
uma queda de tensao detector de envoltoria
//variaveis internas
    real vout;

    analog begin

        if(V(in) > vlim) vout = vadj*V(in);
        else vout = vadj*vlim;

I(out,gnd) <+ -vout/res;

I(out,gnd) <+ V(out,gnd)/res;
I(out,gnd) <+ cap*ddt(V(out, gnd));
//I(out) <+ cap*ddt(V(out));
//I(out) <+ V(out)/res;

end

```

```
endmodule
```

### f) Modelagem em Verilog –AMS para um PGA

```
`include "constants.vams"
`include "disciplines.vams"
`timescale 1ns/1ps

module PGA (in, out, gnd, vdd, data_peak);

//define as entradas e saidas do bloco
    input gnd,vdd,in;
    input [3:0]data_peak;
    output out;

// natureza das variaveis
    electrical vdd,gnd;
    wreal in,out;
    logic [3:0]data_peak;           //uma palavra binaria de 4 bits
//variaveis do projeto

    parameter real Gain = 20;       //ganho em db
    //parameter real vsat = 0.8;
//variaveis internas

real vout_aux;
real gain_aux;
//real in_aux;

initial begin

    gain_aux = pow(10,Gain/20);

end

always @(in) begin

    //in_aux = vsat*tanh((in)/vsat);
//talvez adaptar os ganhos para cada palavra digital conforme o
comportamento do sinal de entrada
    case (data_peak)
        4'b0000: begin vout_aux= in*gain_aux*1; end
        4'b0001: begin vout_aux= in*gain_aux*2; end
        4'b0010: begin vout_aux= in*gain_aux*3; end
        4'b0011: begin vout_aux= in*gain_aux*4; end
        4'b0100: begin vout_aux= in*gain_aux*5; end
        4'b0101: begin vout_aux= in*gain_aux*6; end
        4'b0110: begin vout_aux= in*gain_aux*7; end
        4'b0111: begin vout_aux= in*gain_aux*8; end
        4'b1000: begin vout_aux= in*gain_aux*9; end
        4'b1001: begin vout_aux= in*gain_aux*10; end
        4'b1010: begin vout_aux= in*gain_aux*11; end
```

```

4'b1011: begin vout_aux= in*gain_aux*12; end
4'b1100: begin vout_aux= in*gain_aux*13; end
4'b1101: begin vout_aux= in*gain_aux*14; end
4'b1110: begin vout_aux= in*gain_aux*15; end
4'b1111: begin vout_aux= in*gain_aux*16; end

endcase

//analog begin V(out) <+ vout_aux; end

end
assign out = vout_aux; //a cada mudanca em vout_aux, muda out
endmodule

```

### g) Modelagem em Verilog – AMS para o oscilador

```

//Verilog-AMS HDL for "TCC_pedro", "oscilator" "verilogams"

`include "constants.vams"
`include "disciplines.vams"

module oscilator (out, gnd, vdd);

//define as entradas e saidas do bloco
input gnd, vdd;
output out;

//natureza das variaveis de entrada e saida
electrical out,vdd, gnd;

//parametros utilizados na modelagem

parameter real Vpp = 1; //tensao pico a pico
parameter real tplh = 3.33e-8; //tempo de subida
parameter real tphl = 3.33e-8; //tempo de descida
parameter real N = 3; //numero de inversores
parameter real Voffset = 0; //definir uma tensao de DC
//valores para 5MHz

//variaveis internas da modelagem
real arg;
real freq = 1/(N*(tphl + tplh));

initial begin
arg = `M_TWO_PI*freq;
end
//tipo de modelagem analogica
analog begin

V(out) <+ Voffset + Vpp*cos(arg*$abstime);
end
endmodule

```

### h) Modelagem em Verilog – AMS para a chave

```

//Verilog-AMS HDL for "TCC_pedro", "switch" "verilogams"

`include "constants.vams"
`include "disciplines.vams"

module switch (in,out,swt, gnd, vdd);

//definir entradas e saÃda
    input in,gnd,vdd;
    output out;
//natureza das variaveis de entrada e saÃda
    electrical in, out,swt,gnd, vdd;

//parametros utilizados na modelagem do bloco

    parameter real ron = 1.0 from (0:inf); //resistencia quando a
chave esta curtada
    parameter real roff = 100.0M from (0:inf); //resistencia
quando a chave esta aberta
    parameter real vthresh = 0.7; //define a tensao limiar da chave

    parameter real cap_io = 1e-10;           //capacitancia parasita
entre entrada e saida
    parameter real cap_ig = 1e-10;         //capacitancia parasita
entre entrada e gnd
    parameter real cap_og = 1e-10;         //capacitancia parasita
entre out e gnd
    //parameter real cap_so = 100e-12;      //capacitancia
parasita entre entrada e gnd
    //parameter real cap_is = 100e-12;     //capacitancia
parasita entre out e gnd
    //variaveis internas
    //real reff;
    real ddt_1,ddt_2,ddt_3;
    analog begin

        ddt_1 = ddt(V(in,out));
        ddt_2 = ddt(V(in,gnd));
        ddt_3 = ddt(V(out,gnd));

        if(V(swt) > vthresh) begin

            V(out,gnd) <+ V(in,gnd);
            I(in,out) <+ V(in,out)/ron;
            I(in,out) <+ cap_io*ddt_1;
            I(in,gnd) <+ cap_ig*ddt_2;
            I(out,gnd) <+ cap_og*ddt_3;

            end

        else begin

            I(in,out) <+ V(in,out)/roff;
            I(in,out) <+ cap_io*ddt_1;
            I(in,gnd) <+ cap_ig*ddt_2;

```

```
I(out,gnd) <+ cap_og*ddt_3;  
I(out,gnd) <+ V(out,gnd);  
end
```

```
end
```

```
endmodule
```