

Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

Projeto de um LNA para Aplicações ZigBee e sua Adequação para o uso em Internet das Coisas

Autor: Daniel Carvalho de Sousa
Orientador: Prof.Dr.: Welington Avelino do Amaral, UnB/FGA

Brasília, DF
2019



Daniel Carvalho de Sousa

Projeto de um LNA para Aplicações ZigBee e sua Adequação para o uso em Internet das Coisas

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Prof.Dr.: Welington Avelino do Amaral, UnB/FGA

Brasília, DF

2019

Daniel Carvalho de Sousa

Projeto de um LNA para Aplicações ZigBee e sua Adequação para o uso em Internet das Coisas/ Daniel Carvalho de Sousa. – Brasília, DF, 2019-
92 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof.Dr.: Welington Avelino do Amaral, UnB/FGA

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2019.

1. LNA. 2. IoT. I. Prof.Dr.: Welington Avelino do Amaral, UnB/FGA. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Projeto de um LNA para Aplicações ZigBee e sua Adequação para o uso em Internet das Coisas

CDU 02:141:005.6

Daniel Carvalho de Sousa

Projeto de um LNA para Aplicações ZigBee e sua Adequação para o uso em Internet das Coisas

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 05 de julho de 2019 – Data da aprovação do trabalho:

Prof.Dr.: Welington Avelino do Amaral, UnB/FGA
Orientador

Prof. Dr.: Sandro Augusto Pavlik Haddad, UnB/FGA
Convidado 1

Prof. Dr.: Leonardo Aguayo, UnB/FGA
Convidado 2

Brasília, DF
2019

Este trabalho é dedicado a todos os que me apoiaram nos momentos de dificuldades tanto no meio acadêmico quanto nos momentos pessoais: amigos, família e professores, que me motivaram a seguir em frente e superar os obstáculos da vida. Também dedico aos estudantes que passaram pelo árduo processo de graduação e, mesmo em meio as circunstâncias, não desistiram de lutar.

*“Não vos amoldeis às estruturas deste mundo,
mas transformai-vos pela renovação da mente,
a fim de distinguir qual é a vontade de Deus:
o que é bom, o que Lhe é agradável, o que é perfeito.
(Bíblia Sagrada, Romanos 12, 2)*

Resumo

A interação possibilitada pela comunicação entre dispositivos e usuários via protocolos de rede, tais como ZigBee, Bluetooth e WiFi, tem proporcionado maiores funcionalidades, comodidades e portabilidade ao usuário final, principais pilares do conceito *Internet of Things* (IoT). Para que isso seja possível, é necessário o projeto de sistemas de comunicações de baixo custo e consumo energético, tornando factível a produção em larga escala de objetos inteligentes, requisitos que podem ser atendidos por meio do protocolo ZigBee. A partir da análise de diversos sistemas de transcepção Zigbee já existentes, esse trabalho apresenta comparações entre topologias de um *Front-end* de recepção Zigbee e propõe uma topologia de LNA com foco em otimização em termos de área consumida no chip e eficiência energética, garantindo assim, uma redução no custo de produção em larga escala e sua adequação às aplicações que envolvem o conceito de Internet das Coisas (IoT). A metodologia irá se basear no conceito de fluxo de projeto *Bottom-up*, a partir da qual será proposto um *Low Noise Amplifier* (LNA) para transceptores ZigBee com a tecnologia CMOS de 130 nm, operando na região sub-limiar. Será apresentada uma metodologia de projeto para seu desenvolvimento, desde sua modelagem analítica, até sua concepção à nível de hardware. Os resultados são analisados por meio de gráficos e tabelas comparativas de simulações e verificações paramétricas no software Virtuoso, da Cadence.

Palavras-chaves: Internet das coisas. ZigBee. Comunicação Wireless. LNA. baixo consumo. Rádio Frequência. sub-limiar.

Abstract

The interaction enabled by the communication between devices and users via network protocols, such as ZigBee, Bluetooth and WiFi, has provided greater functionalities, confort and portability to the end user, main pillars of the concept of Internet of Things (IoT). For this to be possible, it is necessary to design low-cost and energy-efficient communications systems, making feasible the large-scale production of intelligent objects, requirements that can be met through the ZigBee protocol. Based on the analysis of existing ZigBee transceivers, this work presents comparisons between topologies of a front-end receiver and presents an LNA topology with focus in terms of chip area consumption and energy efficiency, thus guaranteeing a reduction in cost of large-scale production and its suitability for applications in the Internet of Things (IoT) concept. The methodology will be a bottom-up design flow based in ZigBee transceivers with 130 nm CMOS technology, operating in the sub-threshold region. It will be preented a methodology for its development, from the analytical modeling to its hardware level implementation. The results will be analyzed through graphs and comparative tables, containing information about all simulations and parametric verifications made in Cadence's Virtuoso software.

Key-words: Internet of Things. ZigBee. Wireless Communication. LNA. Low power. Transceivers. RF. sub-threshold

Lista de ilustrações

Figura 1 – Disposição de camadas no protocolo ZigBee (FARAHANI, 2011)	29
Figura 2 – Topologias da rede ZigBee	30
Figura 3 – Descrição simplificada de sistemas DSSS	31
Figura 4 – Ilustração simplificada dos blocos funcionais presentes na modulação O-QPSK (RAZAVI, 1998)	31
Figura 5 – Diagrama de blocos para um sistema básico de recepção O-QPSK (RAZAVI, 1998)	33
Figura 6 – Ponto de compressão - 1dB (a) e ponto de intercepção de terceira ordem(b), ambos referenciados à amplitude de entrada (RAZAVI, 1998)	36
Figura 7 – (a) topologia porta comum em cascata com estágio de polarização (RAZAVI, 1998).(b) Modelo equivalente de pequenos sinais para calculo de resistência de entrada.	38
Figura 8 – Modelo de pequenos sinais simplificado para calculo do ganho	39
Figura 9 – Ilustração da topologia fonte comum com degeneração indutiva e estágio em cascata (a) (RAZAVI, 1998), e modelo equivalente de pequenos sinais para calculo de resistência de entrada (b).	40
Figura 10 – Mudança de banda a partir da adição de capacitor um em paralelo (RAZAVI, 1998), adaptado	42
Figura 11 – Mudança de ganho alterando a resistência de saída (RAZAVI, 1998)	43
Figura 12 – (a) Apresenta alterações de ganho por meio do aumento de transcondutância e (b), a mudança de ganho a partir de um divisor de correntes. (RAZAVI, 1998)	44
Figura 13 – Modificação na impedância de entrada do LNA com estágio CG a partir da inserção de um indutor em série (a) (SARHANGIAN; ATARODI, 2007) e alternativa a partir de uma rede LC, a qual diminui o valor de indutância necessária no casamento de impedâncias (b) (NIROUEI et al., 2010)	45
Figura 14 – Topologia CG-CS simplificada proposta proposta por (SARHANGIAN; ATARODI, 2007) com conversão <i>single-ended</i> para diferencial (a) e sua modificação com estágios PMOS para otimização de ganho com reaproveitamento de corrente (b)(XIA; QI; WU, 2017)	45
Figura 15 – Variante da topologia CS com degeneração indutiva por meio de indutores ativos e escalamento de ganho (GHOSAL; KANNAN; AMRUTUR, 2011)	46

Figura 16 – Gráfico de ganho ($Av = gmR_{ds}$) de um estágio CS simples, em função da corrente de dreno com a variação da tensão efetiva de gate, que é referenciada na tensão de <i>threshold</i> e indica em qual região de operação o transistor se encontra. (COMER; COMER, 2004)	47
Figura 17 – Topologia simplificada de LNA com carga resistiva, operando na região de inversão fraca, proposta por (DO et al., 2008)	48
Figura 18 – Tensão efetiva (V_{eff}) e coeficiente de inversão (IC) enumerados em duas linhas, mostrando as regiões de operação de transistores dos transistores MOS e suas respectivas características.(VINAYA; PAILY; MAHANTA, 2015)	49
Figura 19 – Eficiência de transcondutância em função da corrente de polarização para diferentes comprimentos de canal de um transistor nMOS na tecnologia $0,18\mu\text{m}$. (BINKLEY, 2008)	50
Figura 20 – Modelo equivalente de pequenos sinais simplificado utilizado para o cálculo de contribuição, no ruído total, devido ao resistor R_D	52
Figura 21 – Circuito equivalente simplificado utilizado para o casamento da impedância de entrada do LNA. Onde R_S é a resistência da fonte, com o valor implícito de 50Ω , L_G a indutância série da porta e R_G a resistência interna do indutor.	57
Figura 22 – Circuito equivalente utilizado para avaliação da impedância de saída do LNA, considerando a modulação do canal de ambos transistores. Onde V_T é a fonte de teste inserida na saída do LNA para aferição da corrente I_T	58
Figura 23 – Proposta de fluxo de projeto para um LNA do tipo CS em cascata operando na região de operação sub-limiar com carga resistiva.	62
Figura 24 – Ilustração completa da proposta inicial de um LNA para aplicações de baixo consumo baseado no estágio CS, com carga resistiva e polarização na região sub-limiar. Nessa figura estão dispostos todos os circuitos adicionais ao CI, propostos para verificação funcional posterior.	64
Figura 25 – Simulação paramétrica da corrente de dreno, I_{DS} em função da tensão V_{DS} para um transistor único baseado no modelo 1V da tecnologia CMOS de 130 nm. Nessa figura, $W = 376\mu\text{m}$	69
Figura 26 – Simulação da impedância de entrada do transistor M_1 com a extração de parâmetros do ambiente de simulação Virtuoso	70
Figura 27 – Modelo simplificado utilizado para o cálculo analítico da impedância de entrada do LNA estudado, considerando o efeito da capacitância C_{GD}	72
Figura 28 – Resultados iniciais de simulação dos parâmetros S realizada com o uso do simulador Spectre	73
Figura 29 – Figura de ruído obtida por meio da simulação de parâmetros S	74

Figura 30 – (a) Estabilidade medida por meio do fator de estabilidade de Rollet, a partir da Eq.2.12. (b) Delta, obtido por meio da Eq.2.13	74
Figura 31 – Ponto de compressão 1db medido por meio da amplitude de saída em função da amplitude de entrada. A reta indicada como componente de 1ª ordem corresponde ao ganho do LNA decrescido de 1dB.	75
Figura 32 – Circuito equivalente utilizado para aferição do ganho e linearidade do LNA	77
Figura 33 – Topologia alternativa proposta a fim de se atingir as especificações de linearidade. Por meio da porta 1, as medidas de ganho e linearidade podem ser obtidas. A porta 2 é utilizada para medir a figura de ruído do LNA.	78
Figura 34 – Resultados obtidos para o casamento com redes LC do tipo "L" na saída. O traço em azul foi simulado a partir de elementos ideais presentes no ambiente Virtuoso. O traço preto indica o resultado referente a utilização de indutores da tecnologia 130 nm da TSMC.	78
Figura 35 – P1DB simulado após a otimização dos parâmetros do circuito e com a inserção da rede passiva para o casamento de impedâncias.	79
Figura 36 – Circuito equivalente utilizado para aferição do ganho e linearidade do LNA	79
Figura 37 – Testbench de simulação utilizado para validar a equação de casamento de impedâncias.	91
Figura 38 – Código utilizado para validação dos cálculos analíticos com o ADS com o simulador Spectre.	92

Lista de tabelas

Tabela 1 – Comparativo entre Protocolos de Rede Sem Fio à 2.4GHz	28
Tabela 2 – Requisitos de projeto	65
Tabela 3 – Parâmetros da Tecnologia CMOS 0.13 μm	66
Tabela 4 – Valores de Capacitâncias Extraídos por Simulação	71
Tabela 5 – Características do indutor de 10,9 nH	72
Tabela 6 – Comparação entre os dados calculados e os dados utilizados em simulação.	72
Tabela 7 – Figuras de mérito obtidas na verificação parcial avaliados em 2,45 GHz	74
Tabela 8 – Comparação dos resultados obtidos entre as duas topologias propostas	79
Tabela 9 – Dimensões e valores obtidos para a topologia 1 (Fig.24)	89
Tabela 10 – Dimensões e valores obtidos para a topologia 2 (Fig.33)	90

Lista de abreviaturas e siglas

APL	<i>Aplication</i>
CG	<i>Common Gate</i>
CS	<i>Common Source</i>
CSMA-CA	<i>Carrier Sense Multiple Access with Collision Avoidance</i>
CSS	<i>Chirp Spread Spectrum</i>
CD	<i>Common Drain</i>
DSSS	<i>Direct Sequence Spread Spectrum</i>
EI	<i>Elementos informativos</i>
F	<i>Noise Factor</i>
FDMA	<i>Frequency Division Multiple Access</i>
FFD	<i>Full Function Devices</i>
FI	<i>Frequência Intermediária</i>
FoM	<i>Figure of Merit</i>
GPIO	<i>General Purpose Input/Output</i>
IIP2	<i>Input Second-Order Intercept Point</i>
IIP3	<i>Input Third-Order Intercept Point</i>
IoT	<i>Internet of Things</i>
LNA	<i>Low Noise Amplifier</i>
LR-WPAN	<i>Low Rate Wireless Personal Area Networks</i>
MAC	<i>Medium Access Control</i>
MI	<i>Moderate Inversion</i>
NF	<i>Noise Figure</i>
NWK	<i>Network</i>

O-QPSK	<i>Offset Quadrature Phase-Shift Keying</i>
PHY	<i>Physic</i>
PLL	<i>Phase-locked Loop</i>
PSK	<i>Phase-Shift Keying</i>
PSS	<i>Periodic steady state</i>
QPSK	<i>Quadrature Phase-Shift Keying</i>
RF	<i>Radio Frequency</i>
RFD	<i>Reduced Function Devices</i>
SAP	<i>Service Access point</i>
SI	<i>Strong Inversion</i>
SNR	<i>Sinal-Noise Ratio</i>
SoC	<i>System-on-Chip</i>
VCO	<i>Voltage Controlled Oscilators</i>
WI	<i>Weak Inversion</i>

Lista de símbolos

Γ	Coeficiente de Reflexão
γ	Coeficiente de ruído em excesso
α	Fator de atenuação
α_1	Coeficiente da componente de primeira ordem
α_2	Coeficiente da componente de segunda ordem
α_3	Coeficiente da componente de terceira ordem
Ω	Ohms, unidade de resistência elétrica
ω	Frequência de operação angular
ω_T	Frequência de corte da tecnologia
Δ	Determinante da matriz de parâmetros S
Φ_F	Potencial de fermi

Sumário

1	INTRODUÇÃO	25
1.1	Motivação	25
1.2	Objetivos Gerais	26
1.3	Objetivos Específicos	26
1.4	Organização Textual	26
2	REVISÃO BIBLIOGRÁFICA	27
2.1	Internet das Coisas (IoT)	27
2.2	ZigBee	28
2.2.1	Características das Redes ZigBee	28
2.2.2	Arquitetura Geral	28
2.2.3	Transceptores ZigBee	30
2.2.4	Arquitetura Física	31
2.2.5	Front-end de Recepção	32
2.3	LNA	34
2.3.1	Topologias de LNA	37
2.3.1.1	Topologia porta comum em cascata	37
2.3.1.2	Topologia Fonte Comum com degeneração indutiva	40
2.3.2	Mudança de banda e seleção de canais	41
2.3.3	Seleção e Chaveamento de Ganho	42
2.3.4	Variantes nas Topologias de LNA para IoT	43
2.4	LNAs em regiões alternativas de operação	47
2.4.1	Regime de operação sub-limiar	49
2.4.2	Ruído na região de inversão fraca	51
3	PROJETO DE UM LNA	55
3.1	Metodologia de Projeto de um LNA	55
3.1.1	Exemplo de projeto de LNA do tipo CS com degeneração indutiva em cascata	56
3.1.2	Metodologia de projeto de LNA na região sub-limiar	56
3.1.2.1	Fluxo de projeto de um LNA	60
4	PROPOSTA DE UM LNA PARA UM FRONT-END ZIGBEE COM APLICAÇÕES EM IOT	63
4.1	Cálculos Analíticos	65
5	RESULTADOS E DISCUSSÕES	69

5.0.1	Resultados Preliminares	69
5.1	Discussão	75
5.2	Resultados Finais	77
6	CONCLUSÃO	81
	REFERÊNCIAS	83
	APÊNDICES	87
	APÊNDICE A – TABELAS COM OS DADOS FINAIS DO ES- QUEMÁTICO	89
	APÊNDICE B – SIMULAÇÃO DE VALIDAÇÃO DAS EQUAÇÕES	91

1 Introdução

1.1 Motivação

Nos últimos cinco anos, o conceito de IoT têm se tornado um dos principais focos de desenvolvimento tecnológico e tem se difundido tanto no meio acadêmico quanto no meio industrial, fato observado pelo aumento no número de pesquisas sobre esse assunto nesse período, evidenciado por (SANTOS et al., 2016). Além disso, o aumento no número de dispositivos conectados à internet só tende a aumentar. Seguindo padrões semelhantes à lei de Moore, o número de dispositivos dobra a cada ano e espera-se que até 2020, cerca de 50 bilhões de dispositivos estejam conectados à rede (EVANS, 2011). Esse crescimento, possibilitado principalmente a partir do desenvolvimento crescente nas áreas de microeletrônica e Rádio Frequência, tem possibilitado sua aplicação em diversos cenários, dos quais destacam-se as redes *smart-grid*, o monitoramento do solo em áreas rurais, controle de estoque, e bens de consumo, tais como vestuários, relógios, óculos, dentre outros.

Porém, em muitas dessas aplicações, há limitações quanto as fontes energéticas, que necessitam alimentar sistemas que operam muitas vezes, sem acesso à rede elétrica e, mesmo assim, devem operar por longos períodos de tempo. Nesses dispositivos, o consumo energético afeta tanto a comodidade do usuário quanto a viabilidade de suas aplicações, dificuldades já enfrentadas com os aparelhos *Smartwatch* e redes de sensores, que em algumas aplicações devem apresentar-se auto-sustentáveis, devido à dispersão espacial e quantidade de dispositivos na rede. Além disso, devido ao fato do conceito de IoT envolver objetos de baixo custo e com dimensões limitadas, como citado anteriormente, observa-se a necessidade de se desenvolver sistemas eletrônicos de baixo custo, uma das bases principais para aplicação dessa tecnologia em larga escala.

A aplicação de dispositivos eletrônicos seja para o controle de estoque, seja para rastreamento de cargas ou até mesmo para identificação de problemas em redes de painéis solares, por exemplo, exigem dispositivos eletrônicos de baixo custo e de consumo mínimo de potência, tendo em vista a grande quantidade de dispositivos eletrônicos envolvidos nessas redes, que podem ficar de meses até anos sem a substituição de suas fontes energéticas. Segundo (RERUM, 2015), não importa o quão eficiente, útil ou avançada seja a aplicação, não se observa benefícios quando o dispositivo em questão está habilitado apenas para operar durante poucos dias.

1.2 Objetivos Gerais

Esse trabalho tem como objetivo um estudo sobre amplificadores de baixo ruído (LNA) e sua adequação para sistemas de baixo custo e baixa dissipação de potência a partir de uma análise das topologias já existentes de forma a identificar uma topologia ideal para o uso em Internet das Coisas e sua adequação ao padrão ZigBee. Além disso, objetiva-se a consolidação de parâmetros comuns, frequência de operação, impedância de saída e entrada, ganho e excursão de sinal, potência média consumida, Figura de ruído tolerada, linearidade e robustez, tendo em vista a sua inserção aos diversos componentes de um *Front-end* de recepção ZigBee.

1.3 Objetivos Específicos

- Comparar entre diversas topologias de LNA
- Identificar das especificações quanto ao padrão ZigBee
- Apresentar e adequação das figuras de mérito de LNA
- Propor fluxo de projeto de um LNA
- Propor um LNA para aplicações em IoT

1.4 Organização Textual

Esta dissertação está organizada em quatro capítulos. O primeiro capítulo refere-se às descrições dos objetivos e contextualização do problema, que está inserida no tópico de motivação, o qual insere o leitor ao contexto abordado pelo trabalho. O segundo capítulo apresenta os referenciais teóricos dos assuntos pertinentes ao trabalho. Nesse capítulo, serão apresentadas arquiteturas e características principais do conceito de Internet das Coisas e suas aplicações no protocolo ZigBee. Esse protocolo é apresentado por meio da descrição de suas características principais e apresentação de sua arquitetura geral. Esse capítulo também aborda as características específicas pertinentes aos transceptores ZigBee e descrição dos principais blocos funcionais. Ainda no capítulo 2, é apresentado o *Front-end* de recepção e é realizada a descrição completa do componente principal, objeto de estudo desse artigo, o LNA. No terceiro capítulo é apresentado o fluxo de projeto e descrição dos passos de construção das duas principais topologias de LNA estudadas. Por fim, no capítulo 4, é proposta uma topologia de LNA para aplicações de redes ZigBee no conceito de Internet das Coisas.

2 Revisão Bibliográfica

2.1 Internet das Coisas (IoT)

A partir da concepção de sistemas de comunicações sem fio, viu-se a possibilidade de se conectar diversos aparelhos eletrônicos de forma interativa com o usuário e com o meio (ZHANG et al., 2012), de forma que as funcionalidades poderiam ser maximizadas ao ponto de criar objetos inteligentes, os quais são capazes de processar informações adquiridas por meio de sensores e, a partir de dados presentes em servidores, memória ou até mesmo em padrões identificados por ele, ser capaz de tomar decisões e atuar sobre determinada situação (SANTOS et al., 2016). A relevância no desenvolvimento de sistemas inteligentes conectados entre si é ainda mais evidenciada com o aumento no número de dispositivos conectados à internet, que já chegam a quase 2 dispositivos por pessoa (EVANS, 2011).

Sendo assim, o conceito IoT vêm para possibilitar a interconexão desses dispositivos com objetos, tais como eletrodomésticos eletrônicos portáteis e sensores, de modo que a transmissão de dados úteis entre eles venham a tornar-se "conhecimento" na rede (EVANS, 2011). (GUBBI et al., 2013) define os elementos principais de um sistema IoT em três níveis, *Hardware*, *Middleware* e *Presentation*, que indicam os níveis de abstração na interface de comunicação entre os dispositivos.

No nível de *hardware*, podemos definir a arquitetura básica como composição entre quatro unidades principais, a unidade de processamento/memória, comunicação, energia e sensores/atuadores (SANTOS et al., 2016). A unidade de processamento é composta geralmente por microcontroladores, cujas funções são limitadas e específicas para cada objeto. No que diz respeito ao bloco de comunicação, objetivo de estudo desse trabalho, observa-se a necessidade de serem eficientes e viáveis economicamente, visto que o conceito pode ser aplicado em objetos de dimensões extremamente limitadas, onde o consumo energético - definido a partir da unidade energética - e o preço de fabricação para cada dispositivo se tornam fatores limitantes em dispositivos sensores/atuadores, presentes no fim da cadeia de sistemas IoT (SANTOS et al., 2016).

Dessa forma, introduz-se o conceito ZigBee, que segundo (XIA; QI; WU, 2017), baseia-se em um protocolo de comunicação cujas exigências de baixo consumo de potência e custos de implementação favorecem aplicações em larga escala de sistemas IoT, tais como redes de sensores e etiquetas em inventários (GOLDSMITH, 2005).

2.2 ZigBee

A possibilidade de integrar diversos dispositivos por meio de uma rede, faz do ZigBee um protocolo muito utilizado em sistemas que dispõem de sensores como fonte de dados, tendo em vista que podem ser utilizados até milhares de componentes conectados entre si por meio desse protocolo (XIA; QI; WU, 2017). Segundo (BAKER, 2005), através do padrão IEEE 802.15.4, redes ZigBee satisfazem uma maior variedade de aplicações industriais, proporcionadas pela maior flexibilidade, confiabilidade, maior área de cobertura efetiva e menor potência consumida, se comparada com Bluetooth por exemplo (LEE; SU; SHEN, 2007), o que justifica sua implementação em sistemas baseados em IoT.

2.2.1 Características das Redes ZigBee

Sistemas ZigBee enquadram-se nas redes sem fio do tipo LR-WPAN, que operam nas faixas de frequências comerciais, 868MHz, 915MHz, e 2.4GHz. Esse padrão possui uma baixa taxa para transferência de dados, baixo consumo de potência e transmissões de rádio frequência para curto alcance (ALIANCE, 2008). A confiabilidade na comunicação de dispositivos é garantida através do processo *Carrier Sense Multiple Access with Collision Avoidance* (CSMA-CA), o qual verifica se o canal não está sendo utilizado por outro dispositivo antes de enviar uma mensagem, o que evita interferências na comunicação. Além disso, as redes ZigBee têm por característica uma excelente imunidade contra interferências e a grande capacidade de hospedar dispositivos na rede, com taxas de até 250kbps (NENOKI, 2013). A tabela 1 evidencia os principais aspectos comparativo com os demais protocolos que operam na mesma faixa de frequência.

Tabela 1 – Comparativo entre Protocolos de Rede Sem Fio à 2.4GHz

Característica	ZigBee	Wi-fi 802.11 b/g	Bluetooth
Latência	30 ms	3 s	10 s
n° de Dispositivos	65535	32	7
Taxa de transferência	250 kbps	11/54Mbps	1/3Mbps
Alcance	200 m	100 m	10 m

2.2.2 Arquitetura Geral

A arquitetura básica de um sistema ZigBee é composta por quatro camadas principais. Cada camada executa um conjunto específico de tarefas para as camadas superiores através do ponto de acesso de serviço (SAP). Uma entidade fornece um serviço de transmissão de dados e outra realiza o gerenciamento dos demais serviços (NENOKI, 2013). A Camada Física (PHY) é responsável pela detecção do sinal, seleção de canal e ativação da transmissão/recepção. A Camada de Controle de Acesso ao Meio (MAC) controla os

dados obtidos pela camada física a partir do gerenciamento de endereços, de formatação e tradução dos bytes de comunicação. A Camada de Rede (NWK) controla a estrutura e configuração da rede, o envio de dados e segurança na comunicação. Por fim, a Camada de Aplicação (APL) é responsável pela interface entre a camada NWK e pela definição das tarefas específicas do objeto a partir da formatação de dados ou através de seu processamento (FARAHANI, 2011). A Fig. 1 ilustra a disposição das camadas.

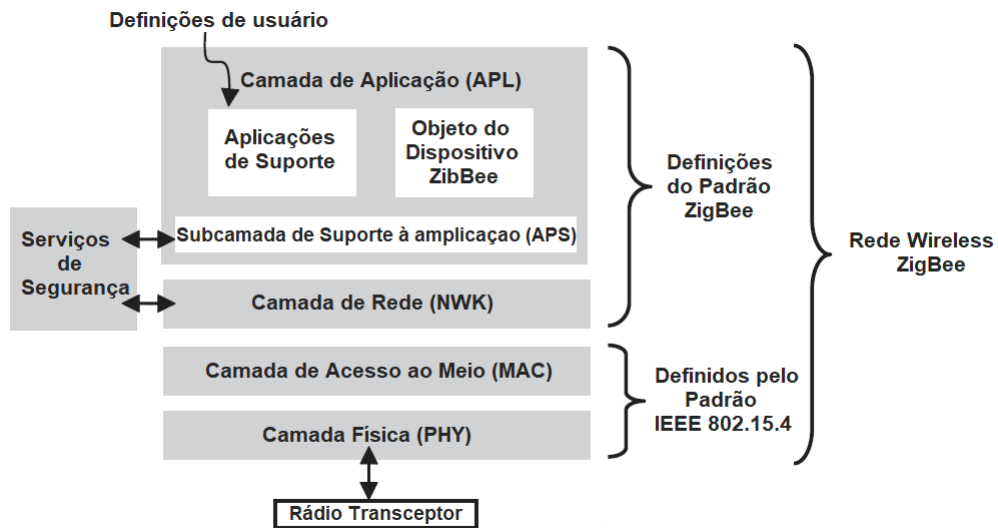


Figura 1 – Disposição de camadas no protocolo ZigBee (FARAHANI, 2011)

O Roteamento de uma malha ZigBee pode ser dado a partir de uma única rede ou de múltiplas redes interconectadas entre si. Cada rede possui um identificador e é controlada por um coordenador de rede. Os elementos constituintes da rede podem atuar como coordenador, roteador, ou como terminal. O coordenador possui função de definir as características e métricas de uso da rede e são implementados a partir de dispositivos com ampla funcionalidade (FFD). Sua função é gerenciar o fluxo de dados e trocas de endereços entre os elementos informativos (EI) (COMMITTEE et al., 1997). Aos roteadores são atribuídas as funções de distribuição das mensagens entre nós e são implementados por meio de dispositivos FFD, enquanto aos dispositivos terminais atribui-se a função de gerar ou consumir informação a partir de sensores e atuadores e atuam como dispositivos de função reduzida (RFD) (NENOKI, 2013).

A disposição dos elementos na rede podem configurar-se através das topologias estrela, árvore e malha. Na configuração estrela, um único coordenador de rede é responsável por iniciar e manter a comunicação com os elementos da rede, que é feita de forma direta. Na configuração árvore, a comunicação entre dispositivos se dá de forma hierárquica, o que impossibilita a comunicação entre dois dispositivos finais. Por fim, a comunicação em malha permite a comunicação completa entre dispositivos, de forma que cada tipo de dispositivo pode se comunicar com outros de sua categoria. A figura 2 apresenta a comunicação entre os elementos em cada topologia.

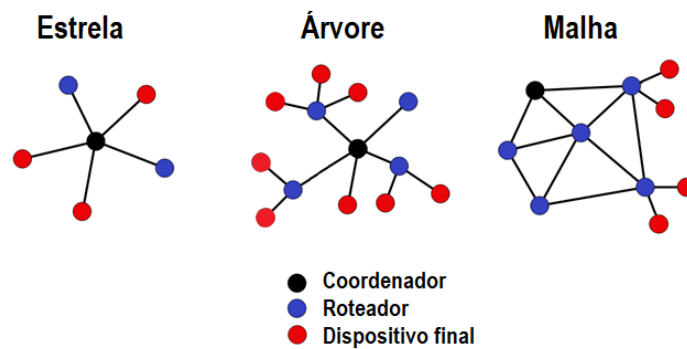


Figura 2 – Topologias da rede ZigBee

2.2.3 Transceptores ZigBee

Em muitas aplicações, o projeto de chips transceptores ZigBee caracterizam-se como *systems-on-chip*, tendo em vista que esses transceptores englobam, em sua maioria, o processo de recepção, transmissão, interfaceamento com sensores/atuadores e processamento de dados via microcontroladores, impulsionadas devido às exigências impostas de área e de preço unitário no produto final, a custo de potencializar questões de ruído e interferências no circuito integrado. Nos blocos responsáveis pela comunicação, observa-se a presença tanto de circuitos digitais quanto circuitos analógicos, associados ao processo de modulação e demodulação do sinal. Além dos processos de transmissão de dados, a presença de interfaces com sensores faz necessária a inserção de componentes como, conversores analógico-digital, microcontroladores, portas de entrada e saída para uso geral (GPIO). No transmissor o sinal é modulado, filtrado e amplificado, enquanto no bloco receptor, o sinal é demodulado e a informação é decodificada por meio da camada PHY, a partir da qual os dados são enviados aos microcontroladores através de protocolos de transmissão em banda base, tais como UART, SPI, i2c, etc (FARAHANI, 2011).

O desenvolvimento da camada física (PHY) segue os padrões estipulados pela norma IEEE 802.15.4, que dita as funcionalidades mínimas e os principais requisitos do sistema à nível de *Hardware*. Quanto ao tipo de transmissão, os sistemas ZigBee utilizam-se da varredura linear em frequência por espalhamento espectral, em inglês, *chirp spread spectrum* (CSS) para transmitir dados em uma banda. A seleção de canais se dá por meio de divisão em frequência (FDMA) e possui a característica de ser robusta quanto a seletividade de dispositivos, visto que cada canal opera de modo independente (COMMITTEE et al., 1997). Nos sistemas de Espalhamento Espectral por Sequência Direta (DSSS), a divisão de canais é realizada por meio da codificação ortogonal de pulsos, o que possibilita a comunicação de um número maior de dispositivos em uma mesma banda em relação aos sistemas FDMA. Isso é feito por meio do espalhamento espectral, processo no qual as mensagens de cada usuário ocupam toda a banda disponível (RAZAVI, 1998) por meio de um código digital, processo ilustrado pela Fig.3.

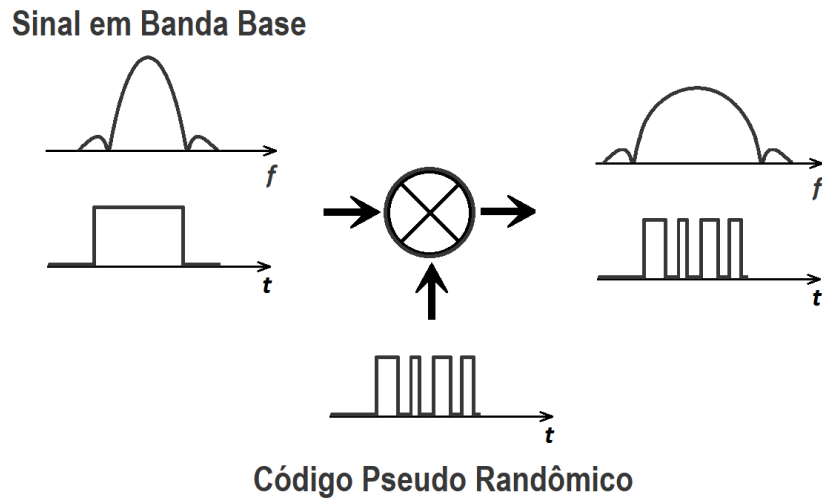


Figura 3 – Descrição simplificada de sistemas DSSS

2.2.4 Arquitetura Física

Nos transceptores que operam à banda de 2.4-GHz é utilizada uma taxa de dois *megachips* por segundo para o parâmetro de espalhamento. A modulação mais utilizada é a modulação em quadratura por chaveamento de fase com *offset* (O-QPSK), ilustrada pela Fig.4, que baseia-se em uma variação da modulação PSK em quadratura (QPSK), com adição de um defasador com a finalidade de evitar uma modulação em amplitude dos pulsos que são causadas pelas transições abruptas de fase entre os símbolos após o processo de conformação. Essa transições, que eventualmente ocorrem durante a transmissão, impõem a necessidade de amplificadores de potência altamente lineares, que são menos eficientes em relação aos amplificadores de potência não lineares (RAZAVI, 1998).

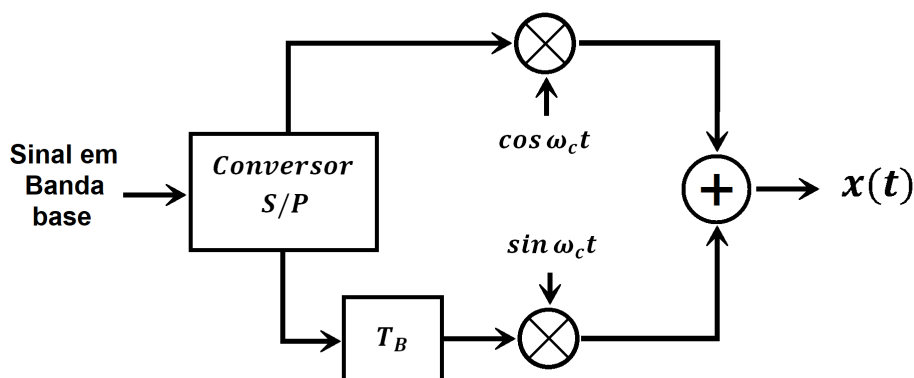


Figura 4 – Ilustração simplificada dos blocos funcionais presentes na modulação O-QPSK (RAZAVI, 1998)

Na figura 4, o bloco funcional descrito por "conversor S/P" consiste de um demultiplexador, que separa os bits pares e ímpares que irão para cada ramo do circuito, separando os símbolos em fase e quadratura. No que diz respeito às configurações de rádios transceptores, destacam-se as seguintes topologias: heteródinos, de baixa frequência intermediária (FI) e os de conversão direta.

Os transceptores heteródinos possuem bom desempenho geral e são bem difundidos quanto aplicações comerciais por possuírem uma boa flexibilidade em frequência de operação, ausência de efeitos de tensões de offset e pelo fato de apresentarem melhores casamentos entre os sinais em fase (I) e quadratura (Q) (OH; LEE, 2006). Entretanto, a necessidade de componentes externos, problemas de imagem, alto consumo energético e altos custos de implementação, tornam essa topologia menos atrativa aos sistemas ZigBee.

A topologia de conversão direta possui as vantagens de ausência de imagem, facilidade em implementação na seleção de canais (Através de filtros ativos realizados no chip) e menor influência de espúrios dos misturadores de frequência (Mixer) (RAZAVI, 1998). Além disso, transceptores de conversão direta possuem baixo custo de produção devido ao número menor de componentes e uma menor área. Porém, os transceptores de conversão direta sofrem de "vazamento" do oscilador local, o que pode causar tensões de *offset* e acoplamentos que podem dessensibilizar os estágios subsequentes.

A partir da combinação entre as duas topologias descritas anteriormente, é possível obter uma configuração que é capaz de evitar tanto as tensões de offset, quanto componentes externos tais como filtros passa-baixas e *phase-locked loop* (PLL), a configuração de baixa FI. Entretanto, o problema de imagem requer a implementação de filtros que, tanto no domínio digital quanto no domínio analógico, pode tornar o projeto complexo e pode consumir potência e área no chip, dificultando a integração dos componentes no chip (OH; LEE, 2006).

2.2.5 Front-end de Recepção

O *Front-end* de recepção é o componente responsável pela demodulação do sinal, que envolve desde a captação, através da antena e sua posterior amplificação, até a conversão para banda base (downconversion). A etapa de amplificação é feita a partir de amplificadores de baixo ruído (LNA), cuja função é amplificar o sinal com a mínima inserção de ruído, seguida pela fase de conversão, que é realizada por meio de misturadores de frequências (Mixers). Por fim, o sinal é filtrado a fim de retirar sinais interferentes ou para seleção de canais, processo que varia de acordo com a topologia. Nas etapas de amplificação e conversão, é necessário análises de inserção de ruído e desempenho quanto a linearidade, visto que o sistema como um todo deve adicionar o mínimo de ruído possível e deve distorcer minimamente o sinal, a fim de garantir a integridade e reconstrução do sinal enviado de forma eficiente. A Figura 5 ilustra um sistema de recepção O-QPSK a

partir da conversão direta.

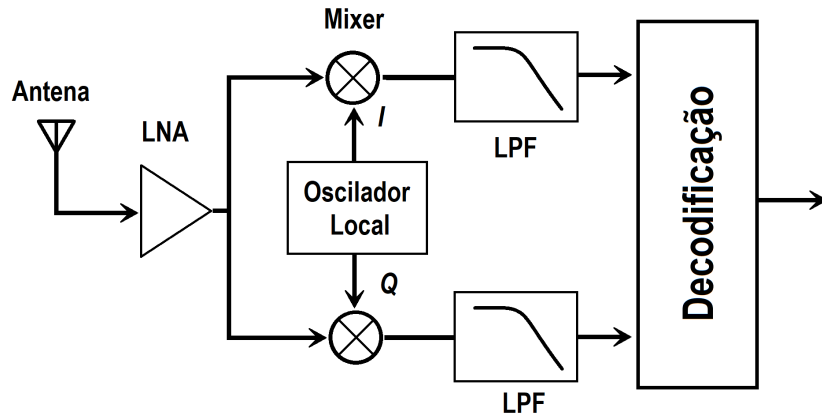


Figura 5 – Diagrama de blocos para um sistema básico de recepção O-QPSK (RAZAVI, 1998)

O ruído em um sistema de recepção RF, deve ser analisado de forma consistente, visto que os receptores devem ter sensibilidade mínima de -85 dBm para a taxa de 250kb/s para sistemas operando na banda de 2.4 GHz (COMMITTEE et al., 1997), níveis que podem facilmente ser detectados como ruído por um sistema. Em um sistema com impedância de entrada de 50Ω , o nível de tensão médio presente à entrada do receptor é dada por

$$V_{rms} = \sqrt{P \times R} = \sqrt{10^{\frac{-85-30}{10}}} = 12.6\mu V. \quad (2.1)$$

Sistemas de Rádio Frequência são comumente analisados em termos do Fator de ruído (F), definido pela razão entre as potências de ruído disponíveis à saída do circuito real e de sua resposta ideal (sem ruído), ambos referenciados à mesma temperatura (VASILESCU, 2006), outra definição, proposta H.T. Friis, se dá pela razão entre a relação sinal-ruído (SNR) entre a entrada e saída de um sistema composto por duas portas, definida por

$$F = \frac{SNR_{in}}{SNR_{out}}. \quad (2.2)$$

Por se tratar de grandezas de potência, é comum a representação na escala dB, que é referenciada por Figura de Ruído (NF). A relação entre a Figura de Ruído e o Fator de Ruído é dada por

$$NF = 10\log(F). \quad (2.3)$$

Analisando um sistema de recepção RF como uma cadeia de elementos, observa-se que tanto o LNA quanto o Mixer desempenham papel fundamental para supressão de ruído dos estágios subsequentes, visto que o ruído gerado por um *Front-end* de recepção é amplificado pelos estágios posteriores e, por possuírem ganhos maiores, contribuem de

forma mais significativa para o ruído de saída (VASILESCU, 2006). O fator de ruído de um sistema composto por vários estágios é definida pela Equação 2.4

$$F_{tot} = 1 + (F_1 - 1) + \frac{F_2 - 1}{A_1} + \dots + \frac{F_n - 1}{A_1 \dots A_{n-1}}, \quad (2.4)$$

onde os termos F_x indicam os fatores de ruído de cada componente do sistema e A_n indicam o ganho de cada estágio. A figura de ruído do receptor não é regulada pelo padrão ZigBee, porém deve ser pequena o suficiente para que níveis de tensão tais como mensurados pela Eq.2.1, sejam processados com menos de 1% de erro. (OH; LEE, 2006) estipula um limite mínimo de 20.5 dB para a Figura de ruído para o *Front-end* de recepção, com margem de 5 dB em implementação. Tipicamente, os blocos de recepção ZigBee atingem NF de 5 dB a 15 dB..

2.3 LNA

A partir da Equação 2.4, observa-se que o projeto de um LNA leva em consideração não só o ruído inserido por ele ao sistema como também o seu ganho, que deve ser suficientemente grande a ponto de suprimir o ruído dos estágios subsequentes. Além disso, observa-se a importância do casamento de impedâncias com a antena e com o Mixer, de forma a minimizar as perdas e maximizar a potência transmitida entre a antena, amplificador e Mixer, visto que a máxima transferência de potência ocorre quando a impedância da fonte (nesse caso a antena) se iguala a impedância de carga (LNA). O casamento de impedâncias é comumente mensurado por meio do coeficiente de reflexão, definido para um circuito de duas portas pela Eq. 2.5, que pode ser analisada em termos dos parâmetros-S aplicados à sistemas de múltiplas portas, que indicam a razão entre a tensão refletida em uma porta devido à excitação dada por uma única porta enquanto as demais portas de saída encontram-se casadas (POZAR, 2009),

$$\Gamma = \frac{Z_{in} - Z_S}{Z_{in} + Z_S} = S_{11} = \left. \frac{V_1^-}{V_1^+} \right|_{V_2^+=0}, \quad (2.5)$$

onde os termos Z_{in} e Z_S dizem respeito à impedância de entrada do LNA e impedância de fonte (no caso a antena), respectivamente. V_1^- refere-se à tensão refletida na entrada e V_1^+ indica a tensão aplicada à entrada. Nota-se que quando essas grandezas se igualam, o coeficiente de reflexão, Γ , se torna zero, indicando que não há perdas por reflexão e que a potência está sendo transmitida em sua íntegra, o que evidencia a importância do casamento de impedâncias no estágio de entrada de um LNA.

O casamento de impedâncias se mostra crítico quando a figura de ruído tolerada ao sistema é pequena, visto que a inserção de resistores, a fim de associar impedâncias, pode aumentar a figura de ruído do LNA. Sendo assim, o casamento de impedâncias é realizado

principalmente pela combinação impedâncias de componentes ativos e de reatâncias em componentes passivos.

No que diz respeito à linearidade de um sistema de recepção RF, destaca-se que, devido ao fato de basear-se em componentes analógicos ativos, esses sistemas tendem a apresentar não-lineares à sua saída, que podem ser aproximadas como

$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t). \quad (2.6)$$

Dentre as consequências geradas pela resposta não linear de amplificadores de sinais, dois fatores principais são levados em conta no projeto de um LNA, a compressão do ganho, mensurada por meio do ponto de compressão -1 dB e o produto de intermodulação, mensurado a partir do ponto de intercepção de terceira ordem. Ambos produzidos pela não linearidade de terceira ordem, dada pelo terceiro termo da equação 2.6.

O ponto de compressão -1 dB, embora possa ser expresso em termos de potência, na especificação de um LNA é computada em termos de tensão e é definido pela amplitude de entrada na qual o ganho de tensão, cai em 1 dB de sua especificação. Sua formulação é abordada por (RAZAVI, 1998) levando em conta uma excitação senoidal na Eq.2.6, o que resulta em

$$y(t) = \frac{\alpha_1 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(\omega t) + \frac{\alpha_2 A^2}{2} \cos(2\omega t) + \frac{\alpha_3 A^3}{4} \cos(3\omega t), \quad (2.7)$$

onde $x(t) = A \cos(\omega t)$. O ponto de compressão é expresso a partir do segundo termo da Eq.2.7, que indica os efeitos de terceira ordem causados na frequência fundamental do sinal de entrada, ilustrado pela Fig.6a, e expresso por

$$20 \log \left| \alpha_1 + \frac{3}{4} \alpha_3 A_{in,1dB}^2 \right| = 20 \log |\alpha_1| - 1 \text{ dB}, \quad (2.8)$$

a partir do qual obtém-se

$$A_{in,1dB} = \sqrt{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|}. \quad (2.9)$$

O produto de intermodulação também é um parâmetro comumente analisado em LNA, em conjunto com o ponto de compressão 1 dB. Essa grandeza é definida pela resposta de um sistema não linear a partir de entradas multi-tonais, que possui como característica, componentes em frequências geradas pela combinação entre as frequências da entrada. Essas componentes se tornam críticas em receptores à medida que a amplitude de entrada se torna comparável a amplitude das componentes de intermodulação, fato mensurado por meio do ponto de intercepção de terceira ordem. Em receptores, esse conceito é abordado a partir do ponto de cruzamento entre a amplitude de entrada na frequência fundamental e do produto de intermodulação, ilustrado pela Fig.6b e denotado por *IIP3*.

O equacionamento do *IIP3* é dado a partir da aplicação de dois tons à entrada, de forma que $x(t) = A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t)$. A saída resultante é dada por componentes

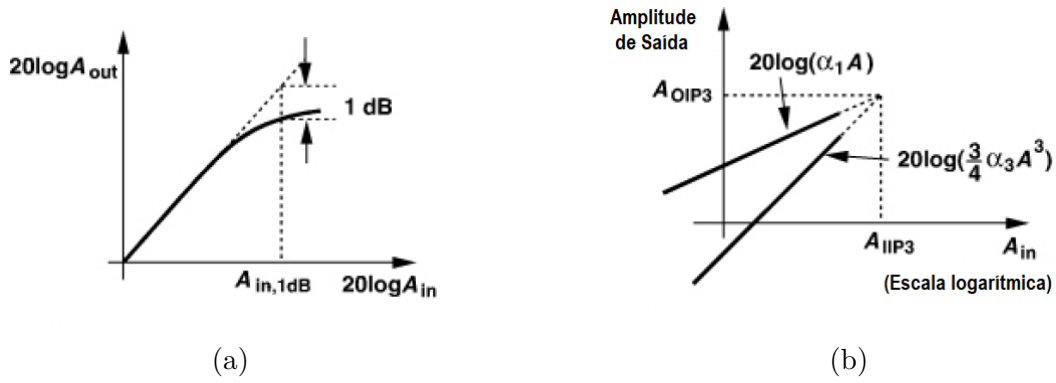


Figura 6 – Ponto de compressão - 1 dB (a) e ponto de intercepção de terceira ordem(b), ambos referenciados à amplitude de entrada (RAZAVI, 1998)

em $\omega = 2\omega_1 \pm \omega_2$ e $\omega = 2\omega_2 \pm \omega_1$. Se $A_1 = A_2$, as componentes terão amplitudes dadas por

$$V_{ip} = \frac{3\alpha_3 A^3}{4} \cos(\omega t), \quad (2.10)$$

onde V_{ip} indica a amplitude da componente de intermodulação presente em ω . Para o cálculo do ponto de interseção ilustrado pela Fig.6b, basta igualar as amplitudes da componente fundamental ($\alpha_1 A$) com a amplitude presente na Eq.2.10, o que resulta em

$$A_{IIP3} = \sqrt{\frac{4}{3} \left| \frac{\alpha_1}{\alpha_3} \right|}. \quad (2.11)$$

Além dos efeitos gerados pelas não linearidades de terceira ordem, vale ressaltar a importância dos efeitos causados pelas componentes de segunda ordem, que podem adicionar tensões de *offsets* na saída e adicionar componentes harmônicas de segunda ordem, observadas pela Eq.2.7. Felizmente, esses efeitos são eliminados com a utilização de sistemas com simetria ímpar, dessa forma prioriza-se topologias diferenciais quando esse efeito é crítico (RAZAVI, 1998). Além disso, circuitos diferenciais tendem a exibir menos ruído e são mais robustos quanto aos efeitos de modo comum, tais como interferências causadas pela propagação eletromagnética de pulsos de *clock* por meio do substrato, assunto abordado posteriormente no capítulo 3.

Em muitas aplicações, pelo ao fato de ser o primeiro elemento da cadeia e por ter como característica um ganho moderado, não se tem muita preocupação quanto à linearidade, conforme atesta (DO et al., 2008), exceção feita aos sistemas full-duplex (sistemas de transmissão e recepção simultânea através de uma antena) e em sistemas de banda larga, como em *software defined radios* e *cognitive radios*, segundo (RAZAVI, 1998). Além disso, devido ao *trade-off* entre linearidade, ruído e dissipação de potência, em sistemas ZigBee é preferível reduzir a potência em detrimento de outras características, tais como aumento de ruído e inserção de não linearidades, o que é assegurado pela norma IEEE 802.15.4.

Por fim, destaca-se a importância da estabilidade em LNAs, tendo em vista que, por se tratar do primeiro elemento da cadeia de recepção, a existência de realimentações em amplificadores podem se fazê-los oscilar para uma determinada combinação de impedâncias de fonte e carga, dado que o valor de impedância da fonte pode mudar devido às condições externas impostas à antena. (RAZAVI, 1998) destaca a importância da estabilidade para toda faixa de frequência, não só na banda de operação. O não cumprimento dessa regra poderia ocasionar, segundo ele, a perda de linearidade e ganho do LNA, o que enfatiza a importância da análise desse parâmetro. Um método eficaz de se avaliar a estabilidade de um LNA é por meio da condição de estabilidade de Rollet, ou fator de estabilidade de Stern, definido por

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}||S_{21}|}, \quad (2.12)$$

onde

$$\Delta = S_{11}S_{22} - S_{12}S_{21}. \quad (2.13)$$

A combinação $K > 1$ e $|\Delta| < 1$ garantem, caso simultaneamente satisfeitas, a estabilidade incondicional do LNA. Vale ressaltar que esse fator não indica uma métrica, visto que seu valor depende de duas grandezas distintas, o que pode ser alternativamente realizado por meio do teste μ , como descreve (POZAR, 2009).

2.3.1 Topologias de LNA

Existem diversas topologias de LNA que atendem às diferentes necessidades de cada sistema de comunicação. Nos receptores de RF abordados por esse trabalho, destacam-se as topologias que atendem à quantidade mínima de componentes externos, a utilização mínima de componentes que consomem grandes áreas em chips, tais como transformadores/indutores e de circuitos que dissipam pouca potência, destacando a necessidade de poucos estágios amplificação. Vale ressaltar que, devido ao *trade-off* imposto pelas exigências da norma IEEE 802.15.4 e os parâmetros supracitados, muitas vezes são definidas prioridades e escolhas de uma característica em detrimento de outra. (RAZAVI, 1998) descreve algumas topologias de LNA baseadas nas configurações de amplificadores de porta comum e de fonte comum que são utilizadas por muitos projetos de baixo consumo. Dentre as topologias descritas por essa referência, destacam-se as topologias em cascata na configuração de porta comum e fonte comum com degeneração indutiva.

2.3.1.1 Topologia porta comum em cascata

A topologia de porta comum em cascata, em inglês *common gate* (CG), ilustrada pela figura 7a possui como características, versatilidades no casamento de impedâncias, robustez quanto ao efeito de corpo e figura de ruído dependente principalmente dos tran-

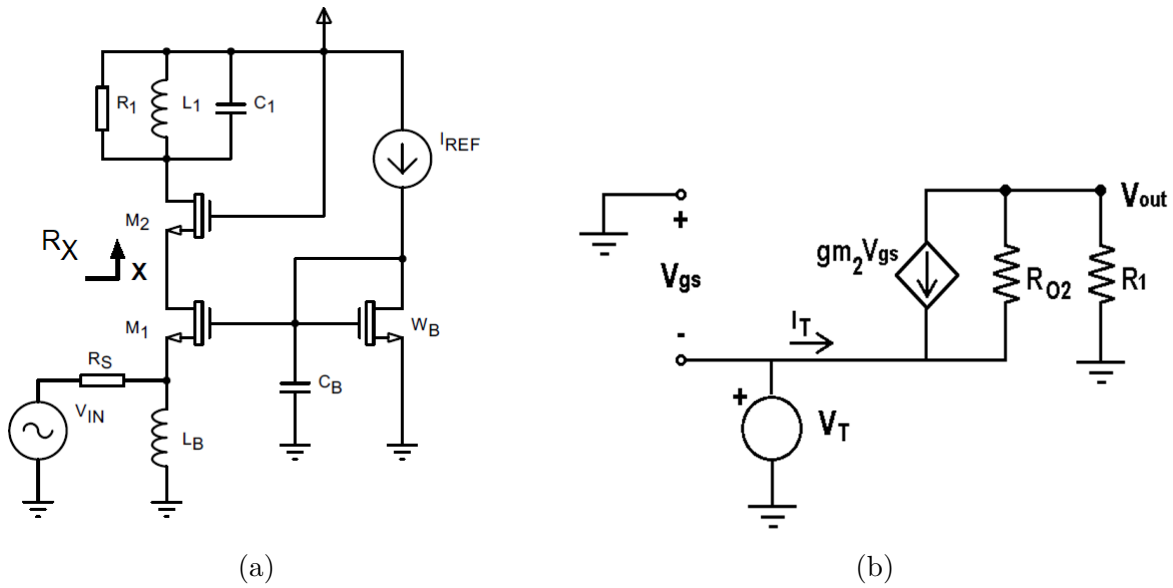


Figura 7 – (a) topologia porta comum em cascata com estágio de polarização (RAZAVI, 1998). (b) Modelo equivalente de pequenos sinais para cálculo de resistência de entrada.

sistores M_1 e M_2 , que pode atingir valores em torno de 3 dB. Essa topologia é derivada de sua versão mais simples, a qual possui somente o indutor L_1 . Seu fator de ruído pode ser aproximado por sua versão simples, de apenas um estágio, a qual é definida por

$$F = 1 + \gamma + 4 \frac{R_S}{R_1}. \quad (2.14)$$

Nessa equação, γ é o coeficiente de ruído em excesso do transistor M_1 .

Na Figura 7a, o indutor L_B tem a função de cancelar a capacitância observada na fonte do transistor M_1 , além de o polarizar o estágio com configuração porta comum, sem a necessidade de um resistor. A frequência de operação desse circuito define os valores do indutor L_1 , dimensionado para ressonância com C_1 e as capacitâncias de dreno no transistor M_2 , C_{GD} e G_{DB} . O resistor R_1 indica as perdas resistivas presentes no indutor. O transistor ilustrado por W_B atua como estágio de polarização para o transistor M_1 e C_B atua como filtro RF, que também reduz o ruído inserido por W_B .

A fim de calcular a resistência de entrada dessa topologia, utiliza-se de um artifício matemático a partir do qual analisa-se primeiramente a contribuição devido ao transistor M_2 a partir da resistência R_X , ilustrada na Fig. 7a. Esse método consiste na inserção de uma fonte de tensão V_T conectada ao nó X, a fim de gerar uma corrente I_X , quando a contribuição de todas as outras fontes DC é nula, resultando no modelo apresentado pela Fig. 7b. Dessa forma, a resistência no ponto X é calculada por $R_X = V_T/I_T$. Somando as contribuições de correntes que resultam em I_T , encontra-se a resistência nesse nó, calculada por

$$R_X = \frac{V_T}{I_T} = \frac{R_1 + R_{O2}}{1 + gm_2 R_{O2}}, \quad (2.15)$$

onde R_{O2} indica a modulação do canal do referido transistor. De forma análoga, é possível computar a resistência de entrada do LNA substituindo R_1 por R_X e R_{O2} por R_{O1} , na Eq.2.15, o que resulta em

$$R_{in} = \frac{\frac{R_1 + R_{O2}}{1 + gm_2 R_{O2}} + R_{O1}}{1 + gm_1 R_{O1}}. \quad (2.16)$$

A partir da aproximação $1 + gm_1 + R_{O1} \approx gm_1 R_{O1}$, na Eq.2.16, obtém-se

$$R_{in} \approx \frac{1}{gm_1} + \frac{R_1}{gm_1 R_{O1} gm_2 R_{O2}} + \frac{1}{gm_1 R_{O1} gm_2}. \quad (2.17)$$

O calculo do ganho dessa topologia pode ser abstraído a partir de sua versão mais simples (sem a inserção do transistor em cascata), a partir do equacionamento do nó de saída e do nó definido por V_1 , na Fig.8 que é definido por

$$Av = \frac{V_{out}}{V_{in}} = \frac{gm_1 r_{O1} + 1}{2 \left(1 + \frac{r_{O1}}{R_X}\right)}, \quad (2.18)$$

onde r_{O1} indica o efeito de modulação do canal devido à M_1 e R_X a resistência vista pelo dreno de M_1 que, na configuração em cascata, é indicada pela Eq.2.15.

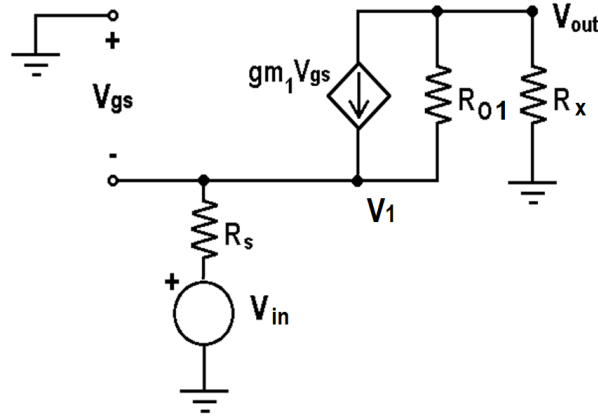


Figura 8 – Modelo de pequenos sinais simplificado para calculo do ganho

No que diz respeito ao ruído gerado por essa topologia, observa-se que a inserção do transistor M_2 faz com que seja substancialmente maior do que o ruído de sua versão sem o estágio em cascata, que pode ser analisado a partir de sua função de transferência na frequência de ressonância, definida por (RAZAVI, 1998) a partir da Equação 2.19.

$$\frac{V_{n,out}}{V_{n2}}(s) = \frac{2R_{O1}C_X s + 1}{2R_{O1}C_X s + 2gm_2 R_{O1} + 1} gm_2 R_1. \quad (2.19)$$

Além da degradação de ruído causada pela inserção de M_2 , observa-se a queda de tensão sobre os componentes em cascata deve diminuir, limitando as tensões V_{DS} e, conseqüentemente, dificultando a polarização de M_1 e M_2 .

2.3.1.2 Topologia Fonte Comum com degeneração indutiva

A topologia de fonte comum degenerada com carga indutiva, ilustrada pela Fig.9a, possui como características um maior controle sobre o casamento de impedâncias a partir do indutor L_1 , presente na Fig.9a, em relação as outras topologia de fonte comum e a minimização da instabilidade causada pela resistência negativa gerada por meio da capacitância de dreno e porta no primeiro estágio.

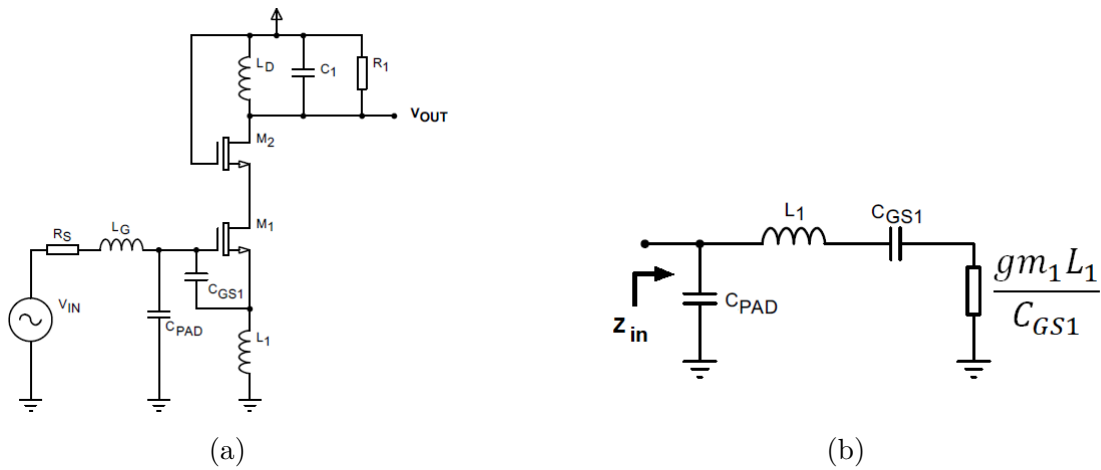


Figura 9 – Ilustração da topologia fonte comum com degeneração indutiva e estágio em cascata (a) (RAZAVI, 1998), e modelo equivalente de pequenos sinais para calculo de resistência de entrada (b).

No circuito exposto pela Fig.9a, o efeito da capacitância C_{PAD} , causado pela terminação de entrada do CI, é anulado por meio do indutor L_G , externo ao CI. Isso se deve ao fato de indutores internos ao chip não apresentarem fator de qualidade elevado, de forma que sua utilização causaria perdas resistivas que atrapalhariam no casamento de impedâncias (RAZAVI, 1998). Analisando a impedância de entrada dessa topologia, primeiramente analisa-se o circuito sem a presença da capacitância C_{PAD} , o que resulta em uma impedância

$$Z_1 = \frac{V_{in}}{I_{in}} = \frac{1}{C_{GS1}s} + L_1s + \frac{gm_1L_1}{C_{GS1}} \quad (2.20)$$

Considerando o efeito da capacitância C_{PAD} , obtém-se o circuito equivalente ilustrado pela Fig.9b, onde assume-se que L_1 inclui o efeito da indutância L_G . A partir da transformação para um circuito paralelo, e após associação de impedâncias, a resistência

de entrada equivalente é aproximada por

$$R_{eq} \approx \left(\frac{C_{GS1}}{C_{GS1} + C_{PAD}} \right)^2 \frac{gm_1 L_1}{C_{GS1}} \quad (2.21)$$

O ruído dessa topologia pode ser extraído de forma aproximada considerando apenas a influencia do transistor M_1 é dado principalmente pela contribuição de M_1 , a partir da corrente de ruído equivalente, dada por

$$I_n^2|_{M_1} = 4kT\gamma gm_1, \quad (2.22)$$

onde k é a constante de boltzmann, T a temperatura e γ o coeficiente de ruído em excesso do transistor.

A figura de ruído dessa topologia pode atingir valores aproximados de 2 dB, segundo (RAZAVI, 1998). Em comparação o ruído da topologia anterior, definido pela Eq.2.14, na qual mesmo se $4R_S/R_1 \ll 1 + \gamma$, a figura de ruído ainda atinge cerca de 3 dB, essa topologia destaca-se como a melhor configuração em termos de figura de ruído. Isso se reflete até entre as variantes CS, tais como as topologia CS com realimentação resistiva simples ou em cascata, topologias nas quais a inserção do resistor de realimentação adiciona ruído de forma integral à saída elevando a figura de ruído para cerca de 3 dB, no melhor dos casos (RAZAVI, 1998).

Partindo do pressuposto que as impedâncias estão casadas na entrada do amplificador na frequência de ressonância e, a partir do desenvolvimento feito por (RAZAVI, 1998), o fator de ruído pode ser calculado por

$$F = 1 + gmRS\gamma \left(\frac{\omega_0}{\omega_T} \right)^2 \quad (2.23)$$

Onde ω_T é a frequência máxima de ganho unitário e ω_0 , a frequência de ressonância do circuito.

O ganho dessa topologia é dado pela transcondutância do transistor M_1 na frequência de ressonância, multiplicada pela resistência de saída, que é aproximadamente igual ao valor de R_1 , o que resulta em

$$Av = \frac{\omega_T R_1}{2\omega_0 R_S} = \frac{R_1}{2L_1\omega_0} \quad (2.24)$$

2.3.2 Mudança de banda e seleção de canais

Em muitas aplicações relacionadas com IoT, LNAs devem operar em uma banda larga ou devem realizar a troca de bandas de frequência, para os casos de banda estreita, de forma a possibilitar a sintonização do sinal RF em uma faixa de frequência diferente para comunicar com diferentes dispositivos de uma rede. A seleção de bandas de frequência

por um LNA pode ser feita através de duas formas principais. A primeira diz respeito a modificação da frequência de ressonância a partir da inserção de capacitâncias em série através de um transistor operando como chave, configuração ilustrada pela Fig.10.

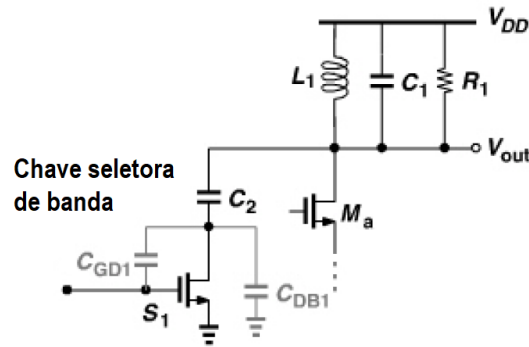


Figura 10 – Mudança de banda a partir da adição de capacitor um em paralelo (RAZAVI, 1998), adaptado

Essa configuração tem como desvantagem a presença de uma pequena resistência de canal do transistor, presente em série com o capacitor, o que limita o fator de qualidade do tanque LC e reduz o ganho do amplificador.

Outra alternativa é realizar tanques independentes com valores de indutâncias distintos, os quais são selecionados por meio de um Mixer e a partir de um transistor operando como chave, porém, (RAZAVI, 1998) mostra que essa topologia impõe limitações práticas de projeto, aumentando não só a complexidade de projeto, como também a disposição do layout.

Em alguns sistemas, onde a flexibilidade é maior, há possibilidades de se integrar diversos protocolos de comunicação a partir da seleção de banda semelhante ao processo ilustrado pela Fig.10 (DATTA et al., 2011). De uma forma geral, observa-se que em sistemas desenvolvidos para aplicações em ZigBee possuem LNAs operando em banda larga, como observado em (SARHANGIAN; ATARODI, 2007), (KIM; HWANG; BAEK, 2010) e (ABDELBADIE et al., 2018).

2.3.3 Seleção e Chaveamento de Ganho

Em função da diferença de potência percebida por um receptor em diversas situações, seja devido ao constante movimento do receptor em relação ao transmissor, seja por consequências de perturbações no canal, tais como interferências destrutivas ou atenuação, faz-se necessário o uso de mecanismos de ajustes de ganho do LNA de modo que a potência recebida pela antena não distorça o sinal devido às não linearidades do sistema. Segundo (RAZAVI, 1998), tais mecanismos devem afetar minimamente o casamento de impedâncias, mantendo a relação sinal-ruído e devem fornecer passos de variação pequenos, contribuindo para o bom desempenho do LNA. De forma resumida, a mudança no

ganho é realizada para manter o sistema linear (em pleno funcionamento) na faixa de amplitude especificada na norma em questão.

A alteração de ganho pode ser realizada de duas formas principais, a partir da mudança na resistência de carga ou com a alteração no valor de transcondutância do transistor de entrada, visto que o ganho das topologias convencionais é proporcional a essas duas grandezas, como explicitado na Eq.2.18 e implícito na Eq.2.24. (KIM; HWANG; BAEK, 2010) implementam mudanças de ganho a partir do chaveamento de realimentações resistivas em série com um capacitor que, segundo o autor, apresenta-se como uma configuração suficientemente linear - o que pode ser observado a partir das propriedades de realimentação negativa. (RAZAVI, 1998) Define três formas de alterações de ganho em LNAs para configurações em estágios CG e suas variantes. A primeira baseia-se na adição de um transistor em paralelo com o tanque ressonante operando na região linear, ilustrada pela Figura11.

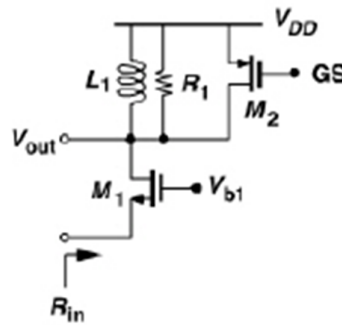


Figura 11 – Mudança de ganho alterando a resistência de saída (RAZAVI, 1998)

A redução de ganho nessa configuração é dada a partir da associação em paralelo das resistências do transistor, R_{on} , com o resistor R_1 , resultando em uma resistência equivalente menor e, por consequência, diminuindo o ganho do LNA.

Outra alternativa diz respeito a alteração na transcondutância de entrada, ilustrada pela Fig.12a. Nessa configuração a transcondutância é aumentada com a adição do transistor M_{1x} em paralelo.

Por fim, a Fig.12b expõe uma alternativa de alteração de ganho a partir da inserção de um divisor de corrente, processo semelhante ao descrito pela Fig.11, porém, devido ao fato da impedância de entrada, na configuração em cascata, depender de forma menos expressiva de R_1 , essa configuração altera de forma menos significativa o casamento de impedâncias.

2.3.4 Variantes nas Topologias de LNA para IoT

A fim de se atingir as especificações de baixo consumo energético em uma área em chip limitada e, ainda assim, manter as especificações de casamento de impedância e

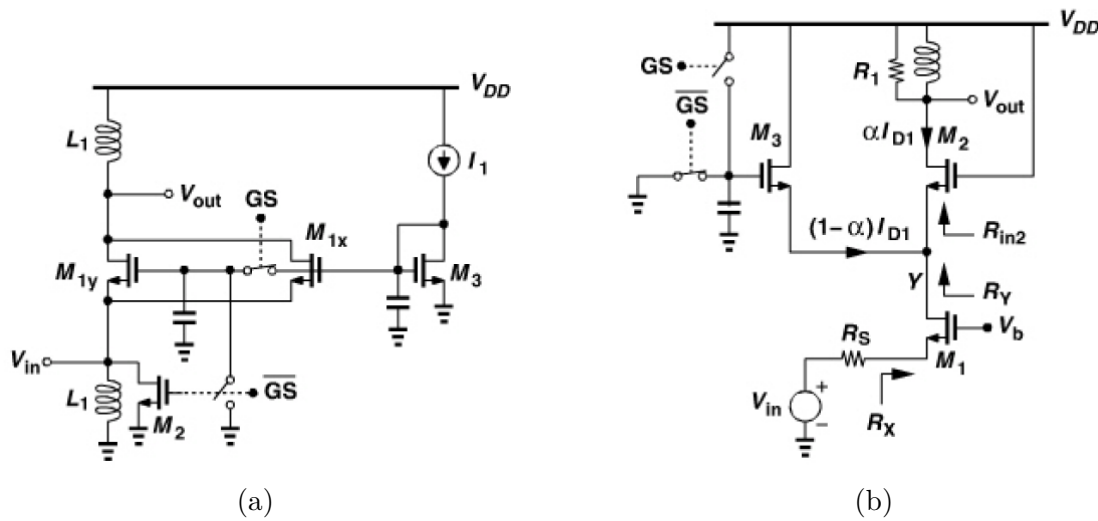


Figura 12 – (a) Apresenta alterações de ganho por meio do aumento de transcondutância e (b), a mudança de ganho a partir de um divisor de correntes. (RAZAVI, 1998)

ganho, engenheiros têm desenvolvido variações de topologias de LNA a fim de possibilitar aplicações em redes de sensores IoT de baixo valor agregado. Com essas características, a possibilidade de aplicações nos mais diversos tipos de objetos é ampliada, mesmo com o desempenho e taxas de dados limitados.

(SARHANGIAN; ATARODI, 2007) propõem um amplificador com estágio de amplificação CG com modificação no casamento de impedância, de forma a permitir uma maior liberdade de escolha na transcondutância do transistor de entrada. Isso é feito para tirar a dependência do valor de transcondutância na impedância de entrada dessa topologia, que pode ser observada a partir da Eq. 2.16. Isso degradaria não só a figura de ruído do LNA mas também o seu ganho, que dependem de forma significativa desse parâmetro. Essa modificação, baseia-se na inserção de um indutor L_G , em série com a porta do transistor M_1 , configuração explicitada pela Figura 13a. Dentre os resultados obtidos por essa topologia, destacam-se o consumo de 1.8mW de potência, ganho de 27 dB e figura de ruído de 2.45 dB.

Ainda Referente às modificações no casamento de impedâncias em estágios CG, (NIROUEI et al., 2010) implementam modificações no casamento de impedância a partir da inserção de um indutor e capacitor em paralelo. Segundo os autores, isso reduz de forma significativa o uso de indutores de valores elevados, otimizando o projeto em termos de área consumida no chip. A configuração descrita está presente na Figura 13b.

Outra alternativa às configurações CG em cascata é proposta por (HAFEZ; DES-SOUKY; RAGAI, 2009), a qual destaca-se a conversão *single-ended* para diferencial a partir de um estágio de amplificação CS, que amplifica o sinal em fase oposta ao estágio de amplificação CG, de forma que a saída seja dada em sua forma diferencial, configuração

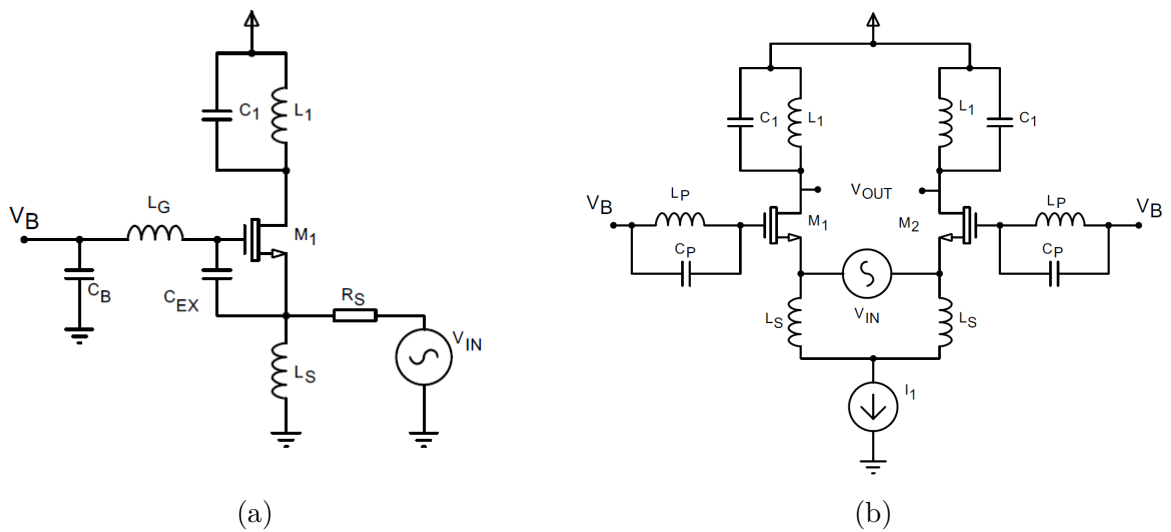


Figura 13 – Modificação na impedância de entrada do LNA com estágio CG a partir da inserção de um indutor em série (a) (SARHANGIAN; ATARODI, 2007) e alternativa a partir de uma rede LC, a qual diminui o valor de indutância necessária no casamento de impedâncias (b) (NIROUEI et al., 2010)

exposta pela Fig.14a. Essa configuração apresenta consumo de 1.56mW, figura de ruído

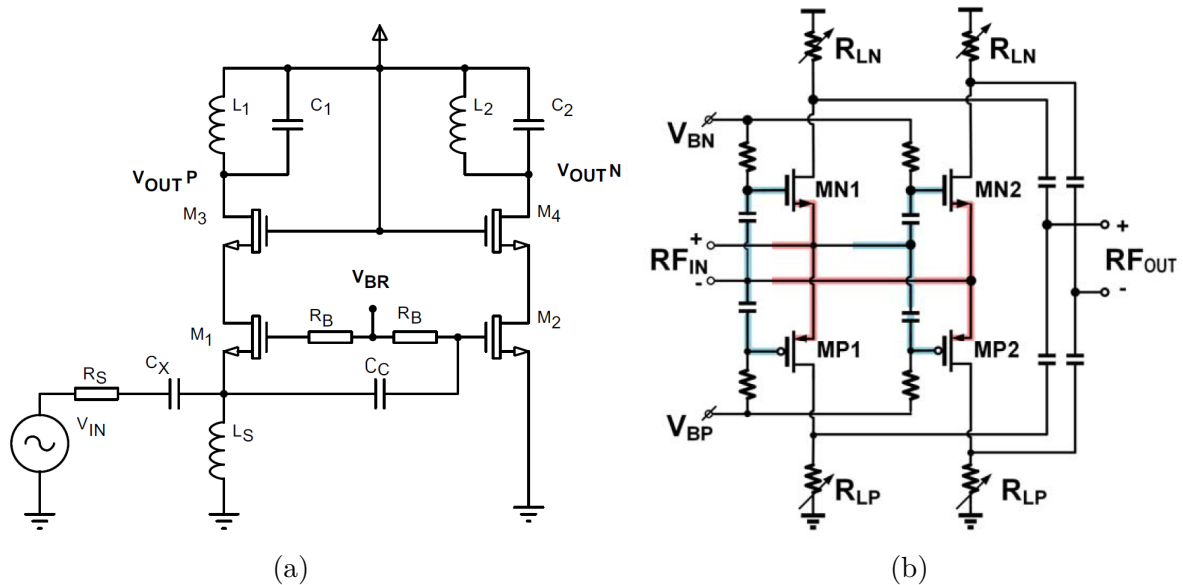


Figura 14 – Topologia CG-CS simplificada proposta por (SARHANGIAN; ATARODI, 2007) com conversão *single-ended* para diferencial (a) e sua modificação com estágios PMOS para otimização de ganho com reaproveitamento de corrente (b)(XIA; QI; WU, 2017)

de 3.25 dB e ganho de 24 dB.

De forma semelhante a essa topologia, (XIA; QI; WU, 2017), propuseram uma otimização em termos de ganho a partir da mesma configuração, exceto pelo fato do reaproveitamento de corrente dos transistores em cascata, postos também como entrada, a fim de dobrar o ganho dessa topologia, procedimento ilustrado pela Fig.14b. Os resultados

são: NF de 2.3 dB, ganho de 19 dB e consumo de 1.8mA. Vale ressaltar que a última topologia teve como parâmetro base a minimização da sua figura de ruído com circuitos ausentes de indutores, enfatizado pelo autor para aplicações em IoT.

Em muitas aplicações de IoT é útil a utilização de recursos de redução no consumo de potência em diferentes níveis. (GHOSAL; KANNAN; AMRUTUR, 2011) introduzem uma forma de mudanças no consumo de potência em quatro níveis distintos. Essa topologia é baseada no convencional estágio CS com degeneração indutiva. O indutor de degeneração, geralmente realizado por meio de "bond-wires", que são conexões físicas de fios entre um *pad* e o terra de sinal, é substituído por um indutor ativo, a partir de um resistor de realimentação e um transistor, o que facilita mudanças no casamento de impedâncias para diferentes consumos de potência - visto que também são escalados em diferentes níveis.

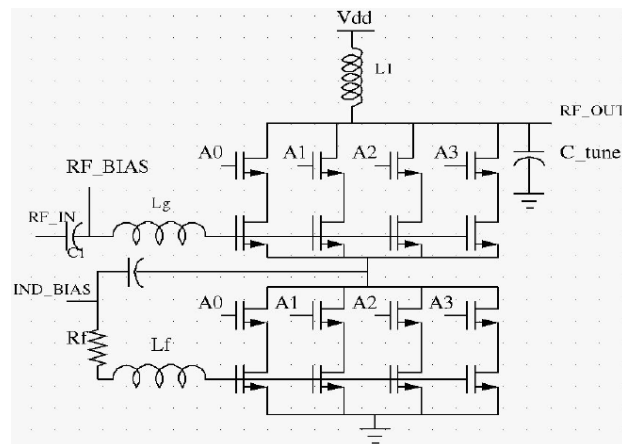


Figura 15 – Variante da topologia CS com degeneração indutiva por meio de indutores ativos e escalamento de ganho (GHOSAL; KANNAN; AMRUTUR, 2011)

Essa topologia é descrita pela Fig.15 e utiliza-se de um comparador para definir os níveis de tensão e manter constante em sua polarização. A inserção do indutor L_f tem a função de aumentar o fator de qualidade dos indutores ativos e à resistência R_f são atribuídas as funções de definir a impedância real e realizar o laço de realimentação do indutor.

Ainda sobre variantes de LNA com base no desenvolvimento de sistemas para IoT, destaca-se a utilização de transistores operando nas regiões de inversão "moderada" e "fraca", que são definidas em relação a tensão de polarização V_{GS} nas regiões proximidades da tensão de disparo, V_T . A região de inversão fraca é alcançada quando a tensão $V_{GS} - V_T$ está abaixo de 20 mV, enquanto a região de inversão moderada contemplam valores de 20 mV a 80 mV (COMER; COMER, 2004). Segundo (TARIS; BEGUERET; DEVAL, 2011), configurações de LNA polarizadas na região moderada permitem maiores ganhos, com um consumo menor de corrente, o que pode ser observado a partir da Fig.16, que

ilustra a variação do ganho em função da corrente de polarização para um estágio CS ideal.

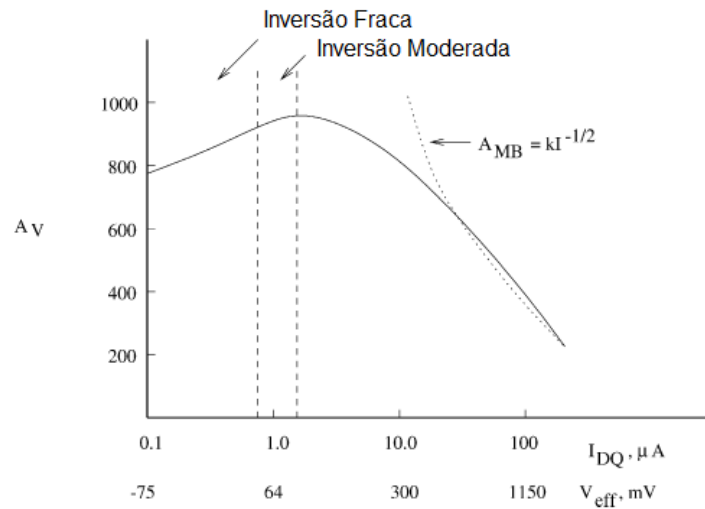


Figura 16 – Gráfico de ganho ($A_v = gmR_{ds}$) de um estágio CS simples, em função da corrente de dreno com a variação da tensão efetiva de gate, que é referenciada na tensão de *threshold* e indica em qual região de operação o transistor se encontra. (COMER; COMER, 2004)

A exemplo de aplicações com polarização na região sub-limiar, destaca-se o LNA do tipo CS com carga resistiva proposto por (DO et al., 2008). Nesse projeto observa-se a utilização de apenas um indutor, enfatizando a pequena área de *chip* ocupada, aliada ao baixo consumo de potência intrínseco à região de inversão fraca. A topologia é ilustrada pela figura 17, que se assemelha ao convencional estágio CS, exceto pela ausência do indutor de degeneração e pela carga indutiva. Com essa configuração, foi atingido 21,4 dB de ganho, consumo de 630uA com figura de ruído de 5,2 dB.

Há uma predominância no uso de estágios CS para polarizações em regiões de sub-limiar, o que pode ser justificado pelo seu melhor desempenho quanto ao ruído, visto que a polarização em regiões de inversão moderada e fraca podem elevar os níveis de ruído. Os detalhes de funcionamento dessa topologia serão discutidos na próxima seção, que introduz a teoria necessária para o cálculo dos parâmetros dessa topologia, os quais são analisados e equacionados na seção 3.

2.4 LNAs em regiões alternativas de operação

Em diversos projetos que envolvem o baixo consumo energético como uma das premissas, é comum encontrar topologias de LNA polarizadas em regiões não convencionais de operação, tais como exemplificadas na seção anterior. São elas as regiões de inversão fraca e moderada. A polarização de transistores nessas regiões amplia a flexibilidade de projeto no que diz respeito ao compromisso entre ganho, consumo energético e figura de

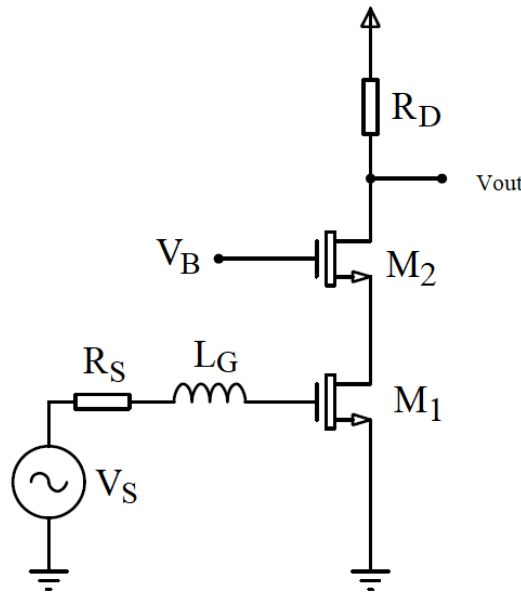


Figura 17 – Topologia simplificada de LNA com carga resistiva, operando na região de inversão fraca, proposta por (DO et al., 2008)

ruído, que podem ser otimizados com a polarização dos transistores em diferentes regiões de operação. A classificação dessas regiões é caracterizada principalmente por meio do coeficiente de inversão, IC , definido por (BINKLEY, 2008) por meio da equação 2.25, a qual que relaciona o consumo energético normalizado pela corrente na região de inversão moderada.

$$IC = \frac{I_d}{2n_0\mu n_0 C'_{ox} U_T^2 \left(\frac{W}{L}\right)} \quad (2.25)$$

Onde n_0 é o valor médio do fator de dependencia do substrato na região moderada. μ_n é a mobilidade de portadores livres do canal sob ação de um pequeno campo elétrico, C'_{ox} a capacitância intrínseca entre a porta e o oxido isolante normalizada pela área do transistor. U_T é a tensão térmica, definida por $U_T = kT/q$, onde k é a constante de boltzmann, q é a carga elementar e T a temperatura ambiente.

Nas proximidades da região moderada de inversão, o coeficiente descrito pela Eq.2.25 assume valores próximos de 1. Para a região de inversão forte, esse valor pode atingir dezenas ou até centenas de unidades, enquanto na região de inversão fraca, esse valor é reduzido para 0.01 ou menor (OUALLI et al., 2013).

Outra forma de caracterizar a região de operação é por meio da tensão efetiva, V_{eff} , definida por

$$V_{eff} = V_{GS} - V_T \quad (2.26)$$

Essa equação relaciona a região de inversão com a tensão de disparo do transistor,

V_T . Na prática, de acordo com (BINKLEY, 2008) e (ENZ; KRUMMENACHER; VITTOZ, 1995), essa tensão de disparo varia tanto em relação a polarização, quanto com a razão de aspecto do transistor, fazendo com que a tensão efetiva varie de acordo com a tecnologia e configuração utilizada. Na literatura, observam-se diferenças nas delimitações dessas condições de polarização. Segundo (GRAY et al., 2001), um transistor passa a operar na região de inversão fraca para todo valor negativo de V_{eff} , sendo que para valores acima de $2nU_T$, o transistor opera na região de inversão forte. Por outro lado, (BINKLEY, 2008) define a inversão fraca para valores de $V_{eff} < -72\text{mV}$ e $V_{eff} > 225\text{mV}$ para a inversão forte. (VINAYA; PAILY; MAHANTA, 2015) definem a região moderada compreendendo para os valores $-200\text{mV} < V_{eff} < 250\text{mV}$. Nesse trabalho, as definições das regiões de inversão serão feitas por meio da tensão efetiva com base nos limiares de tensão definidos por (BINKLEY, 2008). A figura 18 ilustra a correspondência entre as duas definições e enumera as principais características das regiões supracitadas.

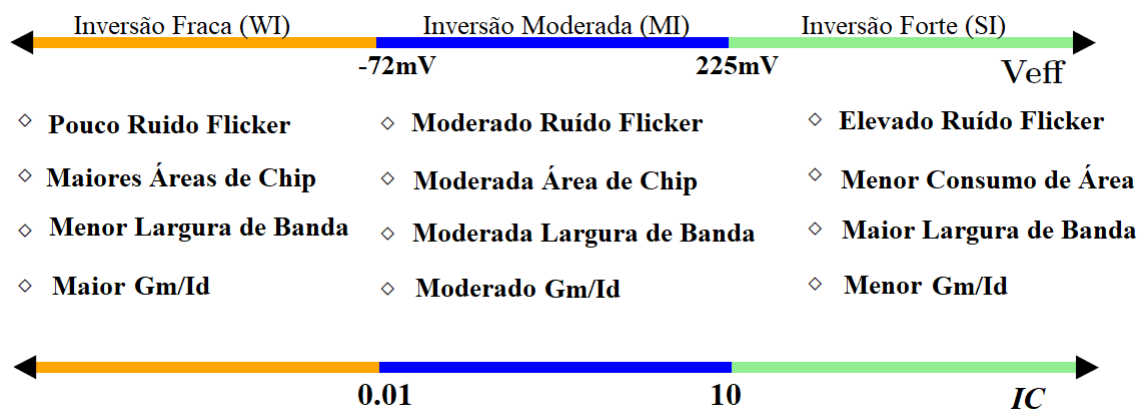


Figura 18 – Tensão efetiva (V_{eff}) e coeficiente de inversão (IC) enumerados em duas linhas, mostrando as regiões de operação de transistores dos transistores MOS e suas respectivas características. (VINAYA; PAILY; MAHANTA, 2015)

2.4.1 Regime de operação sub-limiar

A região de inversão fraca (WI), apesar de possuir resposta em frequência baixa, é a que apresenta o menor consumo energético e por uma alta eficiência de transcondutância, definida pela relação entre a transcondutância e a corrente de polarização. Esse parâmetro é citado pela Fig. 18 e exemplificado por meio da figura 19, para todas as regiões de inversão, assumindo que o transistor está operando em regime de saturação.

Nessa figura, observa-se que a eficiência de transcondutância na região WI é alta e praticamente constante, caracterizando uma relação de proporcionalidade da transcondutância em relação a corrente de polarização, o que não é verdade para as demais regiões de operação.

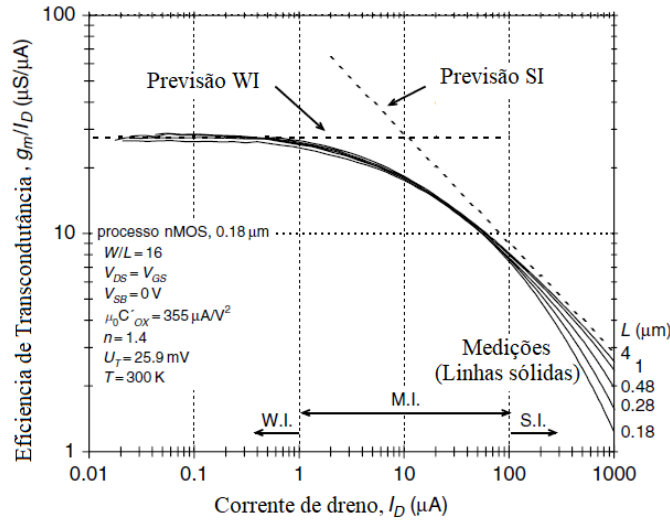


Figura 19 – Eficiência de transcondutância em função da corrente de polarização para diferentes comprimentos de canal de um transistor nMOS na tecnologia $0,18 \mu\text{m}$. (BINKLEY, 2008)

Na região WI, a corrente do transistor é definida principalmente pela corrente de difusão, processo similar à física do transistor bipolar de junção. Visto que o campo elétrico entre a porta e fonte, relacionado à corrente de *drift* entre o dreno e fonte, nessas condições, é bem pequeno, e portanto essa componente pode ser desprezada, modelagem abordada por (ENZ; KRUMMENACHER; VITTOZ, 1995) e apresentada por (BINKLEY, 2008) na forma

$$I_D = 2n\mu_n C'_{ox} U_T^2 \left(\frac{W}{L} \right) \left(e^{\frac{V_{GS}-V_T}{nU_T}} \right) = I_S \left(e^{\frac{V_{GS}-V_T}{nU_T}} \right), \quad (2.27)$$

onde n é o fator de dependência do substrato, dessa vez variante em função da tensão V_{GS} e μ_n a permissividade dos portadores livres, também variante em função de V_{GS} , diferindo-se dos fatores descritos pela Eq. 2.25. A transcondutância pode ser extraída a partir da diferenciação da Eq. 2.27, o que resulta em

$$\frac{\partial I_D}{\partial V_{GS}} = 2\mu_n C'_{ox} U_T \left(\frac{W}{L} \right) \left(e^{\frac{V_{GS}-V_T}{nU_T}} \right) = \frac{I_D}{nU_T}. \quad (2.28)$$

Vale ressaltar que as Eqs. 2.27 e 2.28 são válidas somente para valores de V_{DS} acima da tensão de saturação, que segundo (BINKLEY, 2008), é definida pela equação abaixo.

$$V_{DS,sat} \approx 4U_T. \quad (2.29)$$

Com g_m e I_D definidos para a região WI, é possível definir a eficiência de transcondutância pela razão entre as Eqs. 2.27 e 2.28, o que resulta em $1/nU_T$. Substituindo os valores, $n = 1,5$ a uma temperatura $T = 27^\circ \text{C}$ obtém-se $25,8 \mu\text{S}/\mu\text{A}$. Segundo (BINKLEY, 2008), esse valor pode ser cerca de 65% maior em relação a um transistor polarizado na

região de inversão forte ($V_{eff} = 225\text{ mV}$), o que indica uma melhor relação entre ganho e consumo energético na região de inversão fraca, abordagem realizada por (COMER; COMER, 2004).

2.4.2 Ruído na região de inversão fraca

Para se projetar um LNA é essencial conhecer sobre o comportamento da figura de ruído em função dos parâmetros da topologia escolhida, tais como tamanho dos transistores, corrente de polarização e valores dos componentes passivos utilizados. Porém, devido a complexidade na modelagem do ruído equivalente na região WI, muitos utilizam-se de análises paramétricas e de simulações para extração dos parâmetros de ruído, processo exemplificado por (VINAYA; PAILY; MAHANTA, 2015). Em uma análise simplificada, é possível considerar o ruído térmico de um transistor na região WI a partir de uma resistência equivalente de canal. Dessa forma, a densidade espectral de potência será proporcional à condutância do canal, dada por

$$S_{\Delta I_D} = i_n^2 = 4kTG_{nth}, \quad (2.30)$$

onde G_{nth} é a condutância equivalente de ruído no canal, que pode ser extraída a partir da corrente produzida por uma carga elementar, dada uma condutância infinitesimal g_{ch} , cálculo desenvolvido por (ENZ; KRUMMENACHER; VITTOZ, 1995). Integrando o resultado pelo comprimento do canal, obtém-se

$$G_{nth} = \frac{\mu_n}{L^2} |Q_{inv}|, \quad (2.31)$$

onde Q_{inv} é a carga total armazenada no canal, dada por

$$Q_{inv} = -C'_{ox} W.L.n.U_T.i_f. \quad (2.32)$$

Na Eq.2.32, i_f é a corrente de dreno normalizada pela corrente de saturação, I_S , definida anteriormente na Eq.2.27. Substituindo a Eq.2.32 na Eq.2.31 e, posteriormente o resultado na Eq.2.30, é possível encontrar a densidade espectral da corrente de ruído, na forma

$$i_n^2 = 2.k.T.n.gm. \quad (2.33)$$

A modelagem representada pela Eq.2.33 é abordada também por (PERROT, 2005), mas em conjunto com a componente de ruído flicker, representado pelo segundo termo da Eq.2.34. Porém, em função do fato de ser uma aplicação de "alta frequência", a componente de ruído flicker pode ser desprezada, visto que a frequência de operação dos amplificadores analisados por esse trabalho é muito maior do que a frequência de *corner*, que por sua vez é menor que 20 MHz , parâmetro avaliado por meio de observações gráficas de simulação.

$$i_n^2 = 2.k.T.n.gm + \frac{k_f.gm^2}{f.W.L.C'_{ox}{}^2} \quad (2.34)$$

Substituindo os valores de transcondutância $gm = I_D/nU_T$, definido pela Eq.2.28 na Eq.2.33, obtém-se $i_n^2 = 2qI_D$. Esse resultado traz como significado o fato de o ruído devido ao transistor na região de inversão fraca possuir como natureza, o ruído *shot*, semelhantemente ao transistor bipolar de junção, fenômeno que tem origem nas flutuações de cargas devido a uma junção de materiais semicondutores dopados com diferentes concentrações de lacunas e elétrons.

Se comparado com a densidade espectral de corrente na região de inversão forte, descrita anteriormente pela Eq.2.22, observa-se que para um mesmo valor de transcondutância gm , seu valor é cerca de 12% mais elevado, considerando $\gamma = 2/3$, o que confirma a hipótese do compromisso entre consumo de corrente e ruído. Para calcular a figura de ruído do estágio CS descrito pela Fig.17, primeiramente calcula-se a contribuição de cada elemento do circuito de forma independente e, pelo método da superposição, somam-se as contribuições de cada parcela ao resultado final. Nesse processo, todas as fontes de ruído são anuladas, exceto pela fonte analisada. A contribuição de M_1 para a densidade espectral de ruído na saída do LNA, baseia-se na tensão produzida pela resistência R_D por meio da corrente de ruído que o atravessa, descrita pela Eq. 2.34. Logo, a densidade espectral de ruído na saída é dada por

$$V_{n,out|M1}^2 = R_D^2.2.k.T.n.gm \quad (2.35)$$

Para a contribuição do resistor R_D , analisa-se o modelo de pequenos sinais equivalente descrito pela Fig.20, no qual desconsidera os efeitos de modulação do canal do transistor M_2 , por simplicidade.

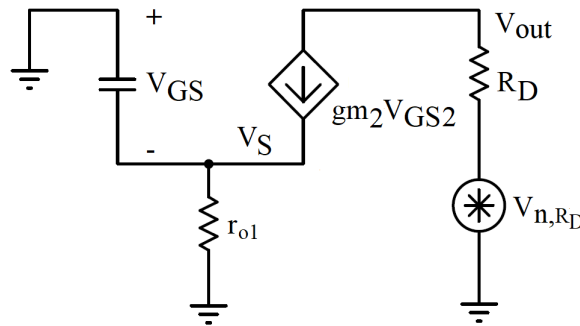


Figura 20 – Modelo equivalente de pequenos sinais simplificado utilizado para o cálculo de contribuição, no ruído total, devido ao resistor R_D .

Equacionando o nó V_S , obtém-se

$$-gm.V_{GS} + \frac{V_S}{r_{o1}} = 0, \quad (2.36)$$

$$V_S \left(\frac{1}{r_{o1}} + gm_2 \right) = 0 \quad (2.37)$$

Na equação 2.37, os termos entre parêntesis são conhecidos e possuem valores maiores do que zero. Logo, o único termo que zera a equação é V_S . De maneira semelhante, se equacionarmos o nó de saída, V_{out} , obtém-se

$$\frac{V_{n,RD} - V_{out}}{R_D} = \frac{V_S}{r_{o1}}. \quad (2.38)$$

Substituindo o valor $V_S = 0$, encontrado por meio da Eq.2.37, a Eq.2.38 se resume em

$$V_{out} = V_{n,RD} = \sqrt{4kTR_D}, \quad (2.39)$$

concluindo, portanto, que a tensão de ruído na saída do LNA devido ao resistor RD será total, se desconsiderada a modulação do canal do transistor M_2 . Por fim, analisando a contribuição de ruído devido ao transistor M_2 , observa-se que, por estar em série com o transistor M_1 , sua corrente de canal será a mesma de M_1 , de forma que a variação dessa corrente também seja comum aos dois elementos, visto que o transistor nessa configuração atua como buffer de corrente, no caso ideal. Isso pode ser comprovado por meio de (ALI, 2005) e (RAZAVI, 1998), que demonstram por meio de análises nodais, que a contribuição do estágio em cascata para essa topologia é desprezível mesmo se considerado o caso não ideal, isto é, considerando o efeito de modulação do canal.

O fator de ruído dessa topologia pode ser extraído por meio da definição dada pela Eq.2.2, a partir da qual obtém-se

$$F = 1 + \frac{V_{n,out}^2}{G_{LNA}^2} \cdot \frac{1}{4kTR_S}, \quad (2.40)$$

onde G_{LNA} é o ganho do LNA, R_S a resistência de entrada da fonte, e $V_{n,out}$ a densidade espectral de ruído total na saída do LNA. Somando as contribuições das densidades espectrais na saída do LNA encontradas por meio das Eqs.2.35 e 2.39, resultam em

$$V_{n,out}^2 = R_D^2 \cdot 2 \cdot k \cdot T \cdot n \cdot gm + 4 \cdot k \cdot T \cdot R_D. \quad (2.41)$$

O ganho, bem como a avaliação da figura de ruído a partir da equação 2.40 serão avaliados na próxima seção de forma mais detalhada.

3 Projeto de um LNA

3.1 Metodologia de Projeto de um LNA

O projeto de um LNA tem início a partir de uma análise das condições de contorno envolvidas na aplicação e das restrições impostas pelos padrões e protocolos de comunicação utilizados. Dessa forma, é comum a análise preliminar dos requisitos de projeto, na forma de simulações sistêmicas, realizadas a fim de definir o tipo e característica do *front-end* de recepção e, conseqüentemente, os parâmetros específicos do LNA. Após essas definições, muitas vezes são necessárias extrações de parâmetros que dependem da tecnologia utilizada, processo também realizado por meio de simulações e análises paramétricas. Por fim, a otimização de resultados é feita tanto em relação aos aspectos individuais de cada bloco do transceptor, quanto em conjunto com outros blocos de projeto, por meio de simulações mistas, de forma que a evolução do projeto decorra de forma mais dinâmica, atendendo a todos os requisitos gerais de forma mais rápida. Essa é a abordagem *Top-down*, muito utilizada em sistemas complexos devido a possibilidade de simulações conjuntas de blocos individuais com a modelagem em alto nível e a nível de transistores.

Devido ao fato de não se tratar de um projeto complexo, no qual se insere a aplicação em um transceptor completo, tendo em vista divergências tecnológicas entre transceptores desenvolvidos na UnB, além do curto período de tempo destinado à matéria, o projeto descrito por este trabalho é realizado utilizando uma abordagem *bottom-up*, na qual parte das especificações gerais, para o projeto a nível de transistores. Com isso, espera-se que as verificações e validações ocorram somente na etapa final de desenvolvimento. Vale ressaltar que essa abordagem tem como aspectos negativos, a não detecção de determinados problemas, a baixa exploração da arquitetura escolhida e elevado tempo de simulação completa (no caso de projetos complexos), fatos que corroboram o uso dessa metodologia somente em projetos de pequeno porte.

O projeto típico de um LNA do tipo CS com degeneração indutiva a nível de transistores, operando na região de inversão forte tem como premissas a frequência de operação f_{op} , tensão de alimentação V_{DD} , figura de ruído máxima permitida pelo sistema (NF) e ganho de tensão mínimo (Av). Dadas essas características, segue-se ao projeto do amplificador em termos de polarização e valores dos componentes passivos utilizados, bem como as dimensões de cada transistor. Nessa etapa pode ser necessário a iteração de alguns parâmetros para garantir o pleno funcionamento, seguida pela etapa de otimização, a qual irá adequar os resultados aos requisitos de maneira mais restrita. O exemplo abaixo ilustra a metodologia proposta por (RAZAVI, 1998).

3.1.1 Exemplo de projeto de LNA do tipo CS com degeneração indutiva em cascata

Para o projeto de um LNA do tipo CS em cascata com degeneração indutiva, é proposto a extração de ω_0 , indutâncias de degeneração $L1$ e as capacitâncias $CPAD$, que dependem principalmente da tecnologia utilizada e do processo de fabricação. Na etapa definição dos requisitos, obtém-se as demais variáveis de projeto, tais como tensão de alimentação e frequência de operação, nesse caso denotado por ω_0 . Segundo (RAZAVI, 1998), a figura de ruído pode atingir valores de 1.5 a 2 dB, seguindo-se a seguinte metodologia:

- O primeiro passo consiste em realizar extrair o valor de C_{GS1} , que é obtido a partir da frequência de operação do circuito, que pode ser escrita como

$$\frac{1}{(L_G + L_1)(C_{GS1} + C_{PAD})} = \omega_0^2 \quad (3.1)$$

- A partir da Eq.2.21, obtém-se o valor de ω_T , que é utilizado para definir a transcondutância do transistor $M1$, a partir da relação $gm_1 = \omega_T C_{GS1}$;
- Para o dimensionamento do transistor $M1$, são plotados os gráficos de gm_1 e f_T do transistor $M1$ para um dado valor fixo de largura e verifica-se se os valores de gm_1 e f_T são satisfeitos simultaneamente. Senão, adiciona-se uma capacitância em paralelo com C_{GS1} . As dimensões do transistor $M1$ se dá a partir do valor de transcondutância para um comprimento L_{min} . As dimensões de $M2$ são as mesmas de $M1$.
- Dimensionar LD a partir da frequência de ressonância com as capacitâncias C_{DB2} , C_{DG2} e C_1 , além da capacitância do próximo estágio.
- Por fim, examina-se o impacto da multiplicação Miller no casamento de impedâncias, na qual pode elevar tanto a parte real quanto a imaginária, necessitando alguns ajustes no valor de L_G .

3.1.2 Metodologia de projeto de LNA na região sub-limiar

A metodologia de um projeto eletrônico têm como primícia, o conhecimento prévio sobre a física ou sobre as equações que regem o funcionamento do produto, no caso, o LNA. Abaixo serão apresentadas as equações e deduções realizadas por meio de pesquisas, ou por meio de conhecimentos adquiridos ao longo do curso. Posteriormente, será apresentado um fluxo de projeto do LNA, considerando os aspectos relevantes encontrados por meio de pesquisas bibliográficas e por meio considerações observadas em projetos semelhantes. A topologia escolhida para o presente estudo de caso, é destacada pela figura 17. Em comparação a sua versão convencional, descrita anteriormente pelo item 3.1.1, essa

topologia apresenta alterações no casamento de impedâncias, a utilização de um resistor como carga e a polarização do transistor M_1 na região de inversão fraca. O casamento de impedâncias dessa topologia pode ser analisado de forma simplificada considerando apenas o efeito da capacitância C_{GS1} na impedância de entrada do transistor M_1 . Dessa forma, obtém-se o modelo equivalente ilustrado pela Fig.21.

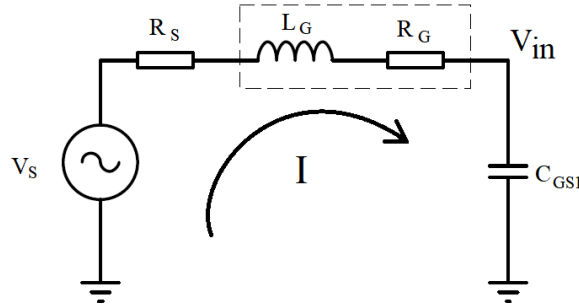


Figura 21 – Circuito equivalente simplificado utilizado para o casamento da impedância de entrada do LNA. Onde R_S é a resistência da fonte, com o valor implícito de 50Ω , L_G a indutância série da porta e R_G a resistência interna do indutor.

O indutor L_G exposto na Fig.21 é externo ao transistor, como ilustra a Fig.17, e é utilizado para que entre em ressonância com a capacitância C_{GS1} na frequência de operação, 2,45 GHz. Equacionando a malha do circuito acima, é possível encontrar

$$V_{in} = I(R_S + R_G) + jI \left(\omega L_G + \frac{1}{\omega C_{GS1}} \right). \quad (3.2)$$

Sabe-se que na frequência de ressonância, a parte imaginária deve ser zero, o que garante o casamento da parte imaginária da impedância de entrada. Logo, o valor de indutância necessário para cancelar a reatância de C_{GS1} é encontrado igualando o segundo termo entre parêntesis a zero e isolando o termo L_G , o que resulta em

$$L_G = \frac{1}{\omega^2 C_{GS1}} \quad (3.3)$$

Para casar o circuito também na parte real, basta garantir que $R_G = R_S$, segundo o teorema de máxima transferência de potência, o que impõe a utilização de um indutor com baixo fator de qualidade, tendo em vista que sua resistência interna deve ser de 50Ω .

O fator de atenuação/amplificação do circuito descrito pela Fig.21 pode ser extraído a partir da razão entre as tensões V_{in} e V_S . Dado que a corrente da malha é encontrada isolando I na Eq.3.2, a tensão V_{in} será dada pela multiplicação da corrente, pela impedância C_{GS1} . Seguindo esse procedimento, é possível estabelecer a relação entre a tensão de entrada do LNA e a tensão de fonte V_S , fator denotado por α .

$$\alpha = \left| \frac{V_{in}}{V_s} \right| = \frac{1}{2R_S \omega C_{GS1}} \quad (3.4)$$

O ganho da topologia em questão pode ser extraído pela definição dada por (SE-DRA; SMITH, 2014), a qual estabelece que o ganho de um estágio cascadeado, será a transcondutância do transistor de entrada, multiplicada pela resistência de saída do amplificador, tendo em vista que o transistor em cascata atua como *buffer* e, portanto não contribui para a transcondutância final. Para calcular a resistência de saída do LNA, analisa-se o modelo simplificado de pequenos sinais disposto na Fig.22, que considera a resistência R_D como sendo infinita, para simplificação dos cálculos matemáticos. A influência de R_D será avaliada posteriormente. Com a inserção de uma fonte V_T , utilizada como artifício matemático, analisa-se a corrente inserida por essa fonte, de forma que $Z_{out} = V_T/I_T$.

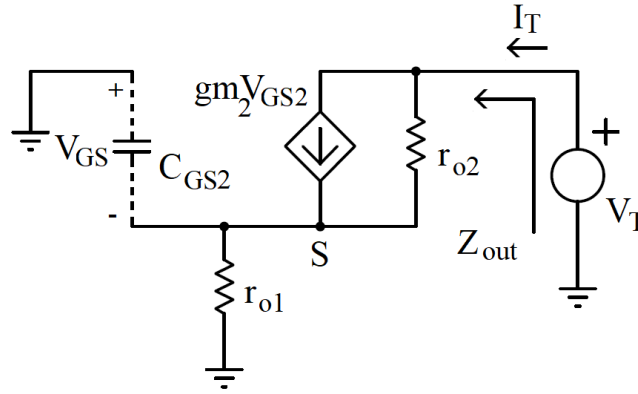


Figura 22 – Circuito equivalente utilizado para avaliação da impedância de saída do LNA, considerando a modulação do canal de ambos transistores. Onde V_T é a fonte de teste inserida na saída do LNA para aferição da corrente I_T

A partir do equacionamento do nó S , desconsiderando primeiramente a capacitância C_{GS2} , é possível concluir que

$$I_T = -gm_2 V_s + \frac{(V_T - V_s)}{r_{o2}}, \quad (3.5)$$

onde $V_s = I_T \cdot r_{o1}$. Substituindo esse valor na Eq.3.5 e reorganizando os termos dessa equação, obtém-se a resistência de saída do LNA, apresentando-se da seguinte forma

$$R_{out} = \frac{V_T}{I_T} = r_{o1} + r_{o2} + gm_2 r_{o1} r_{o2}. \quad (3.6)$$

Se considerada a capacitância C_{GS} , observa-se a inserção de uma parte imaginária no valor de impedância de saída que altera não só a reatância de saída, como também a sua resistência. De forma semelhante ao procedimento descrito anteriormente, é possível chegar na impedância de saída, que terá a forma

$$Z_{out} = \frac{r_{o1} + r_{o2} + r_{o1} r_{o2} j\omega C_{GS2} + r_{o1} r_{o2} gm_2}{1 + r_{o1} j\omega C_{GS2}} \quad (3.7)$$

Separando os termos da Eq.3.7, observa-se que a resistência de saída irá diminuir por um fator aproximado de $(1 + r_{o1}^2 \omega^2 C_{GS2}^2)$, que pode se tornar significativo para transistores com razão de aspecto elevada, tendo em vista a dependência da capacitância C_{G2} com a razão de aspecto do transistor M_2 . Porém, se considerada a resistência R_D , que se mostra associada em paralelo com a resistência R_{out} , definida pela Eq.3.6, observa-se que o valor final de resistência dependerá tão somente do valor de R_D , desde que a relação $R_D \ll R_{out}$ seja verdadeira. O ganho do LNA pode ser então aproximado por

$$Av = \alpha \cdot gm_1 R_D = \frac{gm_1 R_D}{2R_S \omega C_{GS1}} \quad (3.8)$$

onde α é o fator de atenuação/multiplicação entre a fonte de sinal e o transistor M_1 , devido ao circuito de casamento de impedâncias, definido pela Eq.3.4. Vale reiterar que se considerar o modelo completo, no qual se insere a capacitância C_{GS2} no cálculo, o ganho diminuirá, embora o resultado da associação em paralelo com a resistência de carga R_D diminua o impacto dessas alterações, razão pela qual optou-se por utilizar o modelo simplificado nessa análise. Na modelagem abordada para a Eq.3.8, as demais capacitâncias além de C_{GS1} foram desconsideradas, visto que essas capacitâncias possuem menor valor e podem ser desprezadas para uma análise inicial, simplificação utilizada também por (RAZAVI, 1998). As modelagens feitas por (ENZ; KRUMMENACHER; VITTOZ, 1995) contribuem para a hipótese de que as demais capacitâncias podem ser desprezadas, desde que a tensão V_{DS1} seja pequena. A partir de suas modelagens, obtém-se também o valor da capacitância C_{GS} na região de inversão fraca, definida por

$$C_{GS1} = W.L.C'_{ox} e^{\left(\frac{V_{GS1} - V_T}{nU_T}\right)} \quad (3.9)$$

A figura de ruído dessa topologia pode ser extraída por meio do fator de ruído, definido anteriormente pela Eq.2.40, onde os termos: densidade espectral de ruído na saída e o ganho do LNA, podem ser extraídos por meio das Eqs. 2.41 e 3.8. Substituindo esses os termos, a Eq.2.40 assume a seguinte forma

$$F = 1 + \frac{(R_D^2 \cdot 2 \cdot k \cdot T \cdot n \cdot gm_1 + 4 \cdot k \cdot T \cdot R_D) 4R_S^2 \omega^2 C_{GS1}^2}{gm_1^2 R_D^2} \left(\frac{1}{4kTR_S} \right). \quad (3.10)$$

Simplificando os termos, obtém-se

$$F = 1 + \frac{2R_S \omega^2 C_{GS1}^2 (R_D \cdot gm_1 n + 2)}{gm_1^2 R_D} \quad (3.11)$$

A equação acima deve ser observada com cautela, tendo em vista que a um primeiro momento, observa-se que a figura de ruído diminui a medida que a transcondutância gm_1 é maximizada. Porém como C_{GS1} eleva a figura de ruído por um fator quadrático, e sua

relação com gm_1 é de direta proporção, o que se observa na verdade é o aumento no fator de ruído à medida que gm_1 é maximizado. Dessa forma, para que a figura de ruído seja otimizada, mantendo o ganho constante, recomenda-se a maximização de R_D e diminuição no valor de gm_1 .

3.1.2.1 Fluxo de projeto de um LNA

O fluxo de projeto do LNA de baixo consumo, aplicado ao conceito IoT parte da corrente máxima aceitável para que o LNA ainda seja classificado com baixo consumo energético. Com base nos artigos já citados, observa-se que a classificação desse quesito é subjetiva, tendo em vista a grande variação no valor de consumo energético encontrado, valor que varia de acordo com a topologia de transceptor e aplicação utilizada. Essa variação pode ser observada por meio dos LNAs propostos por (DISSANAYAKE et al., 2017) e (XIA; QI; WU, 2017), os quais consomem cerca de 60uW e 3.2mW, respectivamente. Dessa forma, cabe ao projetista escolher a corrente ideal para a aplicação. Com a corrente definida, observa-se a utilização da figura de ruído e do casamento de impedâncias para o dimensionamento do transistor de entrada, processo semelhante ao descrito por (OUALLI et al., 2013). Por outro lado, nesse trabalho propõe-se a escolha da tensão de polarização do primeiro estágio com base nas características desejáveis para o LNA, tendo em vista o compromisso entre ganho, figura de ruído, linearidade e consumo de potência.

Nesse trabalho, estuda-se a polarização na região moderada e fraca. Após definida a tensão efetiva, por meio da Eq.2.26, polariza-se M_1 . Como todas as variáveis estão definidas, o dimensionamento de M_1 é encontrado isolando a razão de aspecto na Eq.2.27. Observa-se portanto, que esse dimensionamento não leva em conta a figura de ruído do LNA, tendo em vista que esse parâmetro possui caráter secundário no projeto de LNA com baixo consumo energético. Dessa forma, a figura de ruído pode ser verificada posteriormente ao dimensionamento do transistor de entrada. Caso o valor verificado seja aceitável para a aplicação, segue-se para a determinação da capacitância C_{GS1} e a respectiva escolha do indutor L_G para o casamento de impedâncias.

A definição do ponto de operação do transistor M_2 pode ser obtido por meio de simulações, no caso de polarização próximas à região moderada, ou por meio da definição da tensão de saturação, que na região de inversão fraca é dada pela Eq.2.29, que define a tensão de dreno necessária para manter o transistor M_1 em saturação. Com essa mesma tensão, é possível definir o valor de V_B . R_D é definido a partir da especificação de ganho e por meio da tensão de saturação de M_2 . Tendo em vista que o transistor cascadeado não influencia diretamente na corrente do LNA, opta-se por sua polarização na região de inversão forte. Essa escolha tem como vantagens de redução no consumo de área, a diminuição da capacitância vista pelo nó de saída e menor contribuição para o ruído. O Fluxo de projeto descrito acima é esquematizado na Fig.23, a qual ilustra os mecanismos

de correção em cada etapa.

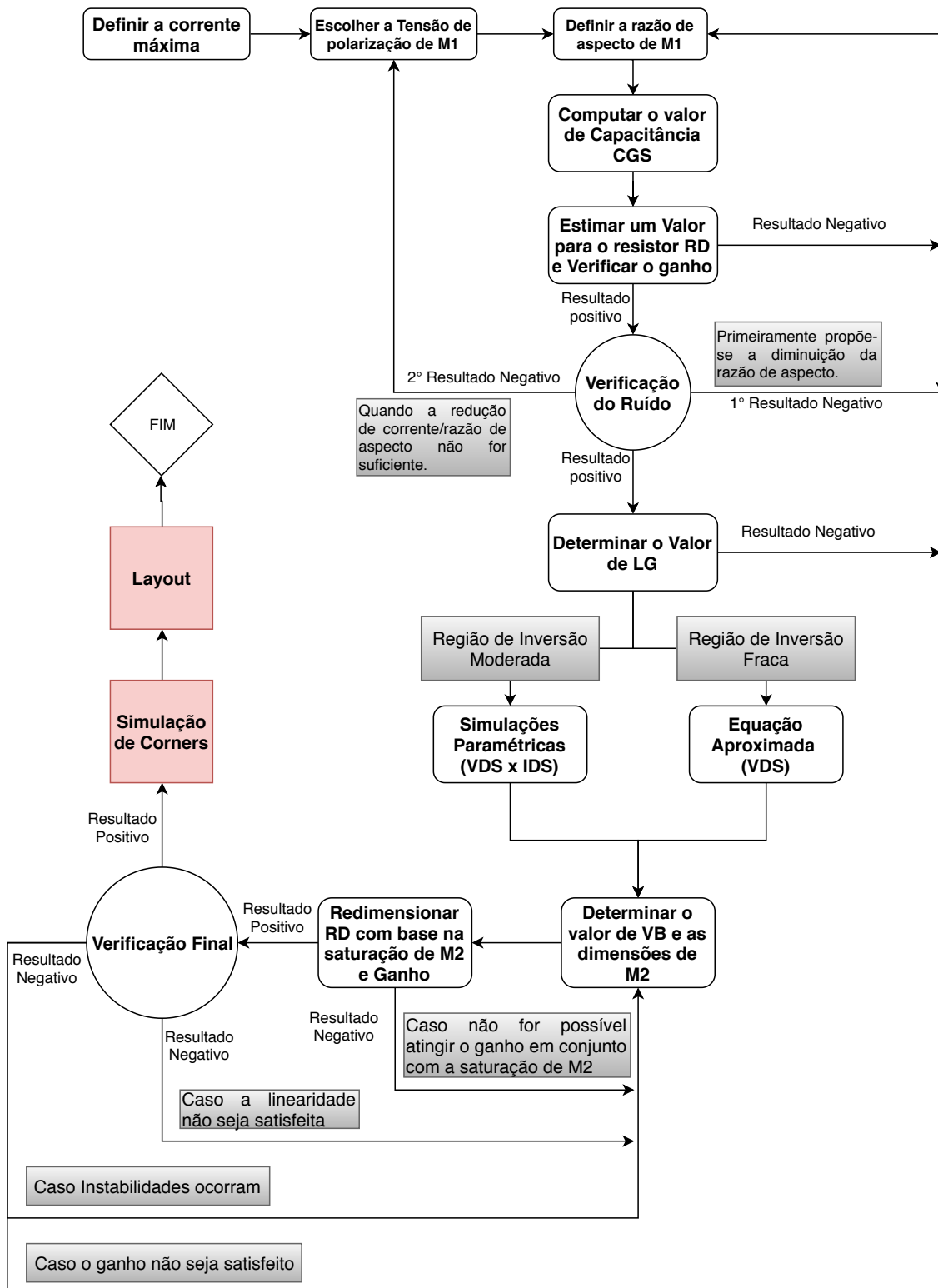


Figura 23 – Proposta de fluxo de projeto para um LNA do tipo CS em cascata operando na região de operação sub-limiar com carga resistiva.

4 Proposta de um LNA para um Front-End ZigBee com aplicações em IoT

A partir da comparação feita entre as diversas topologias de amplificadores de baixo ruído, observa-se que para aplicações em *Front-end* de recepção ZigBee, há uma predominância das topologias do tipo CG e CS com degeneração indutiva, ambas em cascata. A preferência das topologias CG para aplicações de baixo consumo energético, tais como em sistemas de transceptores ZigBee, baseia-se, em sua maioria, pelo fato do casamento de impedâncias abranger faixas de frequência maiores se comparada à topologia CS com fonte degenerada, o que facilita a implementação de LNAs operando em banda larga, também previstos na norma IEEE 802.15.4. Porém, pelo fato de as dimensões do transistor de entrada estarem relacionadas com o casamento de impedâncias, a flexibilidade na otimização do consumo energético fica limitada. Por outro lado, a preferência das topologias CS baseiam-se na simplicidade de projeto, ganho elevado e pela baixa figura de ruído associada, o que flexibiliza a otimização de consumo energético em detrimento de outros parâmetros nessa topologia, tendo em vista a versatilidade no seu casamento de impedâncias.

As modificações de impedâncias, realizadas a fim de reduzir a dependência dos parâmetros do transistor de entrada, a partir da associação de indutores e capacitores se mostraram eficientes em seus objetivos, mas utilização de conversão de sinais *single-ended* para diferenciais a partir de estágios CS e CG, os quais são eficazes no que diz respeito à integração do sistema no *chip*, não se apresentaram como a forma mais eficiente no ponto de vista do consumo energético. A mudança de ganho, mecanismo utilizado por grande parte dos artigos citados também caracterizou-se como um fator importante para garantir o desempenho de um LNA no aspecto linearidade quando operando sob baixo consumo. Porém, impõem uma complexidade de projeto com adição de circuitos sensores e de controle digital, o que está fora do escopo desse artigo.

Sob outra perspectiva, agora em relação aos projetos de amplificadores que operam na região de inversão moderada e fraca, observa-se a preferência de estágios CS, seja por realimentação resistiva (DISSANAYAKE et al., 2017), cargas indutivas, (LEE; MOHAMMADI, 2006) ou cargas resistivas (DO et al., 2008). Essas topologias apresentam baixíssimo consumo energético, se comparado às outras configurações. Dentre as propostas de LNA operando na região sub-limiar com a topologia de realimentação resistiva observa-se a limitação no ganho, o que é corrigido por (DISSANAYAKE et al., 2017) com a adição de dois estágios de amplificação, o que aumenta a figura de ruído do sistema. Em geral, a figura de ruído das configurações polarizadas na região sub-limiar

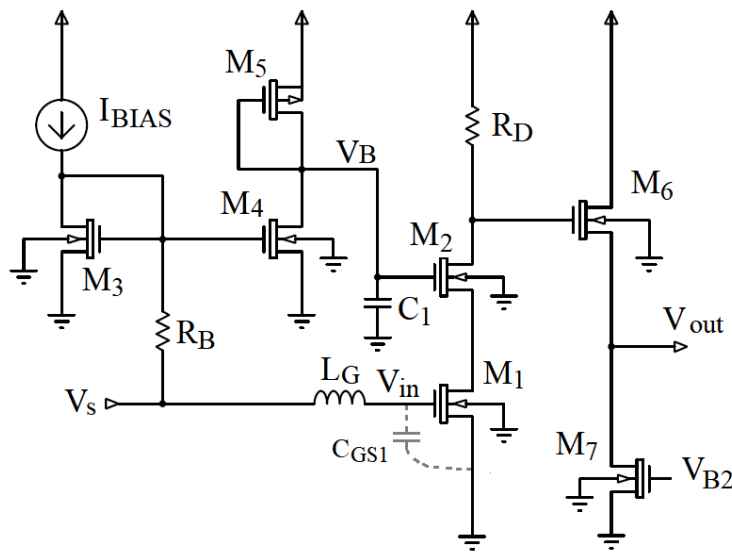


Figura 24 – Ilustração completa da proposta inicial de um LNA para aplicações de baixo consumo baseado no estágio CS, com carga resistiva e polarização na região sub-limiar. Nessa figura estão dispostos todos os circuitos adicionais ao CI, propostos para verificação funcional posterior.

são afetadas de forma significativa, porém não há de ser crítica em transceptores ZigBee, especialmente em aplicações IoT.

Dentre as topologias citadas, destaca-se como base para a proposta, a topologia apresentada por (DO et al., 2008), que utiliza apenas um indutor integrado para o casamento de impedâncias. O baixo fator de qualidade do indutor é utilizado em favor do projeto, logo, não se torna crítico para o seu funcionamento, permitindo a retirada do indutor de degeneração. Essa topologia caracteriza-se por um consumo de potência de 630uA, figura de ruído de 5.2 dB e ganho de 21,4 dB. Ela foi escolhida como base para o projeto do LNA que proposto pelo fato de atingir os principais requisitos impostos ao *frontend* de recepção de sistemas IoT, os quais são o baixo consumo energético e menor ocupação de área no *chip*. As características desse LNA fazem possível aplicações em sistemas de com redes de sensoriamento com baterias e inventários, devido ao seu baixo consumo energético, cerca de 10 vezes menor ao LNA CS convencional. O circuito inicial proposto para esse trabalho é ilustrado pela Figura 24.

Nessa figura, o conjunto amplificador é ilustrado pelo resistor R_D e transistores M_1 e M_2 . O estágio de casamento na entrada é ilustrado pela malha que contém L_G e C_{GS1} . O conjunto formado pelos transistores M_3 ao M_5 é utilizado para polarização do estágio de amplificação por meio de espelhos de corrente. Pressupõe-se nesse caso a utilização de uma fonte de corrente externa ao bloco LNA, ilustrada por I_{BIAS} , com o valor de $10 \mu A$. O transistor M_6 é utilizado para o casamento de impedâncias de saída enquanto M_7 atua como fonte de corrente, o qual é polarizado por uma fonte V_{B2} , que será implementada por meio de espelhos de correntes semelhantes aos transistores M_4 e M_5 .

4.1 Cálculos Analíticos

O procedimento analítico que se propõe baseia-se nas equações descritas nos capítulos anteriores e no fluxograma apresentado. A aplicação dos parâmetros calculados por essa seção, será apresentada no capítulo posterior, que contém a otimização dos parâmetros, de forma com que os requisitos escolhidos sejam atendidos. Vale ressaltar que o procedimento analítico na região de inversão moderada não é bem estabelecido na literatura, o que se faz necessário o uso da interpolação das equações na região forte e na região fraca, conforme (ENZ; KRUMMENACHER; VITTOZ, 1995). O ganho posto como objetivo desse trabalho foi escolhido com base no artigo proposto por (DO et al., 2008) e com base nas faixas de ganho comum aos diversos artigos citados até então. O consumo de corrente máxima foi inicialmente estabelecido pela média dos artigos estudados, os quais utilizaram a polarização na região sub-limiar ou moderada e utilizam a topologia CS em cascata. O requisito de p1db é extraído por meio da norma (COMMITTEE et al., 1997). Os requisitos de projeto estão dispostos na Tabela 2

Tabela 2 – Requisitos de projeto

Ganho	Corrente máxima	P1DB	IIP3	NF
20dB	550uA	-20 dBm	-10 dBm	5 dB

Com base na corrente máxima estipulada na Tab.2, polariza-se o transistor M_1 no limite da região de inversão fraca, de tal forma que as equações descritas no capítulo anterior ainda sejam válidas, aliando-se ainda ao fato de nessa região, por estar próxima à região moderada, apresenta uma figura de ruído moderada e ganho moderado, características que julgam-se ideais para atingir os requisitos estabelecidos. Dessa forma, a tensão efetiva escolhida para polarizar o transistor M_1 foi $V_{eff} = -72 mV$. Vale ressaltar que devido ao fato de a corrente de polarização destacada pela Tab.2 ser elevada para o regime de operação sublimiar, com $V_{eff} = -72 mV$, a razão de aspecto do transistor M_1 deverá ser elevada, o que leva a um aumento nos valores de capacitâncias intrínsecas do transistor, diminuindo portanto a sua resposta em frequência. Entretanto, na frequência de operação estudada, esse efeito não é crítico. Com isso, é possível encontrar o valor da tensão de gate de M_1 utilizando os dados da tecnologia dispostos na tabela abaixo.

Os valores definidos na Tab.3 são referentes à região de saturação e seus valores foram extraídos por meio de (AMARAL, 2017), exceto o valor $V_{Tn,sub}$, a tensão de disparo na região de inversão fraca, o qual foi extraído experimentalmente por meio de simulações e incluem os efeitos de canal curto, valor comprovado por (LEE; MOHAMMADI, 2006). As demais definições, V_{tn} e V_{tp} são definidas na região de inversão forte para os transistores do tipo N-MOS e P-MOS, respectivamente.

Com o valor de $V_{Tn,sub}$ definido na Tab.3, encontra-se $V_{GS1} = 378 mV$. Seguindo-

Tabela 3 – Parâmetros da Tecnologia CMOS 0.13 μm

Parametro	Valor
$V_{Tn,sub}$	450 mV
V_{Tn}	297 mV
V_{Tp}	357 mV
n	1.5
L_{min}	130 nm
C'_{ox}	$8.82mF/u^2$
μn	$0.067 \frac{m^2}{V.s}$
$2\Phi_F$	0.9
γ	0.7

se ao fluxograma definido pela Fig.23, define-se então a razão de aspecto do primeiro transistor a partir de V_G e I_D , isolando W na Eq.2.27, o que resulta em

$$W_1 = \frac{I_D \cdot L}{\left(2n\mu n C'_{ox} U_T^2 e^{\left(\frac{V_{GS}-V_T}{nU_T}\right)}\right)} \approx 376 \mu m \quad (4.1)$$

Substituindo o valor de W_1 na Eq.3.9, obtém-se $C_{GS} \approx 68.1 fF$. A partir dos parâmetros já calculados, é possível estimar o ganho por meio do valor mínimo de R_D , isolando na Eq.3.8, onde é possível chegar a $R_D = 313\Omega$. Verificando o valor estimado da figura de ruído associada aos parâmetros encontrados, por meio da Eq.3.11 obtém-se $NF = 1.5 dB$, o que classifica esse resultado como positivo. De acordo com a Eq.3.3, determina-se $L_G = 62.4 nH$. Esse valor de indutância é elevado e difícil de se integrar no *chip*, o que pode ser necessário o uso de indutores empilhados, nos quais é possível elevar a indutância por um fator aproximado de 3.5, segundo (RAZAVI, 1998). Além disso, a utilização de indutores empilhados aumentam a resistência parasita, o que colabora para a obtenção de 50Ω . Vale ressaltar que tanto a resistência do indutor, quanto sua reatância é variante em função da frequência, devido às capacitâncias parasitas inseridas na sua construção, que devem ser consideradas na fase de otimização.

Posteriormente, define-se a tensão mínima de dreno do transistor M_1 , que é dada por $V_{DS1,sat} = 104 mV$, a partir da Eq.2.29. Ressalta-se que essa tensão de saturação na região de inversão fraca não tem relação direta com V_{GS1} , portanto podemos aproximar o valor encontrado acima mesmo considerando a excursão do sinal de entrada. Nesse ponto, considera-se a tensão de disparo do transistor M_2 , substancialmente maior do que a definição dada pela Tab.3, devido ao efeito de corpo, que será dada pela Eq.4.2

$$V_{T,M2} = V_{Tn} + \gamma \left(\sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|} \right) \approx 400 mV. \quad (4.2)$$

Onde ϕ_F é o potencial de fermi e γ , o fator devido ao efeito de corpo. Com isso, para

polarizar o transistor M_2 na região de inversão forte, considera-se $V_{eff} = 250\text{ mV}$. Desconsiderando o efeito de modulação do canal, obtém-se

$$V_B = V_{DS1,sat} + V_{T,M2} + 250\text{ mV} = 754\text{ mV}. \quad (4.3)$$

Baseando-se no valor de R_D , estimado anteriormente por meio da Eq.3.8, observa-se que a queda de tensão, para a corrente nominal estipulada na Tab.2 será de 172 mV, o que mantém o transistor M_2 em saturação, com uma margem de aproximadamente 600 mV para excursão do sinal na saída do LNA. Com o valor de V_{GS2} definido por meio das Eqs.2.29 e 4.3, é possível definir W_2 a partir da equação da corrente na região de inversão forte. O que resulta em

$$W_2 = \frac{2I_D L_{min}}{\mu n C'_{ox} (V_{GS} - V_T)^2} = 3.7\ \mu\text{m} \quad (4.4)$$

Por fim, calculando o valor máximo de R_D para o qual M_2 se mantém em saturação, por meio da queda de tensão em R_D e da tensão mínima de saturação em M_2 , definida por $V_{DS2} \geq V_{GS2} - V_T$, é possível chegar em

$$V_{DD} - I_D R_D - V_{S2} \geq V_{GS2} - V_T \quad (4.5)$$

Isolando R_D , avalia-se o seu valor máximo,

$$R_D \leq \frac{V_{DD} - V_B + V_{T,M2}}{I_D} = 1.54\text{ k}\Omega \quad (4.6)$$

Dado o valor mínimo estimado para aferir a figura de ruído e o valor descrito acima, escolhe-se o valor médio para a análise inicial dos resultados, logo $R_D = 935\ \Omega$.

Tendo em vista que a verificação do ganho, bem como a figura de ruído necessitam que as duas portas estejam casadas e normalizadas para um mesmo valor de impedância, é necessário um circuito para o casamento de impedâncias na saída do transistor. Na Fig.24, o estágio dreno comum, formado pelos transistores M_6 e M_7 , atuam para transformar a impedância real observada na saída do LNA para o valor de 50 Ω . Partindo do pressuposto de que a impedância vista na fonte de um estágio do tipo dreno comum é dada pelo inverso de sua transcondutância, $1/gm_6$, dimensiona-se o transistor M_6 considerando a queda de tensão no resistor R_D e a saturação de M_7 , que é polarizado com a tensão $V_{B2} = 500\text{ mV}$, escolhida para polarizar o transistor M_7 próximo a região de inversão forte, levando em conta um pequeno valor de $V_{DS,sat}$. Assumindo $V_{Tn} = 400\text{ mV}$ (considerando os efeitos de canal curto), o valor de tensão aproximado para sua saturação será dado por

$$V_{DS7,sat} \geq V_{GS7} - V_{Tn} \geq 100\text{ mV}. \quad (4.7)$$

Analisando a queda de tensão do resistor R_D , com o valor definido anteriormente, é possível encontrar $V_{G6} = 685\text{ mV}$. Considerando o valor obtido pela Eq.4.7, isto é, $V_{DS7,sat} =$

$100mV$, obtém-se $V_{GS6} = 585mV$. Com esse valor, e por meio da equação de transcondutância na região de inversão forte, é possível definir a largura do transistor M_6 por meio da equação:

$$W_6 = \frac{L_{min}}{50\mu_n C'_{ox} (V_{GS6} - V_{T,M6})} = 23.7 \mu m, \quad (4.8)$$

onde $V_{T,M6} = V_{T,M2}$, definido na Eq.4.2.

5 Resultados e Discussões

5.0.1 Resultados Preliminares

Por meio da aplicação dos valores encontrados pelo procedimento analítico, as análises iniciais foram feitas. As verificações dispostas nesse capítulo foram realizadas por meio do software Virtuoso, da Cadence e por meio do simulador Spectre. Os resultados preliminares foram obtidos por meio de simulações individuais de cada bloco do LNA, a fim de verificar e validar as equações descritas no capítulo anterior.

Tendo em vista as dimensões de M_1 calculadas na seção anterior, observou-se que a corrente simulada, foi duas vezes maior do que a corrente calculada por meio da Eq.2.27, avaliada na tensão $V_{DS1,sat}$ estimada, o que pode ser observado por meio da Fig.25.

Uma pequena divergência no valor de $V_{DS,sat}$, destacado na Fig.25, causou, juntamente com o efeito da tensão *Early*, uma pequena diferença no valor de corrente. No entanto, grande parte da diferença observada pode ter sido causada pelas aproximações consideradas nos dados expostos na Tab.3 e na modelagem da Eq.2.27, ou ainda pelo fato de o transistor estar operando muito próximo à região de inversão moderada, o que eleva a corrente de forma considerável. Fato semelhante foi observado para o valor de capacitância previsto pela Eq.3.9, o qual ficou cerca de três vezes menor do que o valor simulado, de 197 fF. Esse valor é pouco menor se comparado à capacitância obtida por

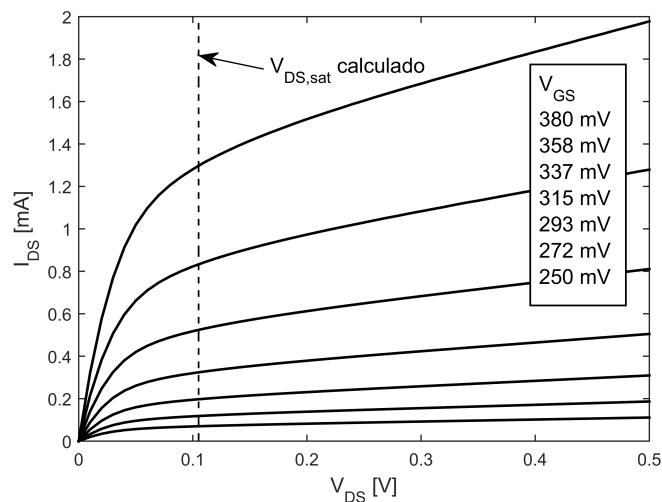


Figura 25 – Simulação paramétrica da corrente de dreno, I_{DS} em função da tensão V_{DS} para um transistor único baseado no modelo 1V da tecnologia CMOS de 130 nm. Nessa figura, $W = 376 \mu\text{m}$

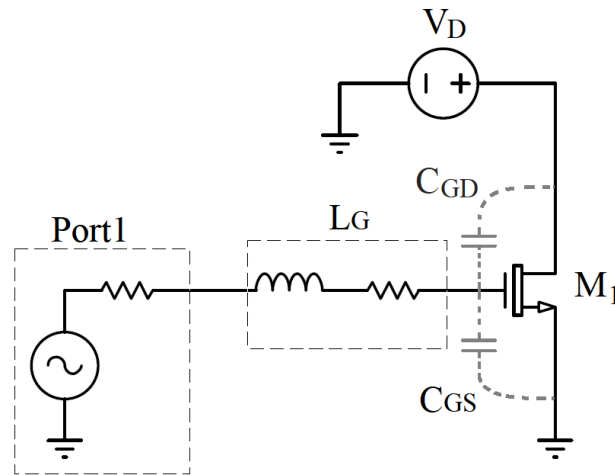


Figura 26 – Simulação da impedância de entrada do transistor M_1 com a extração de parâmetros do ambiente de simulação Virtuoso

meio da equação na região de inversão forte, definida por (LEE, 2003) como

$$C_{GS,strong} = \frac{2}{3}W.L.C'_{ox} = 287 \text{ fF}, \quad (5.1)$$

o que contribui para as hipóteses descritas acima.

A correção no valor de corrente do transistor M_1 foi realizada a partir da redução em W_1 de $376 \mu m$ para $170 \mu m$. No que diz respeito à correção no valor de capacitância, necessário para o casamento de impedâncias, optou-se por utilizar o valor simulado em conjunto com a Eq.3.3. Realizando esse procedimento, foi possível observar também a influencia da capacitância C_{GD} na impedância de entrada do transistor M_1 , visto que essa grandeza é proporcional à tensão V_{GD} . O valor de capacitância C_{GD} pôde ser obtido também por meio do ambiente de simulação Virtuoso, e sua influência foi validada por meio de um circuito ressonante com um indutor ideal disposto no gate do transistor, conforme ilustrado na Fig.26.

Na Fig.26, os blocos tracejados indicam um único símbolo. Ambas resistências internas a eles possuem o valor de 50Ω . A ressonância foi avaliada por meio da simulação de parâmetros S. O valor de indutância foi alterado de forma com que o pico negativo no valor de S_{11} , estivesse na frequência de ressonância estudada, 2.45 GHz . Nota-se que a contribuição de C_{GD} para a capacitância total equivalente será o resultado da associação em paralelo entre ela e C_{GS} . Nessa configuração, os valores encontrados foram comparados com o resultado obtido por meio da Eq.3.3, considerado o efeito de ambas capacitâncias. Nesse experimento, $W_1 = 170 \mu m$. Os dados obtidos são destacados na Tabela 4.

Vale ressaltar que o valor de indutância aferido por meio do experimento anterior não está relacionado com o valor de indutância final, visto que o intuito desse procedimento era identificar e comprovar o efeito da capacitância C_{GD} na impedância de entrada. A

Tabela 4 – Valores de Capacitâncias Extraídos por Simulação

C_{GS}	C_{GD}	L_G (calculado)	L_G (simulado)
97,10 fF	75,02 fF	24.72 nH	22.5 nH

indutância final, ainda leva em conta não só as capacitâncias parasitas presentes no indutor integrado, que podem ser estimadas por meio da frequência de ressonância do indutor, como também o efeito da realimentação inserida pelo capacitor C_{GD} , o qual altera de forma significativa tanto a parte imaginária, quanto a parte real da impedância de entrada e será analisado posteriormente. Desconsiderando a realimentação para efeito de cálculos iniciais, uma forma mais precisa do que a Eq.3.3 para se estimar o valor de L_G é descrita abaixo

$$L_G \approx \frac{1}{\omega^2(C_{GS} + C_{CG} + C_{ind})}. \quad (5.2)$$

O valor de indutância elevado (62,4 nH) inicialmente encontrado desconsiderando os efeitos parasitas supracitados, não foi suficiente para se atingir a resistência série de 50Ω , efeito que se agrava à medida que se consideram os efeitos parasitas adicionais, o que diminui drasticamente o valor de indutância necessário e, conseqüentemente da sua resistência interna. Substituindo, por exemplo, os valor de indutância simulado da Tab.4, obtém-se $R_G = 21.93 \Omega$. Por sorte, ao inserir o indutor integrado em um circuito simplificado, descrito na Fig.26, observou-se que a resistência interna do indutor, não refletia, de fato, a resistência equivalente do circuito. Como citado anteriormente, a parte real da impedância foi alterada de forma significativa pelo caminho de realimentação imposto por C_{GD} . Seu efeito pôde ser calculado de forma semelhante ao procedimento utilizado para aferir a impedância de saída do LNA. O seu equacionamento levou em conta a aplicação das leis de Kirchhoff na malha definida pela corrente I_T e nós V_G e V_D , definidos na Fig.27, a partir dos quais foi possível chegar na impedância real equivalente do LNA, a qual é definida por

$$Re\{Z_{in}\} = R_G + \frac{C_{GD}R_X(C_{GD}R_Xgm_1 + C_{GS})}{\omega^2C_{GD}^2C_{GS}^2 + (C_{GD}R_Xgm + C_{GS} + C_{GD})^2} \quad (5.3)$$

Onde R_X modela a resistência equivalente vista pelo nó V_D . Substituindo os valores calculados no segundo termo da Eq.5.3, e substituindo o valor $R_X = 1/gm_2$, com os dados calculados no capítulo anterior, obtém-se 37Ω . Dessa forma, a resistência série do indutor necessária para casar o circuito na parte real é limitada a $R_G = 13 \Omega$, o que é possível de se atingir com um indutor de pequeno valor.

As Modificações no valor de L_G seguiram as Eqs.5.2 e 5.3, onde o valor de C_{ind} foi extraído a partir de análises paramétricas da frequência de ressonância, semelhante

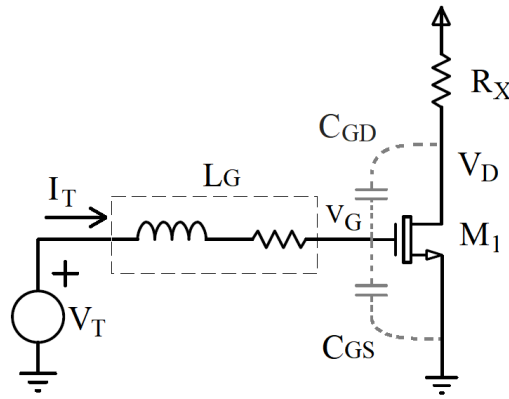


Figura 27 – Modelo simplificado utilizado para o cálculo analítico da impedância de entrada do LNA estudado, considerando o efeito da capacitância C_{GD}

ao processo de validação utilizado para aferir C_{GD} . Com isso foi possível obter o valor de indutância final, $L_G = 10.9 nH$, cujas características estão destacadas na Tab.5

Tabela 5 – Características do indutor de 10,9 nH

Espessura	Raio interno	Espiras	Multiplicador
$3 \mu m$	$30 \mu m$	7	1

As previsões de transcondutância e corrente previstas para a região de inversão forte a partir da equação simplificada, utilizadas no dimensionamento dos transistores M_2 e M_6 também sofreram alterações em relação ao resultado de simulação. Com o valor obtido por meio da Eq.4.4, a tensão V_{GS2} foi de aproximadamente 700mV, o que tirou o transistor M_1 da região de saturação, necessitando o aumento no valor de W_2 para elevar a tensão V_{DS1} . Semelhantemente ao fenômeno descrito anteriormente, o tamanho estimado por meio da Eq.4.8, resultou em apenas 75% do valor transcondutância esperado, necessitando um pequeno aumento no valor de W_6 calculado.

Por fim, a partir das modificações propostas anteriormente, o desempenho inicial do amplificador pôde ser avaliado por completo. Os resultados que se seguem foram realizados utilizando fontes de tensão e correntes ideais, de forma a avaliar de forma simplificada as figuras de mérito iniciais pertinentes a topologia escolhida. Os valores utilizados para as verificações completas estão contidos na tabela 6.

Tabela 6 – Comparação entre os dados calculados e os dados utilizados em simulação.

Parâmetros	V_G	L_G	W_1	W_2	W_6	V_B	R_D
Calculados	$378 mV$	$10,9 nH$	$170 \mu m$	$3,7 \mu$	$23,7 \mu m$	$754 mV$	935Ω
Simulados	$378 mV$	$10,0 nH$	$170 \mu m$	10μ	$38 \mu m$	$754 mV$	950Ω

O ganho do amplificador foi medido por meio do parâmetro S_{21} , extraído por meio da simulação de parâmetros S com o simulador Spectre, a partir da qual foi possível obter também o casamento de impedâncias por meio dos parâmetros S_{11} e S_{22} . Os resultados foram avaliados ao longo de toda a banda ISM, de 2.4 GHz a 2.49 GHz, destacados na Fig.28.

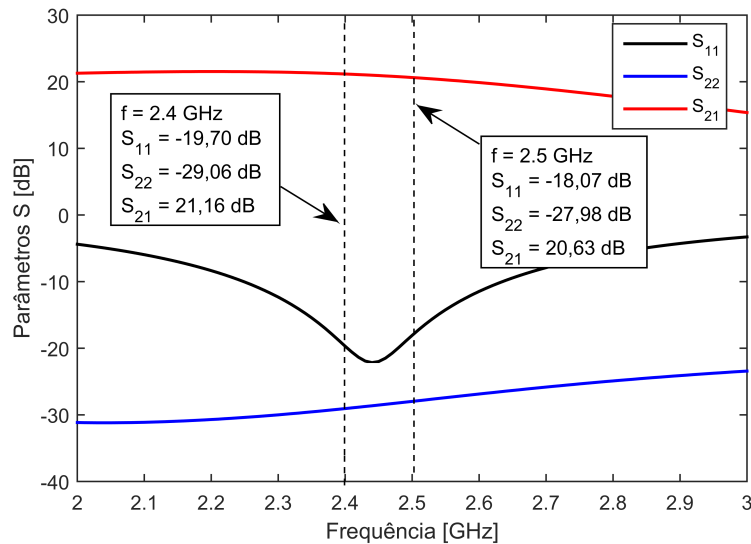


Figura 28 – Resultados iniciais de simulação dos parâmetros S realizada com o uso do simulador Spectre

A figura de ruído do LNA pode ser extraída por meio da simulação de ruído, também presente no simulador Spectre ou por meio da simulação de parâmetros S, a qual foi utilizada. O fator de ruído nessa simulação é calculado por

$$F(f) = \frac{N_o(f) - |X_L|^2 n_L(f)}{|X_s|^2 n_s(f)}, \quad (5.4)$$

definido por (CADENCE, 2007). Nessa equação, $N_o(f)$ é o ruído total na saída em função da frequência. Os termos n_L e n_s referem-se ao ruído devido à carga, que é debitado no resultado final e o ruído da fonte, respectivamente. Os termos $|X_L|$ e $|X_s|$ indicam a função de transferência da saída para a carga e $|X_s|$, a função de transferência relacionada ao ganho do circuito analisado. A figura de ruído foi avaliada também na faixa de frequência estudada e está disposta na Fig.29.

Ainda por meio da simulação de parâmetros S, foi possível extrair o fator de estabilidade de Rollet, ou fator "K", que foi definido anteriormente por meio da Eq.2.12. Os resultados estão expostos nas Figs.30a e 30b.

A fim de aferir a linearidade do circuito, foi realizada uma simulação do tipo *periodic steady state*, PSS, a qual torna possível analisar os efeitos dos harmônicos de terceira ordem e aferir as métricas usuais, tais como P1DB e IIP3. O método utilizado

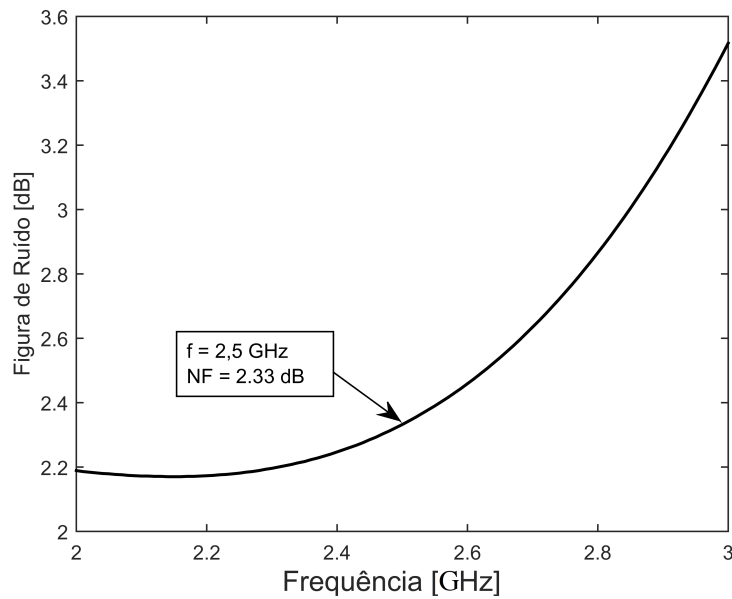


Figura 29 – Figura de ruído obtida por meio da simulação de parâmetros S

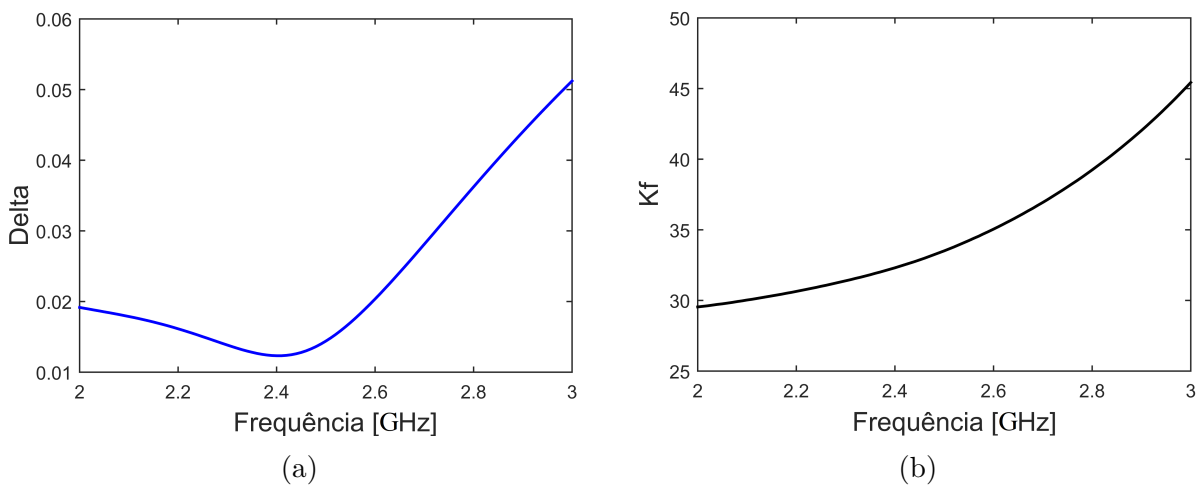


Figura 30 – (a) Estabilidade medida por meio do fator de estabilidade de Rollet, a partir da Eq.2.12. (b) Delta, obtido por meio da Eq.2.13

para aferição do P1DB está disposto na Fig.31. A reta consiste na componente de primeira ordem extrapolada e subtraída de 1dB. Sua intersecção com o ganho real do amplificador indica o ponto de compressão P1DB. A Tabela 7 expõe todas as figuras de mérito descritas anteriormente.

Tabela 7 – Figuras de mérito obtidas na verificação parcial avaliados em 2,45 GHz

Consumo de corrente	S_{11}	S_{22}	S_{21}	NF	P1DB
535, 5 μA	-22,0 dB	-31,6 dB	20,6 dB	2,34 dB	-30,3 dBm

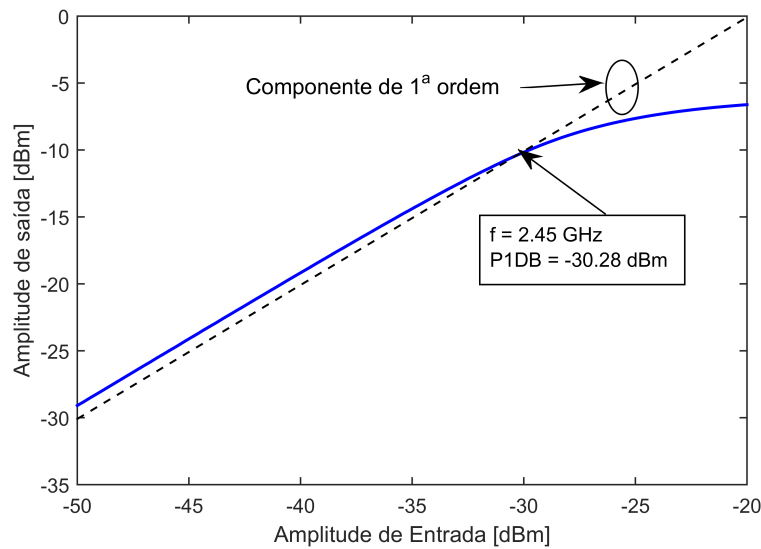


Figura 31 – Ponto de compressão 1db medido por meio da amplitude de saída em função da amplitude de entrada. A reta indicada como componente de 1ª ordem corresponde ao ganho do LNA decrescido de 1dB.

5.1 Discussão

Os resultados obtidos por meio da simulação de parâmetros S, destacadas nas Figs.28 e 29, se apresentaram de acordo com os requisitos estipulados na Tab.2. Porém observa-se que a linearidade do circuito, medida por meio do ponto de compressão -1db, ficou cerca de 10 dBm abaixo do valor especificado. Esse resultado pode ser justificado pela escolha de uma abordagem que considerou de forma majoritária, modelos de pequenos sinais, os quais não levam em conta a excursão do sinal para a polarização dos transistores do LNA. Para aferir o ponto crítico na compressão do ganho, diversas simulações PSS foram realizadas considerando diferentes nós do circuito. O ponto mais crítico observado foi o nó de saída do LNA. A fim de melhorar a linearidade do LNA nesse ponto, foi necessário modificar os parâmetros de polarização a fim de aumentar a tensão de *overdrive* dos transistores M_1 e M_2 (pontos críticos de linearidade) de forma a mantê-los em saturação por toda excursão do sinal de entrada.

Para isso, a largura do transistor M_2 foi aumentada, aumentando assim, a tensão V_{DS1} , o que distancia M_1 da região não linear. Essa alteração, no entanto, resultou em um pequeno aumento no consumo de corrente, degradando ainda mais a linearidade do nó de saída, visto que a queda de tensão no resistor R_D aumenta. Dessa forma, o valor de W_1 foi ajustado para manter o consumo dentro das especificações. Vale ressaltar que tanto o aumento de W_2 , quanto a diminuição de W_1 foram seguidas pelo ajuste no valor de indutância L_G , observando a Eq.5.3, o que reflete também em pequenas mudanças no valor de W_6 , que aumenta proporcionalmente à diminuição da queda de tensão sobre R_D .

Tendo em vista que as modificações descritas no parágrafo anterior não obtiveram

o resultado desejado, muito embora tenham melhorado em 7dB o ponto de compressão P1DB, optou-se pelo aumento no comprimento do transistor M_1 , que é inversamente proporcional à sua corrente, o que reduz o ganho, porém melhora a linearidade não só de M_2 , mas também de M_1 , tendo em vista o aumento no valor de r_{o1} .

Por fim, observou-se que o estágio utilizado para o casamento de impedâncias na saída estava contribuindo de forma negativa para a linearidade do circuito. Isso foi observado por meio da sua substituição dos transistores M_6 e M_7 por um circuito de casamento de impedâncias com redes L, dispostos entre a carga de 50Ω e a saída do LNA. Com essa alteração, o estágio de saída foi facilmente casado e o circuito completo atingiu os requisitos de linearidade.

No entanto, em relação ao ganho de tensão do LNA, observou-se uma redução de 10dB, o que já era esperado devido ao fato de redes do tipo L atenuar a amplitude do sinal, compensando por um aumento de corrente, de forma que a potência máxima seja transmitida, o que torna inviável aferir o ganho de tensão do LNA por meio dessa porta. Fato semelhante é observado com a utilização de uma porta com valor de resistência igual a resistência de saída do LNA, visto que a definição dos parâmetros S pressupõe portas com a mesma impedância, resultando em um ganho (S_{21}) menor do que o observado.

Com isso, optou-se por utilizar da técnica apresentada por (DO et al., 2008), que consiste na utilização de dois resistores em série com resistência equivalente $R_{eq} = R_D$ utilizados como carga do LNA, sendo que o primeiro resistor possui valor $R'_D = 50\Omega$, configuração ilustrada pelo bloco R_D da Fig.24. Essa configuração não altera o ganho do circuito, porém permite medir o ganho de forma mais precisa e ainda assim, garante o casamento de impedâncias na saída. Isso pode ser observado por meio análise da resistência equivalente vista no nó entre os resistores R_D . Por meio dos valores calculados e otimizados, sabe-se que $R'_D \gg R''_D$, de forma que $R'_{out} \approx 50\Omega$. Tendo em vista que o nó de saída do LNA apresenta uma capacitância baixa, tendo em vista a retirada de M_6 , a parte imaginária pode ser desconsiderada. Por essa configuração, o ganho do LNA pode ser precisamente medido pelo fator de atenuação da rede resistiva, que pode ser obtido do circuito simplificado disposto na figura abaixo.

A partir de uma análise AC, a qual anula as fontes de tensão DC, observa-se que o fator de atenuação será obtido por meio de um simples divisor de tensão. Com isso, o ganho do LNA, compensado por meio do inverso da atenuação, é obtido por

$$A_V = S_{21} \frac{V_{out}}{V'_{out}} = \left(\frac{R''_D(R_{out} + R'_D)}{R'_D \cdot R_{out}} + 1 \right) S_{21} \quad (5.5)$$

Vale ressaltar que a resistência de saída alterada por meio do coeficiente de reflexão na saída (POZAR, 2009). Portanto, a resistência de saída será dada por

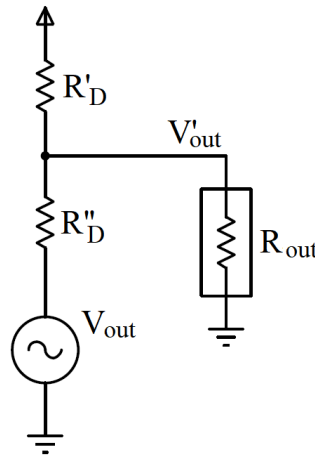


Figura 32 – Circuito equivalente utilizado para aferição do ganho e linearidade do LNA

$$R_{out} = 50 \Omega \left(\frac{1 + S_{22}}{1 - S_{22}} \right) \quad (5.6)$$

Destaca-se que o método descrito anteriormente não se aplica para aferição da figura de ruído do LNA, tendo em vista que a relação sinal - ruído nesse ponto é muito menor do que o obtido na saída do LNA. Dessa forma, um circuito de casamento de impedâncias deve ser mantido na saída do LNA para aferir a figura de ruído, seja ele a partir de um estágio dreno comum ou por meio de redes passivas.

5.2 Resultados Finais

Por meio da implementação das alterações discutidas na seção anterior e otimização dos parâmetros considerando os requisitos apresentados, foi possível desenvolver o circuito final, descrito pela Fig.33. A modificação do circuito de casamento na saída para redes passivas, melhorou tanto a linearidade, quanto o coeficiente de reflexão na saída para o caso ideal. Porém, ao substituir os componentes ideais, em específico o indutor, por componentes da tecnologia utilizada, observou-se que o casamento de saída apresentou piores resultados se comparados à versão com estágio CD na saída, mesmo otimizando os valores da rede após inseridas no circuito. Isso se deve ao fato de o fator de qualidade da rede L utilizada ter sido limitado pela resistência série do indutor, o que alterara a razão das resistências de saída e entrada da rede de casamento. A Fig.34 ilustra a diferença entre o circuito de casamento ideal e o circuito real.

O ponto de compressão 1 dB avaliado por meio do circuito casado com elementos passivos (Fig.33) é ilustrado na figura 35. Os parâmetros S são destacados pela Fig.36. Essa figura refere-se à porta 1 ilustrada pela Fig.33 onde o ganho A_v , foi calculado por meio das Eqs.5.5 e 5.6. A figura de ruído máxima obtida por meio das simulações de parâmetros S, na saída. A estabilidade do circuito não se modificou de forma significativa, mantendo-se

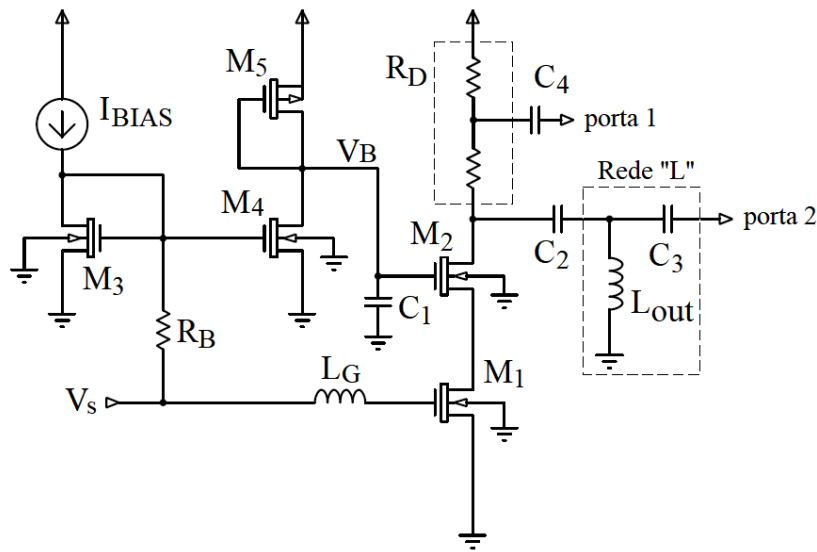


Figura 33 – Topologia alternativa proposta a fim de se atingir as especificações de linearidade. Por meio da porta 1, as medidas de ganho e linearidade podem ser obtidas. A porta 2 é utilizada para medir a figura de ruído do LNA.

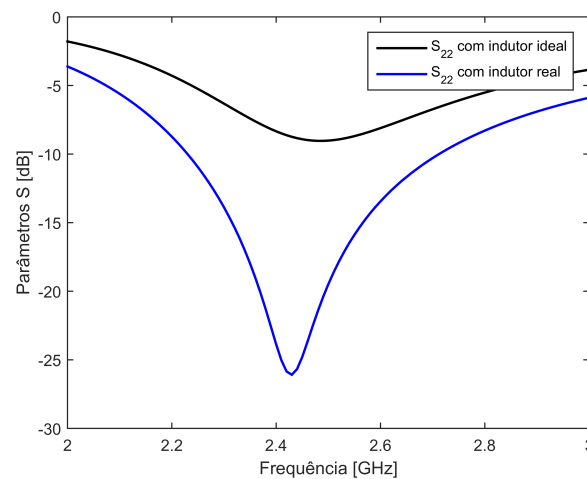


Figura 34 – Resultados obtidos para o casamento com redes LC do tipo "L" na saída. O traço em azul foi simulado a partir de elementos ideais presentes no ambiente Virtuoso. O traço preto indica o resultado referente a utilização de indutores da tecnologia 130 nm da TSMC.

incondicionalmente estável para toda a faixa de frequência estudada. A Tab.8 expõe o comparativo entre os resultados obtidos por ambas topologias propostas, representadas pelas Figs.24 e 33.

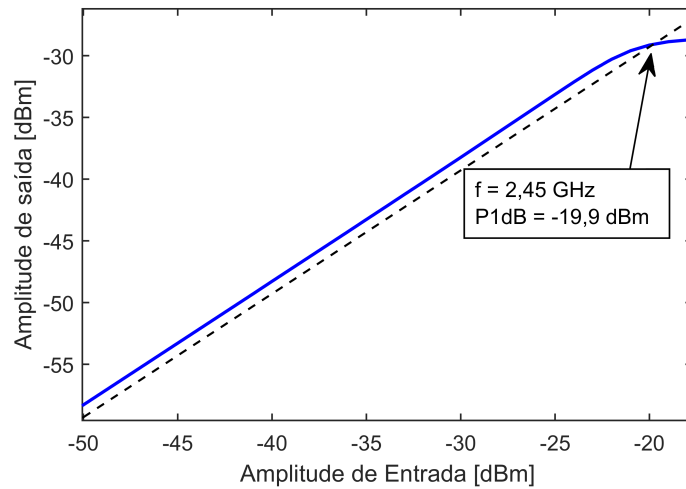


Figura 35 – P1DB simulado após a otimização dos parâmetros do circuito e com a inserção da rede passiva para o casamento de impedâncias.

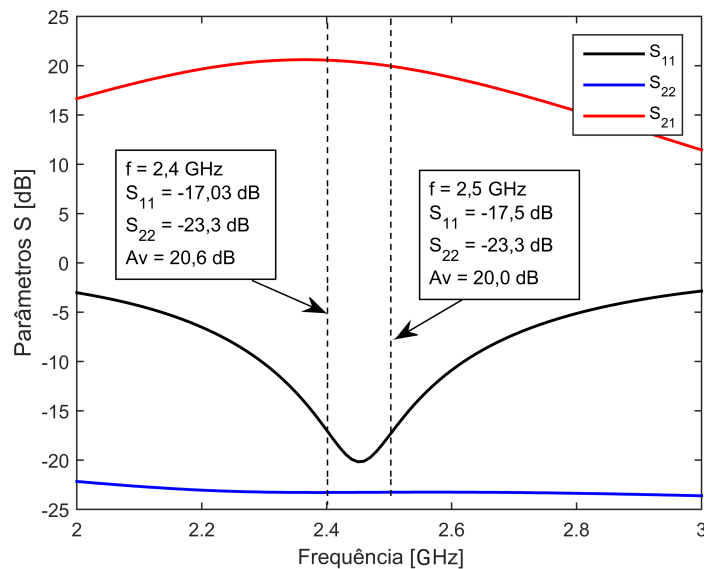


Figura 36 – Circuito equivalente utilizado para aferição do ganho e linearidade do LNA

Tabela 8 – Comparação dos resultados obtidos entre as duas topologias propostas

Circuito	I_D	S_{21}	S_{11}	S_{22}	NF	P1DB
Topologia 1 (Fig.24)	465 μA	20,1 dB	-20,0 dB	-21,3 dB	2,5 dB	-21,3 dBm*
Topologia 2 (Fig.33)	465 μA	20,3 dB	-23,3 dB	-8,9 dB	2,5 dB	-19,9 dBm

*Parâmetro medido antes do estágio de casamento por dreno comum.

6 Conclusão

Após definir os conceitos pertinentes ao projeto de amplificadores de baixo ruído para *Front-end* de recepção ZigBee, foi possível obter uma compreensão sobre o funcionamento do sistema como um todo, em especial dos blocos LNA, e como adequá-los ao uso em IoT. Por meio da análise de diversos parâmetros entre as diversas topologias de LNA baseadas no baixo consumo energético, menor disposição de área em circuitos integrados e uso mínimo de componentes externos, baseada na comparação entre as suas figuras de mérito, tais como figura de ruído, ponto de compressão e ganho, foi possível concluir que a topologia proposta por (DO et al., 2008) foi a que melhor se enquadrava para aplicações em IoT, seguindo os padrões estabelecidos pela norma IEEE 802.15.4. Com essa topologia, foi possível extrair um ganho de pelo menos 20 dB com uma figura de ruído de 2,5 dB e consumo de corrente na ordem de microwatts.

O estudo realizado sobre o regime de operação em regime sub-limiar impôs uma série de desafios no projeto, desde o cálculo da corrente do transistor, até o seu ruído, tendo em vista a diversidade de abordagens e modelagens presentes na literatura. Por outro lado, as escolhas realizadas com respeito às modelagens do comportamento físico do MOSFET na região sub-limiar se mostraram condizentes e próximas com os resultados simulados.

Durante o desenvolvimento analítico e por meio das análises iniciais, observou-se que a figura de mérito mais crítica no desenvolvimento do LNA foi a linearidade. Por meio das simulações e análises paramétricas, verificou-se que a queda de tensão na carga resistiva, bem como a rede de casamento de impedâncias na saída do LNA foram os fatores que mais limitaram a linearidade do LNA, porém não impossibilitaram de se atingir os resultados esperados.

Por fim, observou-se a importância em se projetar sistemas e sub-sistemas de baixíssimo consumo energético e preço unitário mínimo a fim de possibilitar novas ideias e o desenvolvimento desse conceito de forma mais ampla no futuro, possibilitando, assim, a aplicação em objetos de consumo do cotidiano que dispõem de pouca ou nenhuma fonte de energia armazenada de forma rentável e viável, muito embora o desenvolvimento do hardware se torne complexo. Dessa forma, espera-se que o desenvolvimento tecnológico e industrial sobre esse tema possa gerar uma integração ainda maior entre os dispositivos eletrônicos, aumentar precisão de medidas e métricas de desempenho em grandes áreas, tais como fazendas e parques eólicos, possibilitar controles de qualidade eficientes sobre determinado produto e a criação de objetos inteligentes, cujas funcionalidades se tornem adaptativas e interativas com o usuário final.

Referências

- ABDELBADIE, S. A. et al. An ultra-low-power RF receiver for IoT applications using 65nm CMOS technology. In: IEEE. *7th International Conference on Modern Circuits and Systems Technologies (MOCAS)*. [S.l.], 2018. p. 1–5. Citado na página 42.
- ALI, M. N. *Lecture 14: MOSFET LNA Design, University of California, Berkeley*. 2005. Disponível em <http://rfic.eecs.berkeley.edu/~niknejad/ee142_fa05lects/pdf/lect14.pdf> Último acesso: 26/06/2019. Citado na página 53.
- ALIANCE, Z. ZigBee specification. *Zigbee Standard Organisation, San Ramon*, 2008. Citado na página 28.
- AMARAL, W. A. *Notas de aula em Eletrônica de Rádio Frequência*. 2017. Citado na página 65.
- BAKER, N. ZigBee and Bluetooth: strengths and weaknesses for industrial applications. *Computing and Control Engineering, IET*, v. 16, n. 2, p. 20–25, 2005. Citado na página 28.
- BINKLEY, D. M. *Tradeoffs and Optimization in Analog CMOS Design*. [S.l.]: John Wiley & Sons, 2008. Citado 4 vezes nas páginas 14, 48, 49 e 50.
- CADENCE. *Virtuoso Spectre Circuit Simulator RF Analysis User Guide*. [S.l.], 2007. Citado na página 73.
- COMER, D. J.; COMER, D. T. Operation of analog MOS circuits in the weak or moderate inversion region. *IEEE Transactions on Education, IEEE*, v. 47, n. 4, p. 430–435, 2004. Citado 4 vezes nas páginas 14, 46, 47 e 51.
- COMMITTEE, I. C. S. L. M. S. et al. Wireless LAN medium access control (MAC) and physical layer (PHY) specifications. *IEEE Standard 802.11-1997*, The Institute of Electrical and Electronics Engineers, 1997. Citado 4 vezes nas páginas 29, 30, 33 e 65.
- DATTA, S. et al. Pseudo concurrent quad-band LNA operating in 900 MHz/1.8 Ghz and 900 MHz/2.4 GHz bands for multi-standard wireless receiver. In: IEEE. *24th International Conference on VLSI Design (VLSI Design)*. [S.l.], 2011. p. 124–129. Citado na página 42.
- DISSANAYAKE, A. et al. A 64 μ W, 23 dB gain, 8 dB NF, 2.4 Ghz RF front-end for ultra-low power Internet-of-Things transceivers. In: IEEE. *Radio Frequency Integrated Circuits Symposium (RFIC)*. [S.l.], 2017. p. 184–187. Citado 2 vezes nas páginas 60 e 63.
- DO, A. V. et al. A subthreshold low-noise amplifier optimized for ultra-low-power applications in the ISM band. *IEEE Transactions on Microwave Theory and Techniques, IEEE*, v. 56, n. 2, p. 286–292, 2008. Citado 9 vezes nas páginas 14, 36, 47, 48, 63, 64, 65, 76 e 81.
- ENZ, C. C.; KRUMMENACHER, F.; VITTOZ, E. A. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current

- applications. *Analog Integrated Circuits and Signal Processing*, Springer, v. 8, n. 1, p. 83–114, 1995. Citado 5 vezes nas páginas 49, 50, 51, 59 e 65.
- EVANS, D. The internet of things: How the next evolution of the internet is changing everything. *CISCO white paper*, v. 1, n. 2011, p. 1–11, 2011. Citado 2 vezes nas páginas 25 e 27.
- FARAHANI, S. *ZigBee wireless networks and transceivers*. [S.l.]: Newnes, 2011. Citado 3 vezes nas páginas 13, 29 e 30.
- GHOSAL, K.; KANNAN, S.; AMRUTUR, B. A power scalable receiver front-end at 2.4 GHz. In: IEEE. *IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.], 2011. p. 2765–2768. Citado 2 vezes nas páginas 13 e 46.
- GOLDSMITH, A. *Wireless communications*. [S.l.]: Cambridge university press, 2005. Citado na página 27.
- GRAY, P. R. et al. *Analysis and design of analog integrated circuits*. [S.l.]: Wiley, 2001. Citado na página 49.
- GUBBI, J. et al. Internet of things (IoT): A vision, architectural elements, and future directions. *Future generation computer systems*, Elsevier, v. 29, n. 7, p. 1645–1660, 2013. Citado na página 27.
- HAFEZ, A. A.; DESSOUKY, M. A.; RAGAI, H. F. Design of a low-power ZigBee receiver front-end for wireless sensors. *Microelectronics journal*, Elsevier, v. 40, n. 11, p. 1561–1568, 2009. Citado na página 44.
- KIM, Y.-J.; HWANG, I.-c.; BAEK, D. A switchless ZigBee frontend transceiver with matching component sharing of LNA and PA. *IEEE Microwave and Wireless Components Letters*, IEEE, v. 20, n. 9, p. 516–518, 2010. Citado 2 vezes nas páginas 42 e 43.
- LEE, H.; MOHAMMADI, S. A 3GHz subthreshold CMOS low noise amplifier. In: IEEE. *Symposium on IEEE Radio Frequency Integrated Circuits (RFIC)*. [S.l.], 2006. Citado 2 vezes nas páginas 63 e 65.
- LEE, J.-S.; SU, Y.-W.; SHEN, C.-C. A comparative study of wireless protocols: Bluetooth, UWB, ZigBee, and Wi-Fi. In: IEEE. *33rd Annual Conference of the IEEE Industrial Electronics Society, IECON*. [S.l.], 2007. p. 46–51. Citado na página 28.
- LEE, T. H. *The design of CMOS radio-frequency integrated circuits*. [S.l.]: Cambridge university press, 2003. Citado na página 70.
- NENOKI, E. *ZigBee: estudo da tecnologia e aplicação no sistema elétrico de potência*. Dissertação (B.S. thesis) — Universidade Tecnológica Federal do Paraná, 2013. Citado 2 vezes nas páginas 28 e 29.
- NIROUEI, M. et al. A high conversion gain, low noise figure RF-CMOS receiver front-end IC for 2.4-GHz applications. In: IEEE. *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*. [S.l.], 2010. p. 839–842. Citado 3 vezes nas páginas 13, 44 e 45.

- OH, N.-J.; LEE, S.-G. Building a 2.4-GHz radio transceiver using IEEE 802.15. 4. *IEEE Circuits and Devices Magazine*, IEEE, v. 21, n. 6, p. 43–51, 2006. Citado 2 vezes nas páginas 32 e 34.
- OUALLI, A. I. et al. Straightforward methodology for ultra low power design of a RF LNA in 130 nm CMOS technology. *Recent Advances in Circuits, Systems, Telecommunications and Control, WSEAS*, v. 26, p. 58–61, 2013. Citado 2 vezes nas páginas 48 e 60.
- PERROT, M. H. *Lecture 16: Subthreshold Operation and gm/id Design, University of California, Berkeley*. 2005. Disponível em <<http://www.cppsim.com/CircuitLectures/Lecture16.pdf>> Último acesso: 26/06/2019. Citado na página 51.
- POZAR, D. M. *Microwave engineering*. [S.l.]: John Wiley & Sons, 2009. Citado 3 vezes nas páginas 34, 37 e 76.
- RAZAVI, B. *RF Microelectronics*. [S.l.]: Prentice Hall New Jersey, 1998. v. 2. Citado 20 vezes nas páginas 13, 30, 31, 32, 33, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 53, 55, 56, 59 e 66.
- RERUM. Advanced techniques to increase the lifetime of smart objects and ensure low power network operation. 2015. Citado na página 25.
- SANTOS, B. P. et al. Internet das coisas: da teoriaa prática. *Minicursos SBRC-Simpósio Brasileiro de Redes de Computadores e Sistemas Distribuídos*, 2016. Citado 2 vezes nas páginas 25 e 27.
- SARHANGIAN, S.; ATARODI, S. M. A low-power CMOS low-IF receiver front-end for 2450-MHz band IEEE 802.15. 4 ZigBee Standard. In: IEEE. *IEEE International Symposium on Circuits and Systems. ISCAS 2007*. [S.l.], 2007. p. 433–436. Citado 4 vezes nas páginas 13, 42, 44 e 45.
- SEDRA, A. S.; SMITH, K. C. *Microelectronic circuits*. [S.l.]: Oxford University Press, 2014. v. 7. Citado na página 58.
- TARIS, T.; BEGUERET, J.-B.; DEVAL, Y. A 60 μ W LNA for 2.4 GHz wireless sensors network applications. In: IEEE. *Radio Frequency Integrated Circuits Symposium (RFIC)*. [S.l.], 2011. p. 1–4. Citado na página 46.
- VASILESCU, G. *Electronic noise and interfering signals: principles and applications*. [S.l.]: Springer Science & Business Media, 2006. Citado 2 vezes nas páginas 33 e 34.
- VINAYA, M.; PAILY, R. P.; MAHANTA, A. A low-power subthreshold LNA for mobile applications. In: IEEE. *19th International Symposium on VLSI Design and Test*. [S.l.], 2015. p. 1–5. Citado 3 vezes nas páginas 14, 49 e 51.
- XIA, B.; QI, N.; WU, L. L. N. A Low-Power 2.4 GHz ZigBee Transceiver with Inductor-less RF Front-end for IoT Applications. *IET Circuits, Devices & Systems*, IET Digital Library, 2017. Citado 5 vezes nas páginas 13, 27, 28, 45 e 60.
- ZHANG, D. et al. Internet of Things. *J. UCS*, v. 18, p. 1069–1071, 2012. Citado na página 27.

Apêndices

APÊNDICE A – Tabelas com os dados finais do esquemático

Tabela 9 – Dimensões e valores obtidos para a topologia 1 (Fig.24)

Variável	Valor	Informações adicionais
W_1	$147 \mu m$	Fingers: 1
L_1	$230 nm$	
W_2	$13 \mu m$	Fingers: 2
W_3	$25,5 \mu m$	Fingers: 1
L_3	$4 \mu m$	
W_4	$2,9 \mu m$	Fingers: 4
L_4	$350 nm$	
W_5	$1,5 \mu m$	Fingers: 1
L_5	$6,6 \mu m$	
W_6	$200 \mu m$	Fingers: 3
L_6	$170 nm$	
W_7	$70 \mu m$	Fingers: 1
L_2, L_7	$70 \mu m$	
L_G	$9,60 nH$	$r = 40 \mu, n = 8, W = 3 \mu m$
R_B	$10 k\Omega$	$W = 500 nm, L = 759,2 \mu m$
R'_D	700Ω	$W = 7 \mu m, L = 19,7 \mu m$
R''_D	50Ω	$2 \times W = 7 \mu m, L = 2,38 \mu m$
C_1, C_2, C_4	$1pF$	$L = 100 \mu m, W = 10 \mu m$

Tabela 10 – Dimensões e valores obtidos para a topologia 2 (Fig.33)

Variável	Valor	Informações adicionais
W_1	$147 \mu m$	Fingers: 1
L_1	$230 nm$	
W_2	$13 \mu m$	Fingers: 2
W_3	$25,5 \mu m$	Fingers: 1
L_3	$4 \mu m$	
W_4	$2.9 \mu m$	Fingers: 4
L_4	$350 nm$	
W_5	$1.5 \mu m$	Fingers: 1
L_5	$6,6 \mu m$	
L_2, L_7	$70 \mu m$	
L_G	$9,60 nH$	$r_i = 40 \mu, n = 8, W = 3 \mu m$
R_B	$10 k\Omega$	$W = 500 nm, L = 759,2 \mu m$
R'_D	700Ω	$W = 7 \mu m, L = 19,7 \mu m$
R''_D	50Ω	$2 \times W = 7 \mu m, L = 2,38 \mu m$
C_1, C_2, C_4	$1 pF$	$L = 100 \mu m, W = 10 \mu m$
C_3	$289,8 fF$	$L = 27 \mu m, W = 10 \mu m$
L_{out}	$8,6 nF$	$r_i = 65 \mu, n = 6, W = 9 \mu m$

APÊNDICE B – Simulação de Validação das Equações

A equação que dita o efeito de capacitância C_{GD} na impedância de entrada do LNA foi verificada por meio do Software ADS, a partir do qual foram testados diferentes valores de capacitâncias e transcondutâncias, em conjunto com a Eq.5.3. O testbench de simulação é ilustrado na Fig.38

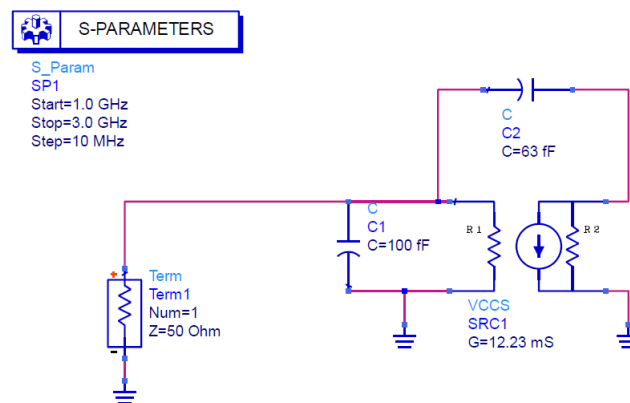


Figura 37 – Testbench de simulação utilizado para validar a equação de casamento de impedâncias.

Para melhor validar os cálculos realizados ao longo do fluxo de projeto, códigos foram realizados no Matlab. Os resultados eram então validados por meio das equações antes de alterar o circuito a nível de esquemático.

```

clear all
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Valores constantes/fixos %%%%%%%%%%
kn = 593e-6; % A/(V^2)
vtn = 400e-3; % Tensão de disparo considerando efeitos de canal curto
q = 1.602e-19; % Carga elementar
k = 1.38e-23; % Constante de Boltzmann
T = 300; %K
ut = 0.026; %V
n = 1.5;
l = 130e-9; %m
id = 550e-6; %A (Corrente máxima)
av = 10; %V/V (20dB)
veff = -0.072; % Sub-threshold limit
vgs1 = veff + vtn;
vgs2 = 625e-3; % Esse valor deve ser maior que vtn
cox = 8.82e-3; %F/m
f = 2.44e9; %Hz
w = 2*pi*f; %Freq angular
mu = (kn/cox); % (m^2)/(V.s)
rs = 50; % Ohms
gm1 = id/(n*ut); %A/V
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Dimensionando M1 E M2 %%%%%%%%%%
W1 = (id*1)/(2*n*kn*(ut^2)*exp((vgs1 - vtn)/(n*ut)));
W2 = (2*id*1)/(kn*(vgs2 - vtn)^2);
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Calculo de Capacitâncias %%%%%%%%%%
cgs = W1*1*(2/3)*cox;
cgs2 = W1*1*cox*exp((vgs1 - vtn)/(n*ut));
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Calculo de LG %%%%%%%%%%
cgs2 = 97.1e-15 + 75.02e-15;
lg = 1/(((2*pi*f)^2)*cgs2);
r1 = (2*rs*w*cgs*av)/gm1;
gm2 = 2*id/(vgs2 - vtn);
F = 1 + (r1*rs*(w^2)*(cgs2^2)*n + 2*rs*(w^2)*(cgs2^2))/(1*(gm1^2*r1))
NF = 10*log10(F)
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Casamento de impedâncias na entrada
cgs = 100e-15;
cgd = 63e-15;
rx = 1200;
gm = 12.23e-3;
re_zin = (cgd*rx*(cgd*rx*gm+cgd))/((w^2)*(cgd^2)*(cgs^2)*(rx^2)+(cgd*rx*gm + cgs + cgd)^2);
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%IDS M2
id = 550e-6;
vgs2 = 654e-3;
vtn = 400e-3;
W2 = (2*id*1)/(kn*(vgs2 - vtn)^2);
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Dimensionamento do transistor de saída (casamento)
vgs6 = 585e-3;
vtn = 400e-3;
W6 = 1/(50*kn*(vgs6-vtn))

```

Figura 38 – Código utilizado para validação dos cálculos analíticos com o ADS com o simulador Spectre.