



Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA  
Engenharia Eletrônica

# **Projeto de um Regulador de Tensão para uma Tag UHF/UWB Passiva para o Monitoramento de Sinais Vitais**

Autor: Aline Rosa dos Santos Rocha  
Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF  
2021



Aline Rosa dos Santos Rocha

**Projeto de um Regulador de Tensão para uma Tag  
UHF/UWB Passiva para o Monitoramento de Sinais  
Vitalis**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF

2021

---

Aline Rosa dos Santos Rocha

Projeto de um Regulador de Tensão para uma Tag UHF/UWB Passiva para o Monitoramento de Sinais Vitais/ Aline Rosa dos Santos Rocha. – Brasília, DF, 2021-

72 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Wellington Avelino do Amaral

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA , 2021.

1. Palavra-chave01. 2. Palavra-chave02. I. Prof. Dr. Wellington Avelino do Amaral. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Projeto de um Regulador de Tensão para uma Tag UHF/UWB Passiva para o Monitoramento de Sinais Vitais

CDU 02:141:005.6

---

Aline Rosa dos Santos Rocha

# **Projeto de um Regulador de Tensão para uma Tag UHF/UWB Passiva para o Monitoramento de Sinais Vitais**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 01 de novembro de 2021:

---

**Prof. Dr. Wellington Avelino do  
Amaral**  
Orientador

---

**Prof. Dr. Sandro Augusto Pavlik  
Haddad**  
Convidado 1

---

**Prof. Dr. Jose Camargo da Costa**  
Convidado 2

Brasília, DF  
2021

*Este trabalho é dedicado aos que não desistem,  
aos que sonham e aos que alcançam.*

# Agradecimentos

Agradeço à Universidade de Brasília e ao ensino superior público por levarem ciência e pesquisa para todos. A Universidade é símbolo de resistência em tempos de perseguição. Agradeço ao meu orientador Prof. Dr. Wellington Avelino do Amaral por ensinar sobre humanidade e compaixão, direcionar os caminhos para a realização desse trabalho de conclusão de curso e oferecer orientação contínua. Esse trabalho não teria sido possível sem o senhor.

Agradeço aos meus amigos e familiares por todo apoio durante a graduação, incentivo financeiro para continuar e acolhimento emocional sempre que precisei. Ao meu companheiro Bruno que me auxiliou em muitos momentos de angústia. Em todo o tempo, pude contar com vocês e isso fez tudo valer a pena.

Por fim, deixo meu sincero agradecimento à vida por ter me guiado até aqui e me permitido concluir essa fase.

*“O encanto está para a alma,  
assim como a fé está para a vida.  
(Rafal M. de Oliveira)*

# Resumo

O monitoramento de sinais vitais sem a necessidade de contato humano é uma necessidade que vem se expandindo nos cuidados com a saúde. Com o surgimento do vírus SARS-Cov-2, conhecido como Covid-19, e o estado de Emergência de Saúde Pública de Importância Internacional, se tornou urgente um procedimento de monitoramento constante e remoto dos sinais vitais de pacientes acometidos pela doença. Diante desse contexto, propõe-se o projeto de um regulador de tensão *Low Dropout* que seja integrante de uma *tag* de identificação em rádio frequência (RFID) em tecnologia *wearable* para monitoramento da frequência cardíaca, frequência respiratória e temperatura corporal.

**Palavras-chaves:** Covid-19, Identificação em frequência, Regulador de tensão e *Low Dropout*.



# Abstract

Monitoring vital signs without the need for human contact is an expanding need in health-care. With the emergence of the SARS-Cov-2 virus, known as Covid-19, and the status of Public Health Emergency of International Importance, a procedure for constant and remote monitoring of vital signs of patients affected by the disease became urgent. In this context, we propose the project of a voltage regulator Low Dropout that is part of a tag of radio frequency identification (RFID) in technology wearable for heart rate monitoring , respiratory rate and body temperature. For this, the methodology of theoretical foundation will be followed, design of the regulator and, finally, simulations and obtained results.

**Key-words:** Covid-19, RFID, Voltage regulator and Low Dropout.

# Lista de ilustrações

Figura 1 – Ilustração da tag RFID vestível para monitoramento remoto de sinais vitais . . . . .	19
Figura 2 – Diagrama de blocos da Tag de RFID . . . . .	19
Figura 3 – Modelo Regulador . . . . .	22
Figura 4 – Topologia básica de um LDO . . . . .	23
Figura 5 – Regiões de operação do regulador LDO . . . . .	26
Figura 6 – Amplificador operacional com par diferencial NMOS . . . . .	27
Figura 7 – Amplificador operacional com par diferencial PMOS . . . . .	27
Figura 8 – Amplificador operacional ideal como caixa preta. . . . .	31
Figura 9 – Amplificador OTA-Miller. . . . .	31
Figura 10 – Modelo de pequenos sinais transistor MOS. . . . .	32
Figura 11 – Modelo de pequenos sinais equivalente OTA-Miller. . . . .	33
Figura 12 – Diagrama de polos e zeros e margem de fase do LDO sem compensação. . . . .	38
Figura 13 – Diagrama de polos e zeros do LDO com compensação. . . . .	38
Figura 14 – Circuito do LDO compensado à nível de transistor. . . . .	39
Figura 15 – Esquemático do regulador LDO com realimentação negativa. . . . .	44
Figura 16 – Esquemático do <i>test bench</i> de ganho e fase do OTA-Miller. . . . .	45
Figura 17 – Esquemático do <i>test bench</i> de <i>slew-rate</i> do OTA-Miller. . . . .	45
Figura 18 – Esquemático do <i>test bench</i> de PSRR do OTA-Miller. . . . .	46
Figura 19 – Esquemático do <i>test bench</i> de resposta transiente do OTA-Miller. . . . .	46
Figura 20 – Esquemático do <i>test bench</i> de ICMR do OTA-Miller. . . . .	47
Figura 21 – Esquemático do <i>test bench</i> de CM do OTA-Miller. . . . .	47
Figura 22 – Esquemático do <i>test bench</i> de ganho e fase do LDO . . . . .	48
Figura 23 – Esquemático do <i>test bench</i> de Regulação de linha do LDO. . . . .	48
Figura 24 – Esquemático do <i>test bench</i> de Regulação de carga do LDO. . . . .	49
Figura 25 – Esquemático do <i>test bench</i> de PSRR do LDO. . . . .	49
Figura 26 – Esquemático do <i>test bench</i> de resposta transiente do LDO a partir de entrada senoidal. . . . .	49
Figura 27 – Esquemático do <i>test bench</i> de resposta transiente do LDO a partir de entrada degrau. . . . .	50
Figura 28 – Esquemático do <i>test bench</i> de resposta transiente do LDO. . . . .	50
Figura 29 – Ganho do OTA-Miller. . . . .	53
Figura 30 – Fase do OTA-Miller. . . . .	53
Figura 31 – PSRR do OTA-Miller. . . . .	54
Figura 32 – <i>Slew-rate</i> do OTA-Miller. . . . .	54
Figura 33 – Faixa de ICMR do OTA-Miller. . . . .	54

Figura 34 – Modo Comum do OTA-Miller. . . . .	55
Figura 35 – Regulação de linha do regulador LDO com variação térmica. . . . .	56
Figura 36 – Regulação de carga do regulador LDO com variação térmica. . . . .	56
Figura 37 – Ganho do regulador LDO sem compensação. . . . .	57
Figura 38 – Margem de Fase do regulador LDO sem compensação. . . . .	57
Figura 39 – Ganho do regulador LDO com compensação externa. . . . .	58
Figura 40 – Margem de Fase do regulador LDO com compensação externa. . . . .	58
Figura 41 – Faixa de PSRR do regulador LDO. . . . .	59
Figura 42 – Resposta transiente de entrada e saída do regulador LDO. . . . .	59
Figura 43 – Resposta transiente de saída do regulador LDO. . . . .	60
Figura 44 – Visão global do <i>layout</i> do CI. . . . .	61
Figura 45 – Visão global do <i>layout</i> do CI com foco no bloco do LDO. . . . .	61
Figura 46 – <i>layout</i> do bloco do LDO. . . . .	61
Figura 47 – <i>layout</i> do bloco do Amplificador de Erro. . . . .	62
Figura 48 – Ganho do regulador LDO FF. . . . .	68
Figura 49 – Fase do regulador LDO FF. . . . .	68
Figura 50 – Faixa de PSRR do regulador LDO FF. . . . .	69
Figura 51 – Regulação de linha do regulador LDO FF. . . . .	69
Figura 52 – Regulação de carga do regulador LDO FF. . . . .	69
Figura 53 – Resposta transiente do regulador LDO FF. . . . .	70
Figura 54 – Ganho do regulador LDO SS. . . . .	70
Figura 55 – Fase do regulador LDO SS. . . . .	70
Figura 56 – Faixa de PSRR do regulador LDO SS. . . . .	71
Figura 57 – Regulação de linha do regulador LDO SS. . . . .	71
Figura 58 – Regulação de carga do regulador LDO SS. . . . .	71
Figura 59 – Resposta transiente do regulador LDO SS. . . . .	72

# Lista de tabelas

Tabela 1 – Comparação topologias LDO . . . . .	30
Tabela 2 – Especificações OTA-Miller . . . . .	43
Tabela 3 – Especificações regulador. . . . .	52
Tabela 4 – Componentes do Amplificador de Erro. . . . .	53
Tabela 5 – Resumo dos resultados do Amplificador de Erro OTA-Miller. . . . .	55
Tabela 6 – Parâmetros do Elemento de Passagem PMOS. . . . .	55
Tabela 7 – Resumo dos resultados do regulador LDO. . . . .	60

# Lista de abreviaturas e siglas

RFID	Identificação em rádio frequência
DC	Corrente contínua
AC	Corrente alternada
LDO	<i>Low Drop Out</i>
PSRR	<i>Power Supply Rejection Ratio</i>
CMOS	Semicondutor de óxido metálico complementar
OTA	Amplificador de transcondutância
ESR	Resistência Série Equivalente
ICMR	Faixa de tensão de modo comum
CM	Modo comum

# Lista de símbolos

$\mu$	Letra grega Mi
$\Lambda$	Lambda
$\zeta$	Letra grega minúscula zeta
$\in$	Pertence

# Sumário

<b>I</b>	<b>INTRODUÇÃO</b>	<b>17</b>
<b>1</b>	<b>INTRODUÇÃO</b>	<b>18</b>
1.1	Motivação	18
1.2	Objetivos	18
1.3	Organização do trabalho	20
<b>II</b>	<b>FUNDAMENTAÇÃO TEÓRICA</b>	<b>21</b>
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA</b>	<b>22</b>
2.1	Regulador de tensão DC	22
2.2	Regulador LDO	23
2.2.1	Blocos do LDO	24
2.2.1.1	Referência de tensão	24
2.2.1.2	Amplificador de Erro	24
2.2.1.3	Elemento de passagem	24
2.2.1.4	Rede de realimentação	25
2.2.2	Grandezas de desempenho do regulador de tensão	25
2.2.2.1	Tensão de <i>Dropout</i>	25
2.2.2.2	Regulação de linha	25
2.2.2.3	Regulação de carga	26
2.2.2.4	Rejeição de ruído de fonte (PSRR)	26
2.2.3	Topologias LDO	26
2.2.3.1	Amplificador operacional com par diferencial NMOS e elemento de passgaem NMOS	27
2.2.3.2	Amplificador operacional com par diferencial NMOS e elemento de passagem PMOS	28
2.2.3.3	Amplificador operacional com par diferencial PMOS e elemento de passgaem NMOS	29
2.2.3.4	Amplificador operacional com par diferencial PMOS e elemento de passgaem PMOS	29
2.2.4	Topologia escolhida	29
<b>2.3</b>	<b>Amplificador Operacional</b>	<b>30</b>
2.3.1	Amplificador Ideal	30
2.3.2	Amplificador de dois estágios	31
2.3.3	Descrição da topologia	31

2.3.4	Análise de pequenos sinais . . . . .	32
2.3.5	Análise em frequência . . . . .	33
2.3.6	Projeto de um OTA-Miller . . . . .	34
<b>2.4</b>	<b>Estabilidade do LDO . . . . .</b>	<b>37</b>
<b>III</b>	<b>METODOLOGIA . . . . .</b>	<b>40</b>
<b>3</b>	<b>METODOLOGIA . . . . .</b>	<b>41</b>
<b>3.1</b>	<b>Virtuoso . . . . .</b>	<b>41</b>
3.1.1	Simulações com auxílio do modelo em Verilog-A . . . . .	41
<b>3.2</b>	<b>Projeto do Amplificador de Erro . . . . .</b>	<b>42</b>
<b>3.3</b>	<b>Elemento de passagem . . . . .</b>	<b>43</b>
<b>3.4</b>	<b>Realimentação negativa . . . . .</b>	<b>43</b>
<b>3.5</b>	<b>Compensação em frequência . . . . .</b>	<b>44</b>
3.5.1	Simulação de <i>Corners</i> . . . . .	44
3.5.1.1	Amplificador OTA-Miller . . . . .	45
3.5.1.2	Regulador LDO . . . . .	47
<b>IV</b>	<b>RESULTADOS . . . . .</b>	<b>51</b>
<b>4</b>	<b>RESULTADOS . . . . .</b>	<b>52</b>
4.1	Amplificador Operacional . . . . .	52
4.2	Elemento de Passagem . . . . .	53
4.3	Regulador LDO . . . . .	55
4.4	<i>Corners</i> . . . . .	59
4.5	<i>Layout</i> . . . . .	60
4.6	Discussões . . . . .	60
<b>V</b>	<b>CONCLUSÃO . . . . .</b>	<b>63</b>
<b>5</b>	<b>CONCLUSÃO . . . . .</b>	<b>64</b>
	<b>REFERÊNCIAS . . . . .</b>	<b>65</b>
	<b>ANEXOS . . . . .</b>	<b>67</b>
	<b>ANEXO A – PRIMEIRO ANEXO . . . . .</b>	<b>68</b>
<b>A.1</b>	<b>Simulações <i>Corners</i> FF . . . . .</b>	<b>68</b>



<b>A.2</b>	<b>Simulações Corners SS</b>	<b>68</b>
------------	------------------------------	-----------

Parte I

Introdução

# 1 Introdução

## 1.1 Motivação

O surgimento do vírus SARS-Cov-2, conhecido como Covid-19, ocorreu em dezembro de 2019 na China e em poucos meses se espalhou pelo mundo. O primeiro caso confirmado no Brasil ocorreu em 20 de janeiro de 2020 e, atualmente, constitui estado de Emergência de Saúde Pública de Importância Internacional ([ORGANIZAÇÃO PAN-AMERICANA DA SAÚDE, 2020](#)). A transmissão desse vírus se dá pelas vias aéreas, por meio de gotículas respiratórias expelidas durante a fala, tosse ou espirros. Dessa forma, para evitar contágio, é fundamental seguir as principais medidas orientadas pelas autoridades sanitárias as quais são: isolamento físico ou domiciliar, assepsia, cuidados individuais, utilização de máscaras, respiradores do tipo N95 e, em ambientes fechados, deve-se realizar a transferência e substituição do ar possivelmente contaminado pelo ar exterior ([MINISTÉRIO DA SAÚDE, 2020](#)).

Pacientes acometidos pela doença que necessitem de internação, segundo a caderneta de Diretrizes para Diagnóstico e Tratamento de Covid-19 do Ministério da Saúde, devem ser monitorados quanto aos sinais vitais e receber tratamento de suporte ([SAÚDE, 2020](#)).

Com o objetivo de se monitorar a frequência respiratória, a frequência cardíaca e a temperatura corporal de pacientes da Covid-19 em ambiente hospitalar, sem a necessidade de contato humano, se propõe o projeto de uma *tag* de identificação em rádio frequência (RFID) empregando alta frequência (UHF, 860-060 MHz) que possa ser utilizado como tecnologia *wearable* (tecnologia vestível). A figura 1 ilustra a transmissão e recepção de sinais da *tag*.

O diagrama de blocos do projeto é apresentado na figura 2. Dada a complexidade do projeto de um circuito *System on Chip* como tal, utiliza-se a metodologia *Top-Down* em que o desenvolvimento se subdivide em blocos. Cada bloco foi projetado por um membro de uma equipe de 5 projetistas da graduação. O presente trabalho visa o desenvolvimento do bloco Regulador de Tensão.

## 1.2 Objetivos

Objetivo Geral: O presente trabalho se propõe a projetar um regulador de tensão do tipo *Low Dropout* (LDO) em tecnologia CMOS  $0.18\mu\text{m}$  da fabricante TSMC. O regulador será responsável por receber um sinal de tensão DC retificado que varia entre 1,5V e 3V,

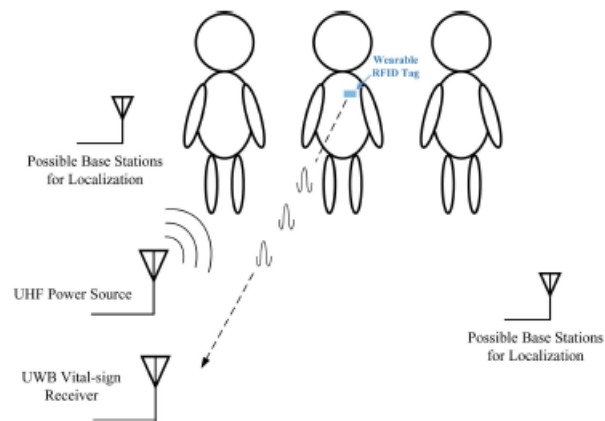


Figura 1 – Ilustração da tag RFID vestível para monitoramento remoto de sinais vitais

Fonte: (LYU; BABAKHANI, 2020).

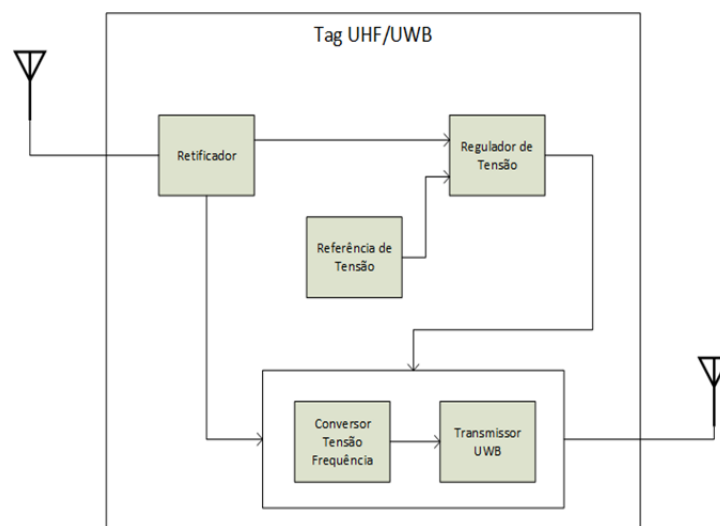


Figura 2 – Diagrama de blocos da Tag de RFID

estabilizá-lo em 1,2V para aproveitamento dos outros blocos do circuito integrado.

Objetivos Específicos:

- Apresentar as principais características de um regulador LDO e de amplificadores operacionais de dois estágios, bem como possíveis topologias para o LDO, no capítulo II.
- Projetar um Amplificador Operacional de dois estágios e uma das topologias de LDO no capítulo III;
- Caracterizar a compensação em frequência e desenvolver simulações relacionadas ao LDO no capítulo III;
- Apresentar e discutir os resultados no capítulo IV;

## 1.3 Organização do trabalho

A documentação do projeto passa por uma primeira análise de um regulador de tensão, seus blocos internos, suas grandezas de desempenho, possíveis topologias e a topologia adotada. Após isso, é apresentada a metodologia para *desing* do circuito e os resultados obtidos em simulação. Por fim, apresenta-se o *Layout* do circuito.

## Parte II

### Fundamentação Teórica

## 2 Fundamentação Teórica

### 2.1 Regulador de tensão DC

Para o circuito integrado *System on Chip* que será desenvolvido, faz-se necessário o uso de um regulador de tensão DC. Tendo em vista que se trata de um circuito de aplicação linear com uso de semicondutores, é importante que haja uma regulação de tensão sem grandes flutuações para que o ponto de operação ótimo não seja perdido e, no pior dos casos, o circuito pare de funcionar como desejado (CREPALDI, 2010).

Circuitos eletrônicos lineares são projetados para operarem em uma tensão de alimentação considerada constante. A função do regulador é receber um sinal de tensão não constante, com certas flutuações, entregando uma faixa de tensão em que o sinal é aproximadamente constante, estável e sem grandes flutuações, apesar de variações na carga e na temperatura. O tipo de regulador a ser escolhido vai depender das especificações do projeto e do que mais se adapta a ele, levando também em consideração o nível de complexidade que o regulador pode acarretar. As especificações para um regulador DC-DC completamente integrado são, segundo Alabert (2014) "faixa de conversão de tensão, temperatura de operação, a potência máxima de saída, eficiência de conversão de potência, número de componentes, densidade de potência, separação galvânica de entrada e saída" sendo que mais especificações podem surgir durante o projeto à medida que novas restrições surgirem.

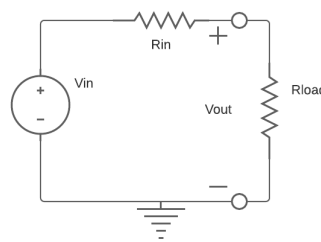


Figura 3 – Modelo Regulador

Fonte: Adaptado de (CORTEZ, 2017).

Da Figura 3 obtêm-se a relação entre entrada e saída como sendo

$$V_{out} = V_{in} \frac{R_{load}}{R_{in} + R_{load}}. \quad (2.1)$$

Observa-se que o ganho do circuito é dependente das cargas sendo necessário que a topologia para o regulador de tensão detecte um possível aumento de carga ou variação na tensão de entrada mantendo uma relação constante entre a impedância interna e a

impedância de carga,  $\frac{R_{in}}{R_{load}} = K$ . Segundo Cortez (2017) "uma estratégia possível é utilizar uma realimentação onde a resistência interna é alterada, mantendo a relação constante".

## 2.2 Regulador LDO

Uma das topologias de regulador de tensão DC é o LDO (*Low Drop Out*, que recebe esse nome pela queda de tensão mínima entre a alimentação que recebe e a alimentação fornecida ao circuito, em que ainda há regulação de tensão  $V_{dropout}$ . Em resposta à necessidade de uma realimentação onde a resistência interna é alterada, o LDO é uma alternativa já que seu elemento de passagem, com auxílio do amplificador operacional e da realimentação negativa, fixa o valor da tensão de saída para uma dada faixa de variação da tensão de alimentação e da carga do circuito.

Assim, a topologia básica do LDO consiste em um sistema de realimentação negativa com dois resistores que amostram a tensão de saída em uma das entradas de um amplificador de erro. Este, por sua vez, compara a tensão amostrada com uma tensão de referência. Tanto a tensão de alimentação quanto a carga estão sujeitas a variações. O amplificador de erro, então, faz a comparação e, se a tensão de amostra for menor ou maior que a tensão de referência, fornece uma nova tensão para o elemento de passagem.

O elemento de passagem restabelece a saída quando sua tensão de base/porta muda. Ele pode ser um transistor bipolar ou CMOS e seu funcionamento é semelhante a um resistor variável (CREPALDI, 2010). A faixa de regulação é limitada pela tensão  $V_{dropout}$ . Não é possível regular uma alimentação que esteja abaixo da tensão de saída para que o LDO foi projetado. A figura 4 traz o esquemático básico do LDO.

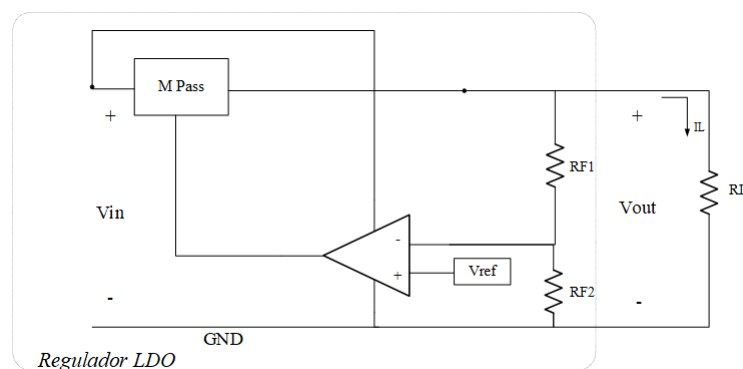


Figura 4 – Topologia básica de um LDO

Fonte: Adaptado de (ALABERT, 2014).

De acordo com a topologia da figura 4, a tensão de saída é dependente apenas da realimentação e da tensão de referência.

$$V_{out} = V_{ref} \left( \frac{R_{f1} + R_{f2}}{R_{f2}} \right) \quad (2.2)$$



## 2.2.1 Blocos do LDO

A partir da Figura 4 é possível identificar blocos funcionais que compõem a topologia do LDO, sendo eles: a referência de tensão, o amplificador de erro, a rede de realimentação e o elemento de passagem.

### 2.2.1.1 Referência de tensão

O circuito de referência é do tipo *bandgap* devido sua precisão de tensão, sua implementação em circuitos integrados, bem como capacidade de trabalhar com baixas tensões de alimentação e sua estabilidade térmica (CORTEZ, 2017). Requer-se inicialmente da fonte de referência que tenha um alto PSRR (*Power Supply Rejection Ratio*) já que é alimentada por uma tensão não regulada e precisa rejeitar as flutuações que existem nesta linha de sinal. Com relação à temperatura, a referência não pode sofrer flutuações significativas ao longa da faixa especificada (ALABERT, 2014).

### 2.2.1.2 Amplificador de Erro

O amplificador de erro é um amplificador diferencial de transistores CMOS. Sua funcionalidade é fornecer um sinal de controle para o transistor de passagem. Isso ocorre quando o amplificador recebe um sinal da realimentação da tensão de saída ( $V_{amostra}$ ), compara com a referência de tensão ( $V_{ref}$ ) e fornece um sinal de controle para o transistor de passagem. O sinal de controle aciona o elemento de passagem que, por sua vez, controla a tensão de saída como mostra a equação 2.3 (CORTEZ, 2017).

$$V_{erro} = Av.(V_+ - V_-) \quad (2.3)$$

Este bloco deve ter um baixo consumo de potência já que é o elemento com maior consumo de corrente do regulador e há um compromisso com todos os outros blocos funcionais da aplicação para que é projetado em não consumir muita potência. A tensão de *offset* ( $V_{offset}$ ) deve ser baixa uma vez que afeta diretamente a tensão de saída, devido a uma pequena participação que faz na malha de realimentação 2.4. O ganho de malha aberta deve ser suficientemente alto para que todas as considerações feitas sejam válidas. A rejeição de fonte (PSRR) e de modo comum (ICMR) devem ser altas para que flutuações da linha de alimentação e do modo comum não sejam amplificadas (CREPALDI, 2010).

$$V_{out} = \left(\frac{R_{f1} + R_{f2}}{R_{f2}}\right)(V_{ref} + V_{offset}) \quad (2.4)$$

### 2.2.1.3 Elemento de passagem

O elemento de passagem é responsável por fazer a regulação de  $V_{in}$  para  $V_{out}$  ao operar como uma resistência variável que mantém  $V_{out}$  constante até uma tensão mínima

de alimentação. Esse processo ocorre com a aplicação da tensão de saída do Amplificador de Erro na porta do elemento de passagem, que passa a regular sua resistência. O elemento de passagem, como citado anteriormente, pode ser um transistor do tipo bipolar ou CMOS. Adiante serão discutidas topologias para o LDO, mas de antemão, será escolhido um transistor do tipo PMOS como elemento de passagem devido à sua vantagem de não necessitar de um outro circuito de carga, como o NMOS.

#### 2.2.1.4 Rede de realimentação

A realimentação negativa é feita pelos resistores  $R_{f1}$  e  $R_{f2}$ . A tensão de saída do amplificador é amostrada pelos resistores e essa tensão é comparada pelo amplificador com a tensão de referência. A relação entre essas grandezas é dada por um divisor resistivo 2.5 (CORTEZ, 2017). Como a tensão de saída vem do dreno do elemento de passagem PMOS, há uma inversão de fase e um ganho negativo, portanto, para que a realimentação seja, de fato, negativa, é necessário que o sinal amostrado seja conectado à entrada não inversora do Amplificador de Erro (CREPALDI, 2010).

$$V_{feedback} = \left( \frac{R_{f2}}{R_{f2} + R_{f1}} \right) V_{out} \quad (2.5)$$

### 2.2.2 Grandezas de desempenho do regulador de tensão

As grandezas de desempenho devem ter suas análises consideradas no projeto do regulador para que seja verificado se as condições de funcionamento puderam ser atingidas. Essas grandezas são a tensão de *dropout*, a regulação de linha, a regulação de carga, a rejeição de ruído de fonte e a tensão de ruído na saída.

#### 2.2.2.1 Tensão de *Dropout*

A tensão de *dropout* é a mínima diferença de tensão entre a entrada e a saída para que ainda haja regulação. Este ponto ocorre quando a tensão de entrada se aproxima da tensão de saída. A tensão de *dropout* é a tensão de saturação de  $V_{ds}$ . Abaixo desta tensão, o elemento de passagem opera apenas como um resistor (LEE, 1999).

$$V_{drop} = V_{in_{min}} - V_{out_{reg}} = V_{ds_{sat,PMOS}} \quad (2.6)$$

#### 2.2.2.2 Regulação de linha

A regulação de linha é a medida da habilidade do circuito em manter a saída regulada com a variação da tensão de entrada e é expressa pela equação 2.7 (LEE, 1999).

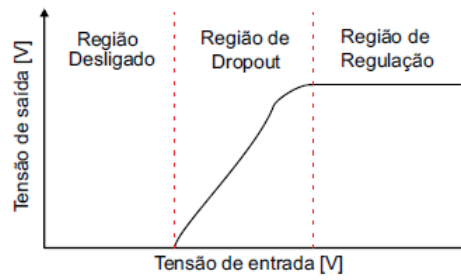


Figura 5 – Regiões de operação do regulador LDO

Fonte: (CORTEZ, 2017)

$$R_{linha} = \frac{\Delta V_{out}}{\Delta V_{in}} \quad (2.7)$$

### 2.2.2.3 Regulação de carga

A regulação de carga é a medida da habilidade do circuito de manter a saída regulada com a variação da carga e é expressa pela equação 2.8. O momento mais crítico para a regulação de carga quando a corrente sai de zero para seu valor máximo ou do seu valor máximo para zero (LEE, 1999).

$$R_{carga} = \frac{\Delta V_{out}}{\Delta I_{out}} \quad (2.8)$$

### 2.2.2.4 Rejeição de ruído de fonte (PSRR)

A taxa de rejeição da fonte de alimentação mede a habilidade do regulador de rejeitar flutuações na tensão de saída regulada vindas de oscilações da alimentação (CORTEZ, 2017). Ela é definida conforme a equação 2.9.

$$PSRR = 20 \log \frac{V_{ref}}{V_{dd}} \quad (2.9)$$

## 2.2.3 Topologias LDO

Um LDO é basicamente composto por um circuito com tensão de referência, um amplificador de erro, uma rede de realimentação negativa e um elemento de passagem. No quesito do amplificador de erro e do elemento de passagem, há diferentes topologias possíveis de serem usadas, pode-se adotar a topologia do amplificador com par diferencial NMOS e elemento de passagem NMOS, ou par diferencial NMOS e elemento de passagem PMOS, ou par diferencial PMOS e elemento de passagem NMOS ou, ainda, par diferencial PMOS e elemento de passagem PMOS.

Cada topologia tem suas próprias equações e condições de funcionamento. Após a verificação de cada topologia, pode ser escolhida a que melhor se encaixa. As figuras 6 e 7 são os circuitos simplificados para os casos dos amplificadores com par diferencial NMOS e PMOS, respectivamente. Os terminais de referência e *feedback* não são conectados às entradas do amplificador porque se tivermos o elemento de passagem NMOS, conectamos o *feedback* à entrada negativa e com PMOS à entrada positiva do amplificador (ALABERT, 2014).

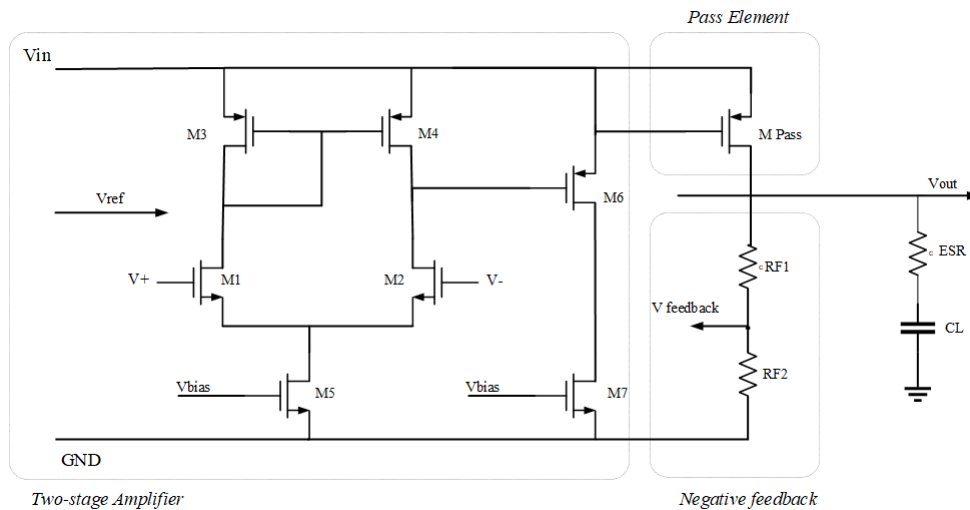


Figura 6 – Amplificador operacional com par diferencial NMOS  
 Fonte: Adaptado de (ALABERT, 2014).

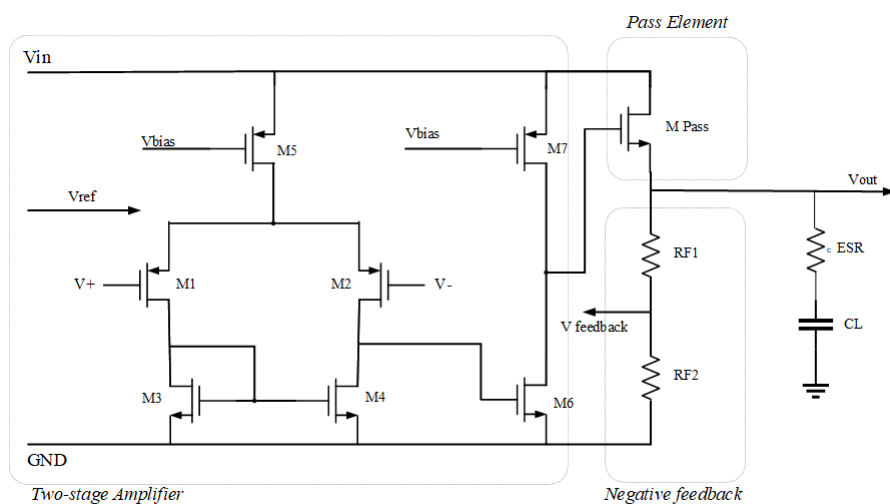


Figura 7 – Amplificador operacional com par diferencial PMOS  
 Fonte: Adaptado de (ALABERT, 2014).

### 2.2.3.1 Amplificador operacional com par diferencial NMOS e elemento de passagem NMOS

A figura 6 exemplifica o esquemático do amplificador operacional com par diferencial NMOS. Com elemento de passagem também NMOS, a tensão do terminal de dreno

deve ser maior que a tensão do terminal da fonte para saturar, isso vale para todos os elementos de passagem NMOS.

$$V_D = V_{DS,Sat} + V_{out} \quad (2.10)$$

Para todas as topologias, a máxima saída do amplificador deve ser a tensão de entrada menos a tensão de saturação.

$$V_{EAout,max} = V_{in} - V_{DS,sat} \quad (2.11)$$

Para manter a saturação do elemento de passagem, o amplificador de erro deve fornecer uma tensão do terminal de porta que seja suficiente para que  $V_{GS}$  seja maior que a tensão de *threshold*.

$$V_G = V_{th,N} + V_{out} \quad (2.12)$$

É preciso uma tensão DC mínima de entrada no circuito do amplificador de erro para que os transistores M1 e M2, M3 e M4 e M5 sejam mantidos em saturação. Bem como não deve ser maior que a tensão de dreno e *threshold* de M1 e M2.

$$V_{in+DC,min} = V_{SG3} + V_{DS1,sat} + V_{DS5,sat} \quad (2.13)$$

$$V_{in+DC,max} \leq V_{D1} + V_{th1,N} \quad (2.14)$$

A tensão de referência deve ser maior que a tensão de *threshold* e de saturação do M5 para operar em saturação.

$$V_{ref} \geq V_{th,N} + V_{DS5,sat} \quad (2.15)$$

O problema com essa topologia é a baixa impedância de saída, tendo em vista que a impedância do terminal de fonte é baixa ( $1/gm$ ) prejudicando o casamento de impedância. O principal problema é a incapacidade do amplificador de fornecer tensão suficiente para o terminal de fonte do M Pass. Então, o elemento operará em *subthreshold* e a tensão de *dropout* será grande, o que não é bom já que essa tensão se refere à mínima diferença de tensão que o circuito é capaz de regular.

### 2.2.3.2 Amplificador operacional com par diferencial NMOS e elemento de passagem PMOS

Para esta topologia, valem as considerações feitas para o amplificador como sua tensão DC de entrada mínima 2.13 e máxima 2.14, tensão de referência 2.15 e tensão máxima de saída 2.11.

O elemento de passagem deve ter seu  $V_{SG}$  maior que a tensão de limiar. O terminal de *gate* pode estar ligado ao terra para melhor desempenho. O elemento de passagem

PMOS não tem efeito de corpo porque seus terminais de porta e corpo estão ambos ligados à  $V_{IN}$

$$V_{SG} \geq V_{th,P} \quad (2.16)$$

$$V_{EAout,min} = V_{in,min} - V_{SD,sat} \quad (2.17)$$

A tensão de *dropout* se refere a mínima diferença de tensão entre o terminal a fonte, que recebe  $V_{in}$ , e o dreno, que se liga a  $V_{out}$ , conforme a equação 2.6.

### 2.2.3.3 Amplificador operacional com par diferencial PMOS e elemento de passagem NMOS

Para o elemento de passagem, valem as equações 2.12 e 2.10 referentes aos terminais do transistor.

Conforme a figura 7, a tensão mínima de entrada do amplificador de erro deve ser maior que a tensão para que três transistores operem em saturação. Essa tensão deve ser maior que a tensão de saturação dos transistores M5 e M1 e a tensão de porta-fonte do transistor M3, como mostra a equação 2.18.

$$V_{in+,min} = 2V_{SD,sat} + V_{SG,sat} \quad (2.18)$$

No entanto, a tensão de entrada do amplificador deve ser menor que dois  $V_{SD,sat}$ . Se é maior, como a equação 2.18 sugere para estar em saturação, a tensão da porta precisa aumentar, logo, a máxima saída do amplificador é igual à tensão de entrada. O problema, então, está no não fornecimento de tensão suficiente para manter o elemento de passagem em saturação. O elemento de passagem opera na região de *subthreshold*.

### 2.2.3.4 Amplificador operacional com par diferencial PMOS e elemento de passagem PMOS

Para esta topologia, vale a equação 2.18 para o par diferencial PMOS de entrada. Neste elemento de passagem, a diferença é a tensão mínima de saída do amplificador necessária para a saturação conforme a equação 2.17. A tensão de *dropout* é:

$$V_{drop} = V_{SD,sat} \quad (2.19)$$

## 2.2.4 Topologia escolhida

As diferentes topologias discutidas são comparadas na tabela 2.2.4.

Com base nas discussões dos tópicos 2.2.3.1 a 2.2.3.4 e a comparação na tabela 2.2.4, observa-se que a melhor opção de topologia é o par diferencial NMOS de entrada e o elemento de passagem PMOS. Essa topologia mantém todos os transistores em saturação, o elemento de passagem como PMOS oferece menor tensão de *dropout*, como também, o

Tabela 1 – Comparação topologias LDO

Parâmetros	Par NMOS	Par PMOS	NMOS	PMOS
$V_{in,min}$	$2V_{DS,sat} + V_{GS,sat}$	$2V_{SD,sat} + V_{SG,sat}$	$V_{DS,sat} + V_{out}$	$V_{SD,sat} + V_{out}$
$V_{EAout,min}$	$V_{in,min} - V_{SD,sat}$	$V_{DS,sat} - V_{in,min}$	$V_{in,min} - V_{DS,sat}$	$V_{SD,sat} - V_{in,min}$
$V_{drop}$	-	-	$V_{DS,sat}$	$V_{SD,sat}$
Efeito de corpo	Sim	Sim	Sim	Não

par de entrada NMOS fornece uma tensão de saída do amplificador que pode ser baixa e rapidamente saturar o elemento de passagem (ALABERT, 2014).

A limitação do amplificador de par diferencial PMOS está no aumento da tensão mínima de alimentação, como discutido anteriormente. Já o elemento de passagem, como dispositivo NMOS, não consegue entrar em saturação com a tensão fornecida na porta pelo amplificador de erro, haja visto que, a tensão de porta necessitaria ser maior que a tensão de saída do regulador. Isso pode ser solucionado com o fornecimento de outra tensão ao terminal de porta (ALABERT, 2014).

## 2.3 Amplificador Operacional

Amplificadores operacionais são blocos fundamentais e uns dos mais importantes na construção de circuitos eletrônicos de uso geral como conversores analógico-digitais, filtros e amplificadores para circuitos analógicos e circuitos integrados. Sua função principal é amplificar a diferença dos sinais de entrada e suas principais características são alto ganho, impedância alta de entrada e baixa impedância de saída. Tais amplificadores podem ser fabricados com tecnologia CMOS, ideal para circuitos integrados. Com a diminuição da tensão de alimentação e dos canais dos transistores, próprios da evolução tecnológica, o desenho de amplificadores operacionais vem se tornando cada vez mais desafiador (RAZAVI, 2017).

### 2.3.1 Amplificador Ideal

Idealmente, o amplificador operacional tem ganho de tensão infinito ( $A_v$ ), impedâncias de entrada infinitas ( $Z_{in}$ ), implicando que não há diferença de potencial entre os terminais de entrada e, portanto, corrente nula em ambos, e impedância de saída nula ( $Z_{out}$ ). Uma de suas entradas é inversora ( $V_-$ ) e a outra não-inversora ( $V_+$ ).

A análise de um amplificador operacional começa por essas considerações que revelam a funcionalidade básica do circuito. Mas, na prática, tais considerações podem se desviar muito da realidade e, então, as não-idealidades devem ser consideradas (RAZAVI, 2017). A tensão de saída é modelada pela equação 2.20 e a figura 8 mostra os terminais de um amplificador operacional ideal como caixa preta.

$$V_{OUT} = Av.(V_+ - V_-) \quad (2.20)$$

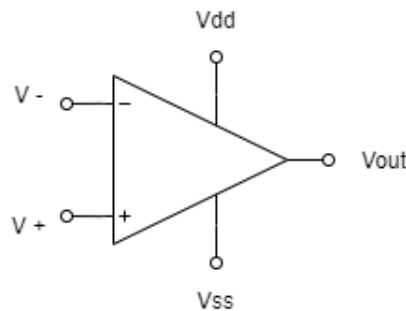


Figura 8 – Amplificador operacional ideal como caixa preta.

Fonte: Autoria própria.

### 2.3.2 Amplificador de dois estágios

O amplificador de transcondutância com compensação Miller (OTA-Miller) é uma topologia muito utilizada em amplificadores de dois estágios devido ao seu bom desempenho em tensão de modo comum, excursão do sinal de saída, ganho de tensão e estabilidade (CORTEZ, 2017).

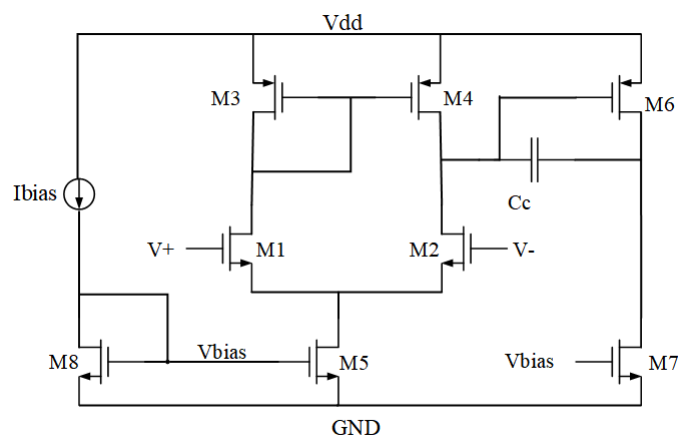


Figura 9 – Amplificador OTA-Miller.

Fonte: Adaptado de (ALLEN; HOLDBERG, 2002).

### 2.3.3 Descrição da topologia

O amplificador de dois estágios, apresentado na figura 9, possui os transistores M1 e M2 como entrada diferencial NMOS. Os transistores M3 e M4 formam um espelho de corrente que atua como carga ativa no primeiro estágio. A corrente de polarização vem da fonte *Ibias* e espelhos de correntes são formados a partir do transistor M8 com



os transistores M5 e M7. Já o segundo estágio apresenta um amplificador inversor de porta comum PMOS com entrada no transistor M6 e carga ativa com o transistor M7. O capacitor  $C_c$  é a compensação do tipo Miller e forma um polo dominante garantindo estabilidade ao amplificador que independe da realimentação externa (TRANQUILLINI, 2008).

### 2.3.4 Análise de pequenos sinais

Segundo Razavi (2017), se houver uma pequena perturbação de sinais na tensão de polarização ou corrente do transistor MOSFET, o modelo não linear de grandes sinais pode ser reduzida a uma análise linear de pequenos sinais .

Observando o transistor como uma fonte de corrente controlada por tensão e considerando a modulação do canal, o modelo de pequenos sinais é como na figura 10. A corrente segue, então, a expressão 2.21. Como a modulação do canal é relativamente pequena, a resistência  $r_0$  inserida se aproxima da expressão 2.22.

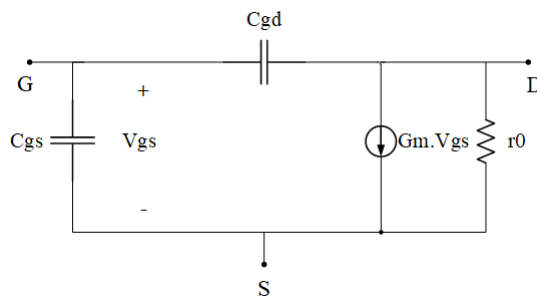


Figura 10 – Modelo de pequenos sinais transistor MOS.

Fonte: Adaptado de (CORTEZ, 2017).

Os terminais G, D e S correspondem, respectivamente, à porta, ao dreno e à fonte. Os capacitores se referem às capacitâncias entre os terminais e o termo  $G_m$  diz respeito à transcondutância do transistor que é expresso pela equação 2.23.

$$I_D = G_m \cdot V_{GS} \quad (2.21)$$

$$r_0 \approx \frac{1}{I_D \cdot \lambda} \quad (2.22)$$

$$G_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{2 \cdot I_D}{V_{GS} - V_{th}} \quad (2.23)$$

A figura 11 apresenta o modelo de pequenos sinais equivalente do amplificador OTA-Miller da figura 9. No modelo,  $V_{in}$  é a diferença de potencial entre os terminais de entrada  $V_+$  e  $V_-$ ,  $G_{m1}$  é transcondutância do transistor M1,  $R_I$  e  $C_I$  são, respectivamente,

a resistência e a capacitância de saída do primeiro estágio,  $C_c$  é a capacitância de compensação,  $G_{m_6}$  é transcondutância do transistor M6 e RII e CII são, respectivamente, a resistência e a capacitância de saída do segundo estágio.

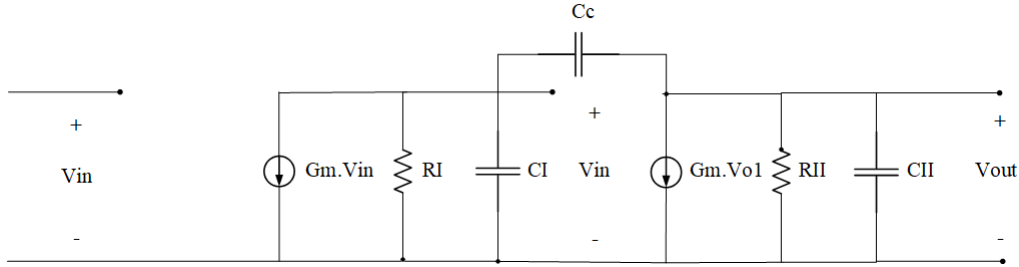


Figura 11 – Modelo de pequenos sinais equivalente OTA-Miller.

Fonte: Adaptado de (CORTEZ, 2017).

As resistências de saída RI e RII são equivalentes à ligação paralela entre as resistências  $r_0$  dos transistores M2 e M4 do primeiro estágio e os transistores M6 e M7 do segundo como mostram as equações 2.24 e 2.25. O ganho de tensão do amplificador é expresso pela equação 2.26.

$$RI = r_{o2} \parallel r_{o4} \quad (2.24)$$

$$RII = r_{o6} \parallel r_{o7} \quad (2.25)$$

$$A_v \approx -\frac{V_{out}}{V_{in}} \approx G_{m_1} \cdot RI \cdot G_{m_6} \cdot RII \quad (2.26)$$

### 2.3.5 Análise em frequência

Para a análise em frequência do Amplificador OTA-Miller, consideremos as capacitâncias do circuito. As expressões 2.27 e 2.28 apresentam, respectivamente, a capacitância total no nó de entrada e a capacitância total do nó de saída na figura 11.

$$CI = C_{gd4} + C_{db4} + C_{gd2} + C_{db2} + C_{gs6} \quad (2.27)$$

$$CII = C_L + C_{db6} + C_{gd7} + C_{gd6} + C_{db7} \quad (2.28)$$

O termo  $C_L$  representa a capacitância de carga. De modo geral,  $C_L$  e  $C_C$  costumam ser muito maiores que as outras capacitâncias, então,  $C_2$  é muito maior que  $C_1$  e  $C_C$  que  $C_{gd6}$  (TRANQUILLINI, 2008).

A função de transferência do modelo de pequenos sinais é apresentado na equação 2.29 em que  $p1$  e  $p2$  são os polos,  $z1$  o zero e  $Av$  o ganho em malha aberta para baixas frequências. As expressões simplificadas dos polos e zeros são apresentadas nas equações 2.30, 2.31 e 2.32 (ALLEN; HOLDBERG, 2002).

$$F(S) = \frac{Av.(1 - s/z1)}{(1 - s/p1).(1 - s/p2)} \quad (2.29)$$

$$p1 \approx -\frac{1}{gm6.RI.RII.Cc} \quad (2.30)$$

$$p2 \approx -\frac{gm6}{C_L} \quad (2.31)$$

$$z1 \approx \frac{gm6}{C_C} \quad (2.32)$$

A expressão para o ganho-banda é obtida a partir da expressão do polo dominante e do ganho quando sua tensão é nula.

$$GB = \frac{gm1}{C_C} \quad (2.33)$$

A margem de fase é o valor da fase para o qual o ganho é unitário em relação a  $180^\circ$ . Para estabilidade, espera-se uma margem de fase entre  $45^\circ$  e  $90^\circ$ , assim, para tal resultado, o polo dominante deve se encontrar em baixas frequências e o polo secundário e o zero acima da frequência de ganho unitário (CORTEZ, 2017).

$$PM = 90^\circ - tg^{-1}\frac{GB}{z1} - tg^{-1}\frac{GB}{p2} \quad (2.34)$$

### 2.3.6 Projeto de um OTA-Miller

O projeto de um amplificador de transcondutância com compensação Miller envolve dois passos: o cálculo teórico das dimensões dos transistores a partir de requisitos do projeto como ganho, ganho-banda, margem de fase, *slew-rate*, capacitância de carga, valores mínimos e máximos das tensões de entrada e saída, por fim, a simulação em software com as dimensões obtidas para possíveis ajustes finos.

Para o melhor desempenho, faz-se necessário que todos os transistores estejam em saturação. O único transistor que não pode ser forçado a permanecer em saturação a partir de tensões externas e conexões internas é o M4, então condições devem ser consideradas para forçar a saturação. Assim, assumindo que  $V_{sg4} = V_{sg6}$  é forçado um espelhamento adequado nesse espelho de corrente M3-M4 e como os terminais de porta e dreno estão no

mesmo potencial para o M4, está garantida a saturação (ALLEN; HOLDBERG, 2002). Então, tem-se a expressão abaixo.

$$I_6 = \frac{S_6}{S_4} I_4 \quad (2.35)$$

No entanto, devido ao espelho de corrente entre M7 e M5,  $I_7 = \frac{S_7}{S_5} I_5 = \frac{S_7}{S_5} 2 \cdot I_4$ , tendo em vista que  $I_5 = 2 \cdot I_4$ . Para o correto balanceamento, a corrente  $I_6$  deve ser igual a  $I_7$ . Obtém-se, então, a seguinte expressão chamada de condição de balanceamento:

$$\frac{S_6}{S_4} = \frac{2 \cdot S_7}{S_5} \quad (2.36)$$

Se a condição de balanceamento é satisfeita, então  $V_{DG4} = 0$  e M4 está em saturação (ALLEN; HOLDBERG, 2002).

Prosseguindo, deseja-se que a margem de fase seja no mínimo  $60^\circ$  e que o zero esteja ao menos uma década acima do ganho-banda. Então, partindo do valor de  $C_L$ , tem-se:

$$gm6 \geq gm1 \quad (2.37)$$

$$C_C = 0,22 \cdot C_L \quad (2.38)$$

O *Slew-rate* é determinado pela corrente máxima necessária para carregar ou descarregar um capacitor (CORTEZ, 2017).

$$SR \approx \frac{I_{bias}}{C_c} \quad (2.39)$$

Então a corrente de dreno do transistor M5 é:

$$I_5 = \frac{SR}{C_c} \quad (2.40)$$

As dimensões dos transistores M3 e M4 partem da especificação de tensão de entrada máxima.

$$S_3 = S_4 = \frac{I_5}{K'_3 [V_{DD} - V_{in,max} - V_{th3,max} + V_{th1,min}]} \quad (2.41)$$

A partir da equação 2.33, obtem-se o  $gm1$ . Então, as dimensões de M1 e M2 seguem:

$$S_1 = S_2 = \frac{gm1^2}{K'_1 I_5} \quad (2.42)$$

O projeto do transistor M5 partem da tensão mínima de entrada. Primeiro se calcula a tensão  $V_{DS,sat}$  e, então, as dimensões.

$$S_5 = \frac{2.I_5}{K'_5(V_{DS5,sat})^2} \quad (2.43)$$

As dimensões de M6 são encontradas assumindo que  $V_{sg4} = V_{sg6}$  e que o segundo polo é igual a 2.2 vezes GB.

$$S_6 = \frac{gm6}{gm4} S_4 \quad (2.44)$$

A corrente  $I_6$  é encontrada pela equação abaixo e deve-se verificar a satisfação da tensão máxima de saída. Se necessário, ajustes devem ser feitos.

$$I_6 = \frac{gm_6^2}{2K'_6 S_6} \quad (2.45)$$

O projeto de M7 deve satisfazer o espelho entre  $I_5$  e  $I_6$ .

$$S_7 = \frac{I_6}{I_5} S_5 \quad (2.46)$$

Por fim, deve-se checar as especificações de ganho e potência de dissipação.

$$Av = \frac{2gm_2.gm_6}{I_5(\lambda_2 + \lambda_4)I_6(\lambda_6 + \lambda_7)} \quad (2.47)$$

$$P_{diss} = (I_5 + I_6).V_{DD} \quad (2.48)$$

Se a especificação de ganho e/ou dissipação não forem atingidas, as correntes  $I_5$  e  $I_6$  podem ser diminuídas. A redução das correntes provavelmente exigirá o redimensionamento de alguns transistores para satisfazer as oscilações de entrada e saída. Nesse caso, os cálculos anteriores devem ser refeitos (ALLEN; HOLDBERG, 2002).

Após execução dos passos acima, o circuito pode ser simulado para verificação se todas as especificações foram atendidas. Nesta etapa, ajustes finos podem ser feitos para que se alcance o desejado.

## 2.4 Estabilidade do LDO

Circuitos com realimentação necessitam de uma atenção quanto a sua estabilidade frente à faixa de frequências que será processada. A sua resposta transiente será diretamente afetada. Um regulador estável irá produzir respostas controladas e suaves diante de transitórios de linha ou carga. Quando a margem de fase é baixa, a saída sofre de grandes *overshoots*. Quando a margem de fase é alta, a saída tem um longo tempo de acomodação. Portanto, segundo Cermák (2016), para o alcance da estabilidade, o valor ideal de margem de fase é  $72^\circ$ , onde o melhor compromisso entre tempo de acomodação e ressonância é alcançado.

O LDO tem uma alta impedância de saída que, juntamente com a capacitância da carga, cria um polo em baixas frequências e decresce a margem de fase (KUMAR; SUJATHA, 2013). Os polos pouco espaçados comprometem a estabilidade e se faz necessário uma compensação de frequência (HANUMOLU, 2015). A figura 12 relaciona o ganho, em dB, e a margem de fase com os polos e zeros do LDO sem compensação. As equações 2.49, 2.50 e 2.51 se referem à frequência dos polos e zeros (HANUMOLU, 2015).  $R_{OUT}$  e  $R_{OEA}$  se referem à resistência de saída do regulador e à resistência de saída do amplificador de erro, respectivamente.  $C_O$  é o capacitor de compensação,  $C_1$  é a capacitância equivalente do circuito e  $C_{gdp}$  é a capacitância porta-dreno do transistor de passagem.

$$\omega_{P1} = \frac{1}{R_{OUT} \cdot C_O} \quad (2.49)$$

$$\omega_{P2} = \frac{1}{R_{OEA} \cdot (C_1 + g_{m_p} \cdot R_{OUT} \cdot C_{gdp})} \quad (2.50)$$

$$\omega_Z \approx \frac{g_{m_p}}{C_{gdp}} \quad (2.51)$$

A compensação de frequência amplamente utilizada no projeto de um LDO é a alocação de uma resistência série equivalente (ESR) interna de um capacitor externo ao regulador. Existem outras opções de compensação em frequência como uma adaptação e potencialização da resposta AC, além de um aprimoramento do *slew-rate* do circuito (HUANG; LIU, 2006). Também é possível utilizar compensação de frequência com controle de fator de amortecimento numa estrutura avançada do LDO. Esse controle é implementado com um amplificador de três estágios e livra o regulador de um capacitor externo (LEUNG; MOK, 2003).

A compensação sem o uso da resistência série equivalente é melhor para *systems-on-chip* por não necessitarem de circuitos externos e não encontrarem dificuldades como a possibilidade do zero alocado pelo capacitor ESR, uma vez que seja um capacitor cerâmico, ser maior que o ganho-banda do regulador (HUANG; LIU, 2006). No entanto, o circuito

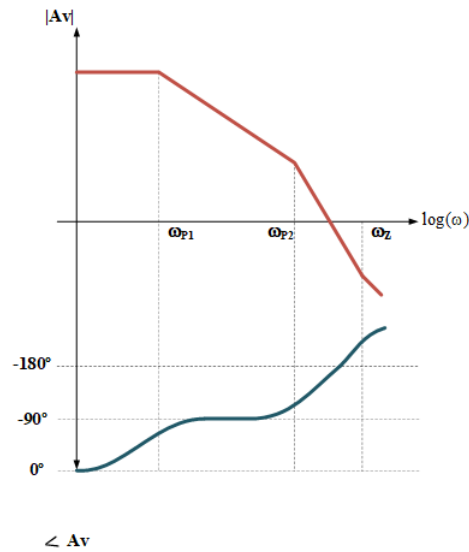


Figura 12 – Diagrama de polos e zeros e margem de fase do LDO sem compensação.

Fonte: Adaptado de (HANUMOLU, 2015).

ganha mais complexidade e compromete mais espaço e potência no chip, o que é uma restrição para este projeto.

A topologia de compensação adotada para este regulador utiliza a resistência serie equivalente (ESR) do capacitor de carga é usado para compensar o primeiro polo não-dominante para uma saída estável (HUANG; LIU, 2006). A resistência ESR adiciona um zero antes do ponto de ganho-banda. O mais importante para se observar em um zero é que ele funciona como um "anti-polo", dando o efeito contrário no ganho e na fase. Então, adicionar intensionalmente um zero pode cancelar o efeito de um polo que causa instabilidade (INSTRUMENT, 2011). A figura 13 mostra o diagrama do ganho com a adição de um zero antes da frequência de ganho-banda.

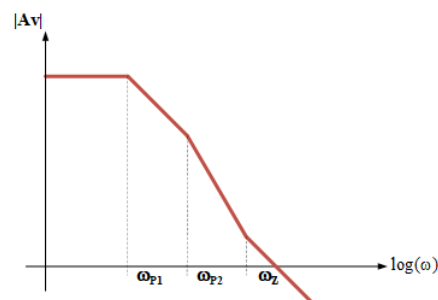


Figura 13 – Diagrama de polos e zeros do LDO com compensação.

Fonte: Adaptado de (HANUMOLU, 2015).

As equações de polos e zero, a partir da compensação, são apresentadas abaixo (HANUMOLU, 2015). A resistência  $R_C$  se refere à resistência ESR.

$$\omega_{P1} = \frac{1}{(R_{OUT} \cdot R_C) \cdot C_O} \quad (2.52)$$

$$\omega_{P2} = \frac{1}{R_{OEA} \cdot C_1} \quad (2.53)$$

$$\omega_Z = \frac{1}{R_C \cdot C_O} \quad (2.54)$$

Assim, na figura 14, apresenta-se a configuração completa do circuito regulador de tensão LDO, à nível de transistor, compensado com capacitor externo ao chip.

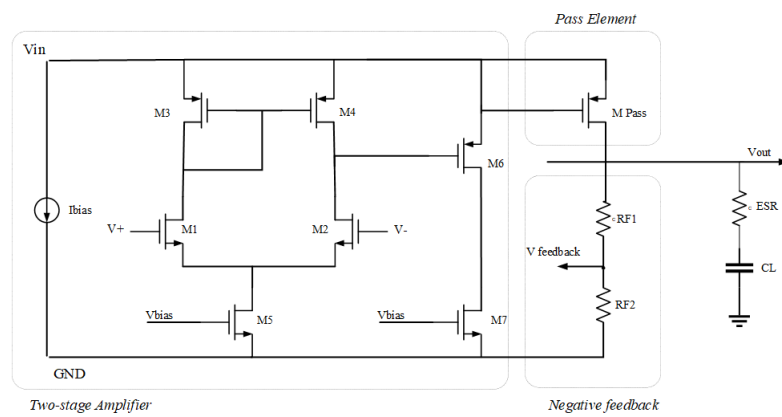


Figura 14 – Circuito do LDO compensado à nível de transistor.

Fonte: Autoria Própria.



Parte III

Metodologia

## 3 Metodologia

Para o projeto do circuito LDO uma metodologia Top-Down foi aplicada. A metodologia Top-Down consistiu em um primeiro modelo Verilog-A que, diante de um comportamento ideal, forneceu as respostas ideais esperadas para o circuito. Assim, o projeto esquemático dos componentes do LDO, como amplificador de erro, elemento de passagem e divisor resistivo, foi desenhado e ajustes finos aplicados. Então, uma validação através da ferramenta ADE-L é aplicada afim de se observar resultados semelhantes aos obtidos pela simulação Verilog-A. Variações de Corners também são aplicadas para observação do comportamento do circuito em casos extremos. Só então o circuito segue para Layout. Ainda no Layout, verificações de erro são aplicadas. O fluxo descrito é detalhado neste capítulo.

### 3.1 Virtuoso

A ferramenta de simulação adotada é a *Virtuoso Analog Design Environment*. Com ela é possível analisar o comportamento do circuito em modos comuns e críticos e o benefício das topologias propostas. A ferramenta é desenvolvida pela empresa *Cadence Design Systems*. A empresa é referência na indústria de circuitos analógicos e digitais quanto ao *design* de circuitos integrados, modelagem comportamental (Verilog-A e Verilog-AMS), simulações mistas e *layouts*.

#### 3.1.1 Simulações com auxílio do modelo em Verilog-A

Em uma primeira instância foi desenvolvido um modelo em Verilog-A com o modelo ideal de um regulador LDO. Ele modela o circuito a partir das equações que o regem. Já nesse ponto é possível prever as saídas ideais do circuito, bem como as grandes dificuldades que serão enfrentadas e possíveis impasses.

O modelo apresentado abaixo foi o empregado para o LDO. São estabelecidas as entradas e saídas gerais do bloco e as saídas e entradas internas. Então, são atribuídos valores arbitrários para os componentes como  $R_{f1}$ ,  $R_{f2}$  e  $C_c$ . Então, uma simulação analógica é feita usando as equações que modelam o LDO.

```
// VerilogA for aroeira_common , aroeira_ldo , veriloga
`include "constants.vams"
`include "disciplines.vams"
module aroeira_ldo(ldo_out , agnd , ldo_in , ref_in );
  inout ldo_out;
```

```

electrical ldo_out;
inout agnd;
electrical agnd;
input ldo_in;
electrical ldo_in;
input ref_in;
electrical ref_in;
electrical a, b;
parameter real R1 = 75e3;
parameter real R2 = 150e3;
parameter real Cc = 1e-12;
aroeira_ldo_ampop a1(ref_in, a, b, ldo_in, agnd);
aroeira_ldo_pass_trans_pmos m1(ldo_out, b, ldo_in);
analog begin
I(b, agnd) <+ Cc*ddt(V(b, agnd));
I(ldo_out, a) <+ V(ldo_out, a)/R1;
I(a, agnd) <+ V(a, agnd)/R2;
end
endmodule

```

## 3.2 Projeto do Amplificador de Erro

Para o projeto do amplificador de erro, considera-se a necessidade de baixo consumo de potência e pequena dimensão dos transistores, ou seja, a razão  $\frac{W}{L}$  deve ser pequena para baixo consumo e pouco espaço ocupado no chip. As especificações não foram rígidas quanto ao *Slew-rate* e ao ganho-banda. No entanto, devia-se considerar uma alimentação de 1.8V, uma corrente  $I_{bias}$  de 400nA, um intervalo de modo comum variando entre 0.6V e 1.6V, que o *Slew-rate* e o ganho-banda estivessem em potência de Mega, que o capacitor de compensação fosse 40% da capacitância de carga estimada em 2pF, conforme a tabela 2. Então, os passos abordados na seção 2.3.6 foram implementados em uma rotina no software *Octave* para fácil ajuste quanto às dimensões. A rotina retorna as dimensões dos transistores. Em simulação, tais dimensões são incorporadas ao esquemático e, então, ajustes finos são aplicados para que os valores especificados sejam alcançados.

A figura 9 mostra o esquemático do amplificador OTA-Miller, que consiste em topologia de dois estágios e compensação Miller.

Tabela 2 – Especificações OTA-Miller

Especificações	Valor	Unidade
Alimentação	1.8	V
Ganho	$\geq 50$	dB
Ganho-banda	$\geq 1$	MHz
<i>Slew-rate</i>	2	V/ $\mu$ s
ICMR	1	V/V
PSRR	$\leq -60$	dB
Consumo	$\leq 5$	$\mu$ W
Layout área	$\leq 3$	mínima proporção W/L

### 3.3 Elemento de passagem

No projeto do amplificador de erro, atribuiu-se ao capacitor de carga o valor de 2pF. Tal capacitor é o próprio elemento de passagem que, como discutido no capítulo anterior, é um transistor PMOS e tem sua porta diretamente ligada à saída do amplificador. Pode-se, então, obter as dimensões W e L a partir da capacitância, conforme a equação 3.1.

$$C_{gs} = \frac{2}{3}C_{ox}WL \quad (3.1)$$

Observando que a tecnologia CMOS 0.18. $\mu$  possui  $C_{ox}$  de  $8.8210^{-15} \frac{F}{\mu m^2}$ , que a capacitância  $C_{gs}$  é de 2pF e que se deseja um pequeno L para baixos efeitos de modulação do canal, obtêm-se:

$$L = 2\mu m \quad (3.2)$$

$$W = 169\mu m \quad (3.3)$$

### 3.4 Realimentação negativa

A realimentação negativa estabelece a relação entre a tensão de entrada e a regulação desejada. Ela é feita com um divisor resistivo seguindo a equação 2.5. Com uma tensão de referência de 0.8V e se desejando uma tensão de saída de 1.2V, a relação entre os resistores  $R_{f1}$  e  $R_{f2}$  obedece a igualdade abaixo

$$\frac{R_{f1} + R_{f2}}{R_{f2}} = 1.5. \quad (3.4)$$

Logo, o resistor  $R_{f1}$  deve ter a metade da resistência de  $R_{f2}$ . Arbitrariamente, se atribui os valores de resistência de 75K $\Omega$  e 150K $\Omega$ . É importante uma resistência alta para um baixo consumo de potência mas que não comprometa espaço do chip.

Os resistores são de material N+ Polly sem silicida, ou seja, os resistores são feitos de polisilício dopado com N+.

O esquemático do circuito regulador LDO com realimentação negativa é apresentado na figura 15. O elemento de passagem e o amplificador operacional são apresentados em blocos para melhor visualização.

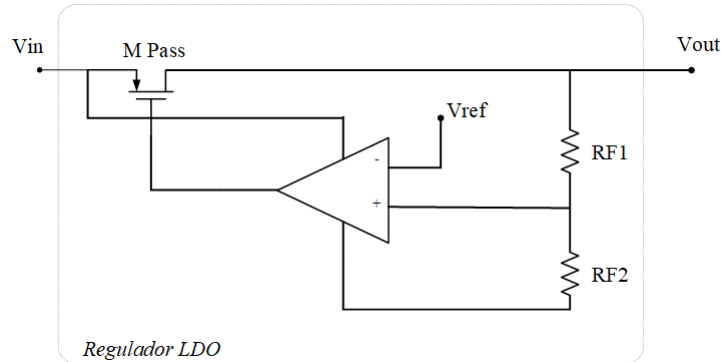


Figura 15 – Esquemático do regulador LDO com realimentação negativa.

Fonte: Adaptado de (CORTEZ, 2017).

### 3.5 Compensação em frequência

Como discutido na seção 2.4, o regulador LDO precisa de uma compensação, já que é naturalmente instável. A compensação é feita com a inserção de um capacitor de compensação externo ao chip.

Fazendo uso de uma simulação em frequência do LDO sem compensação é observável a instabilidade da saída. Tal instabilidade pode ser corrigida com a inserção de um Zero. Partindo da equação 3.5, em uma simulação de variação de parâmetros, observou-se qual o melhor valor de capacitância para a estabilidade. O valor de capacitância que configura melhor estabilidade é de  $2\mu F$ .

$$f_{zero} = \frac{1}{2\pi C_{OUT} R_{ESR}} \quad (3.5)$$

#### 3.5.1 Simulação de *Corners*

*Corners* são os limites de variação toleráveis para os parâmetros dos transistores fabricados em dada tecnologia. No processo de fabricação dos transistores, há quatro casos extremos de variabilidade: o pior caso no quesito velocidade, o pior caso no quesito consumo energético, o pior caso um e o pior caso zero. O pior caso nos quesitos velocidade e consumo energético acontecem quando tanto os transistores NMOS quanto os PMOS assumem parâmetros que os fazem ser considerados "lentos". O pior caso um acontece quando os transistores NMOS e PMOS são, respectivamente, "rápidos" e "lentos". No caso zero, os transistores PMOS são "rápidos" e os NMOS "lentos". Assim, quatro *corners*

são apresentados: SS(*Slow-Slow*), SF(*Slow-Fast*), FS(*Fast-Slow*) e FF(*Fast-Fast*) (ZILCH, 2017).

### 3.5.1.1 Amplificador OTA-Miller

Assim, *test benches*, que simulam testes em bancada, foram montados para o amplificador OTA-Miller a fim de validar ganho, fase, *slew-rate*, PSRR, ICMR e CM. As simulações de *corners* foram aplicadas para verificação da variabilidade dos resultados. As figuras abaixo mostram os *test benches*.

Para simulação do ganho em malha fechada, da margem de fase e do ganho-banda é preciso avaliar o comportamento em frequência. Então, fontes senoidais com tensão DC de 1V são aplicadas em ambas as entradas do amplificador como mostra a figura 16 e uma simulação AC de 1Hz a 10MHz é aplicada.

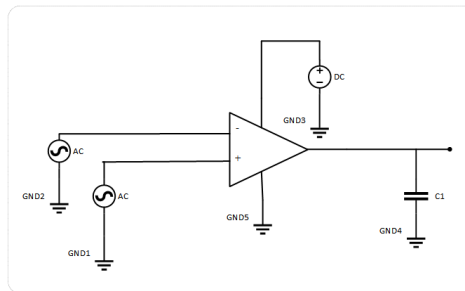


Figura 16 – Esquemático do *test bench* de ganho e fase do OTA-Miller.

Fonte: Autoria Própria.

A medida do *slew-rate* determina qual a máxima taxa de variação que a tensão de saída pode ter. A resposta do circuito será distorcida quando for exigido que sua variação seja maior do que o *slew-rate*, já que não é possível carregar e descarregar as capacitâncias associadas aos nós tanto quanto é exigido. Tal grandeza costuma ser medida em  $V/\mu S$ . A verificação do *slew-rate* é feita com uma simulação transiente. Para tal, a entrada inversora do amplificador é curto-circuitada na saída e a entrada não-inversora é alimentada com duas fontes: uma para um valor DC e uma que gere um pulso, conforme a figura 17.

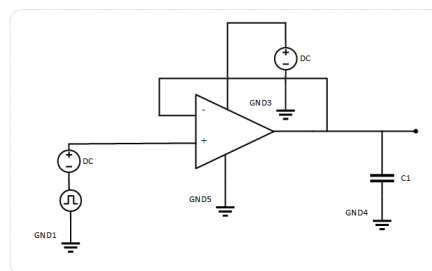


Figura 17 – Esquemático do *test bench* de *slew-rate* do OTA-Miller.

Fonte: Autoria Própria.

Sendo o PSRR a taxa de rejeição às flutuações da fonte de alimentação, para verificação é necessário observar o comportamento em frequência. Então, o amplificador é conectado como *buffer*, enquanto a entrada não-inversora é alimentada conectada ao terra e a alimentação do amplificador é feita com uma fonte senoidal de 1,8V DC, conforme a figura 18.

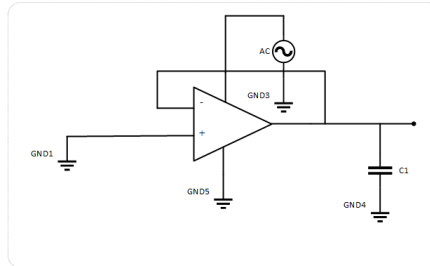


Figura 18 – Esquemático do *test bench* de PSRR do OTA-Miller.

Fonte: Autoria Própria.

Para uma verificação da resposta no tempo a um estímulo degrau, e assim observar se há uma saída estável no tempo, a entrada inversora é curto-circuitada e a entrada não-inversora é alimentada com uma fonte DC e uma fonte de entrada degrau, conforme mostra a figura 19.

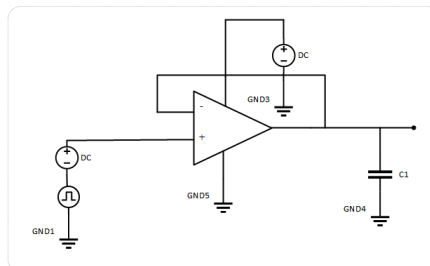


Figura 19 – Esquemático do *test bench* de resposta transiente do OTA-Miller.

Fonte: Autoria Própria.

O ICMR é a faixa de tensão de modo comum e objetiva identificar os limites de operação do amplificador com relação às entradas inversora e não-inversora. Ele é simulado ao se aplicar, na entrada não-inversora, uma tensão senoidal e uma fonte DC que é variada até o limite de tensão de entrada para que o amplificador foi projetado, 1,6V. A entrada inversora é curto-circuitada com a saída, conforme a figura 20. A simulação DC, que varia o parâmetro de entrada, mostra uma reta. O ICMR se apresenta como o coeficiente angular dessa reta. O *test bench* é apresentado na figura 20.

Por fim, a taxa de rejeição ao modo comum (CMRR) verifica quanto o circuito projetado amplifica a entrada diferencial e não a de modo comum. Para verificação da taxa, uma simulação AC é aplicada uma vez que ambas as entradas são alimentadas com fontes senoidais, conforme a figura 21, obtendo o resultado do modo comum. Com o

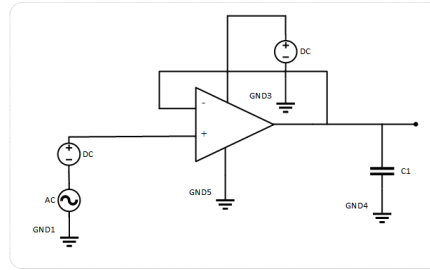


Figura 20 – Esquemático do *test bench* de ICMR do OTA-Miller.

Fonte: Autoria Própria.

resultado obtido em simulação, é estabelecida uma relação com o resultado em frequência do amplificador em malha aberta em que se divide a resposta em malha aberta pela resposta do modo comum, obtendo-se, assim, a taxa CMRR.

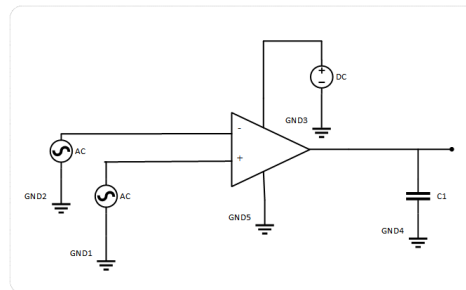


Figura 21 – Esquemático do *test bench* de CM do OTA-Miller.

Fonte: Autoria Própria.

### 3.5.1.2 Regulador LDO

Após a validação, em simulação, do amplificador OTA-Miller, foi possível prosseguir com a validação do LDO através de *test benches*. Por meio deles, foi possível avaliar o LDO nos quesitos ganho, fase, ganho-banda, regulação de linha, regulação de carga, *PSRR* e variação no tempo. As simulações de *test benches* apresentadas para o amplificador correspondem ao caso típico, 27°C, tensão nominal de operação de 1,8V e carga de 36KΩ. Porém os *corners* que englobam os piores casos no quesito velocidade e os piores casos no quesito consumo energético foram simulados. As simulações para verificação da estabilidade térmica foram aplicadas nas regulações de linha e carga com variações de 0°C, 22,5°C, 45°C, 67,5°C e 90°C. As simulações de *corners* foram aplicadas para verificação da variabilidade dos resultados.

Para avaliação do ganho, da fase e do ganho-banda, faz-se necessária a simulação em frequência. A tensão de entrada do LDO é alimentada com uma fonte DC de 1,8V e uma fonte senoidal de tensão média 800 mV é aplicada na tensão de referência como mostra a figura 22. O componente *Iprobe* da Biblioteca *Analog Lib* é colocado dentro do *Loop*



do LDO. O componente funciona como um *buffer*. Então, uma simulação STB é aplicada entre as frequências de 1Hz a 10MHz.

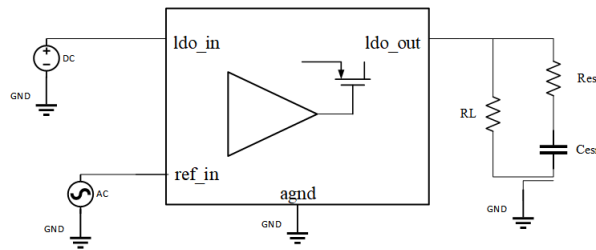


Figura 22 – Esquemático do *test bench* de ganho e fase do LDO

Fonte: Autoria Própria.

A regulação de linha verifica a estabilidade da tensão de saída a partir do incremento da tensão de entrada até o limite de 5V para que o regulador foi projetado. A simulação permite observar à partir de que tensão começa a regulação e se ela se mantém apesar do aumento da tensão de entrada e, através dela, se obtém a tensão de *dropout*. Então, para verificação das grandezas, uma variação de parâmetro é aplicada a fonte da tensão de entrada em uma simulação DC, como mostra a figura 23. É proveitoso aplicar uma variação de temperatura e observar o comportamento.

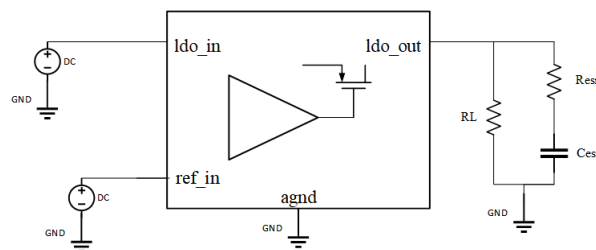


Figura 23 – Esquemático do *test bench* de Regulação de linha do LDO.

Fonte: Autoria Própria.

A regulação de carga, por sua vez, verifica a estabilidade da tensão de saída a partir do incremento da corrente de saída do regulador e observar o valor máximo de corrente que pode ser fornecido com regulação de tensão. Assim, uma variação de parâmetro é aplicada à fonte ideal de corrente  $I$  em uma simulação DC, como mostra a figura 24. Nesse caso, também é proveitoso variar a temperatura e observar o comportamento.

Sendo o PSRR uma medida de quão bem o circuito rejeita ondulações (*ripple*) provenientes da fonte para uma dada faixa de frequência, a verificação de PSRR é feita ao se aplicar uma fonte senoidal na entrada do LDO, conforme a figura 25. O PSRR é obtido quando a resposta AC de saída é dividida pela fonte AC de entrada. A fonte de simulação AC varia de 1Hz a 10MHz.

Para verificação da estabilidade do regulador LDO é importante levantar figuras de mérito de respostas no tempo. Em um primeiro momento, é válido observar a resposta

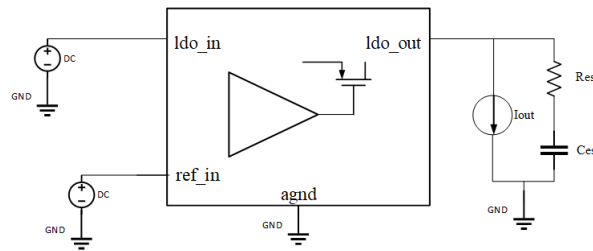


Figura 24 – Esquemático do *test bench* de Regulação de carga do LDO.

Fonte: Autoria Própria.

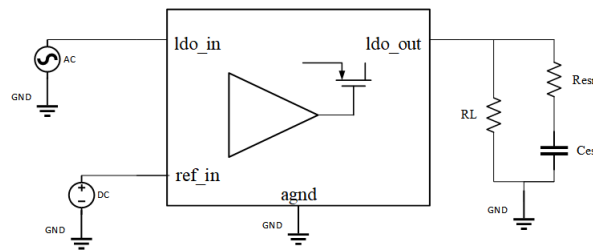


Figura 25 – Esquemático do *test bench* de PSRR do LDO.

Fonte: Autoria Própria.

no tempo do regulador quando ele é submetido a uma fonte senoidal em sua entrada e uma simulação transiente. Um sistema amortecido terá uma pequena ondulação nos primeiros instantes mas apresentará uma estabilidade logo em seguida. O *test bench* é apresentado na figura 26. Com o mesmo objetivo de verificação, é importante observar a saída mediante uma entrada degrau na entrada de 5V, como mostra a figura 27. Por fim, um *test bench* para verificação da resposta no tempo comparando entrada com a saída obtida anteriormente a partir da entrada degrau, como mostra a figura 28.

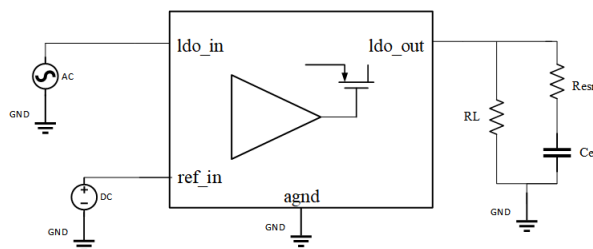


Figura 26 – Esquemático do *test bench* de resposta transiente do LDO a partir de entrada senoidal.

Fonte: Autoria Própria.

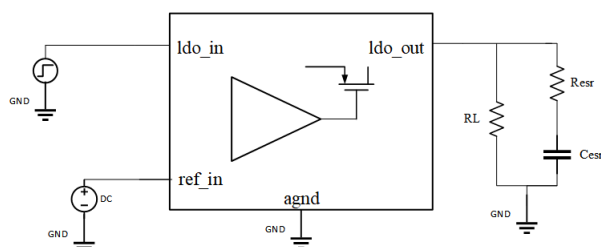


Figura 27 – Esquemático do *test bench* de resposta transiente do LDO a partir de entrada degrau.

Fonte: Autoria Própria.

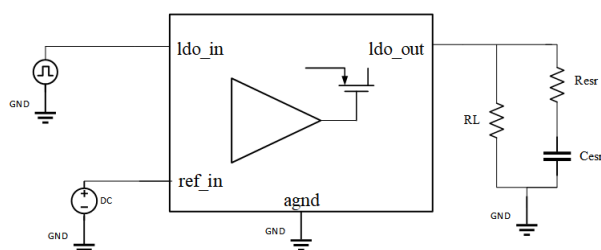


Figura 28 – Esquemático do *test bench* de resposta transiente do LDO.

Fonte: Autoria Própria.

Parte IV

Resultados

## 4 Resultados

O projeto foi desenvolvido com tecnologia CMOS da TSMC 180nm por meio da ferramenta Virtuoso da empresa Cadence e tem como especificação a tabela 6. O dimensionamento é feito considerando seus blocos individualmente e, posteriormente, seu todo. Como especificações, o regulador LDO deve ser capaz de regular uma tensão que varia entre 1,5V e 3V e ter uma saída regulada de 1,2V, logo, sua tensão de *dropout* deve ser menor que 300 mV. Integrando uma tag passiva, é importante assegurar um baixo consumo de até 10  $\mu\text{W}$ , um PSRR negativo, estabilidade térmica, regulação de linha e carga para máxima tensão de entrada e corrente de saída. A carga que o regulador vai alimentar é de  $36\text{K}\Omega$ , então a corrente de saída nominal é de  $33,4\mu\text{A}$

Tabela 3 – Especificações regulador.

Parâmetro	Valor
$V_{IN}$	1,5 - 3,0 V
$V_{OUT}$	1,2 V
$V_{drop}$	$\leq 300$ mV
$P_{diss}$	10 $\mu\text{W}$
$I_{OUT}$	33,4 $\mu\text{A}$
$I_Q$	$\leq 15$ $\mu\text{A}$
PSRR	$\leq 0$ dB

### 4.1 Amplificador Operacional

O amplificador operacional segue a topologia OTA-Miller de um amplificador de dois estágios. Por ser um OTA-Miller, é importante uma alta impedância de saída e carga capacitiva aplicada à sua saída, que é o próprio transistor de passagem. A metodologia adotada para o projeto é apresentada na seção 2.3.6. Como especificação, se considerou pequena dimensão dos transistores, de forma que ocupassem pouco espaço no chip, bem como houvesse baixo consumo de potência. Considerou-se, também, uma alimentação de 1,5V e uma fonte de corrente de 400 nA, que se trata de um circuito de *bandgap*. Assim, as dimensões dos transistores são apresentadas na tabela 4.

Com essa configuração, foi possível atingir as especificações desejadas. O alto ganho foi alcançado devido ao alto valor do comprimento de canal dos transistores M1, M2, M3 e M4. Isso reduz o efeito de modulação do canal, elevando o ganho  $A_V$ . O ganho-banda é de 638,3 KHz, a margem de fase é de  $52,3^\circ$ . O consumo de corrente é de  $2,84 \mu\text{A}$  e a impedância de saída  $540\text{K}\Omega$ . As figuras 29 a 34 mostram os resultados de simulação para o ganho, fase, PSRR, ICMR, Modo Comum e *Slew-rate*.

Tabela 4 – Componentes do Amplificador de Erro.

Parâmetro	Valor	Unidade
$W_1/L_1$ e $W_2/L_2$	0.3/5	$\mu\text{m}$
$W_3/L_3$ e $W_4/L_4$	0.3/5	$\mu\text{m}$
$W_5/L_5$	5.7/2	$\mu\text{m}$
$W_6/L_6$	6/2	$\mu\text{m}$
$W_7/L_7$	4.5/2	$\mu\text{m}$
$W_8/L_8$	1/2	$\mu\text{m}$
$C_C$	1	pF

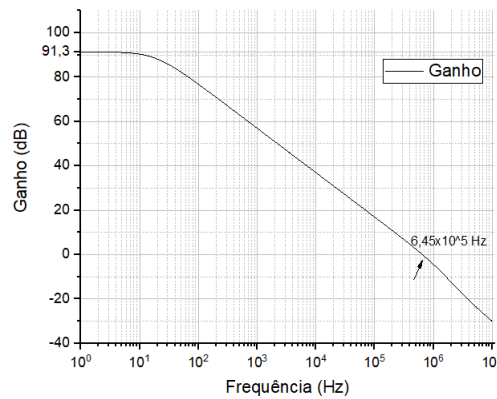


Figura 29 – Ganho do OTA-Miller.

Fonte: Autoria Própria.

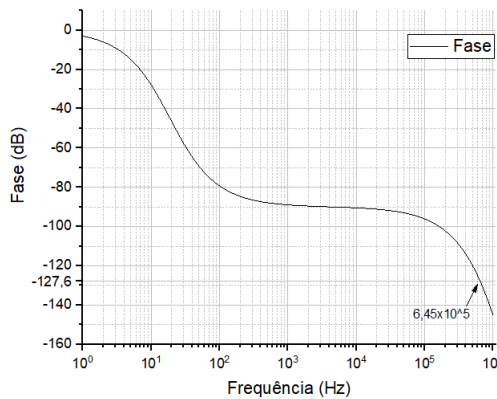


Figura 30 – Fase do OTA-Miller.

Fonte: Autoria Própria.

## 4.2 Elemento de Passagem

A escolha do elemento de passagem é importante já que ele afeta diretamente o rendimento do circuito e a tensão de *dropout*. Como discutido nos capítulos anteriores, o elemento de passagem escolhido é um transistor PMOS devido ao seu bom desempenho, sua velocidade de operação, a facilidade em mantê-lo em saturação sem a necessidade de outro circuito e sua baixa tensão de *dropout*. O PMOS é utilizado em configuração fonte-

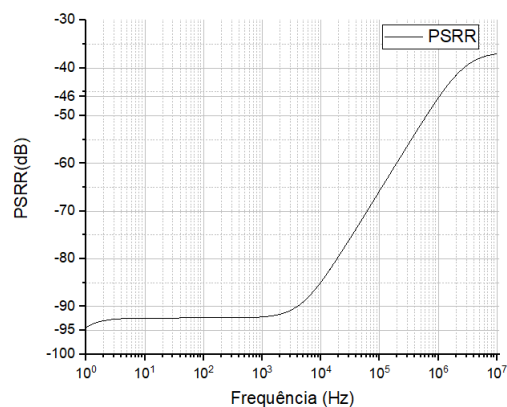


Figura 31 – PSRR do OTA-Miller.

Fonte: Autoria Própria.

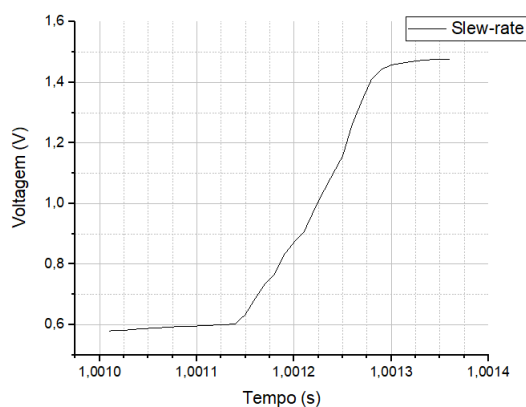


Figura 32 – Slew-rate do OTA-Miller.

Fonte: Autoria Própria.

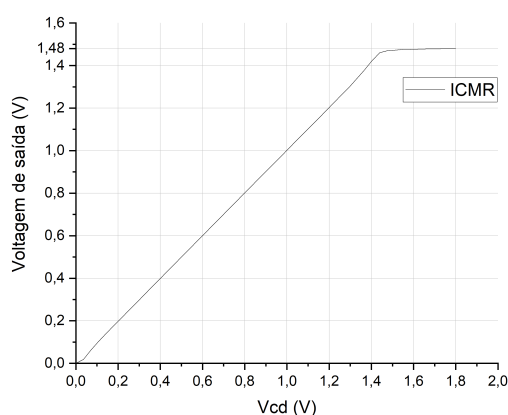


Figura 33 – Faixa de ICMR do OTA-Miller.

Fonte: Autoria Própria.

comum. Seu dimensionamento possui uma grande largura pois é preciso assegurar que o regulador forneça uma quantidade suficiente de corrente. Como a carga do amplificador

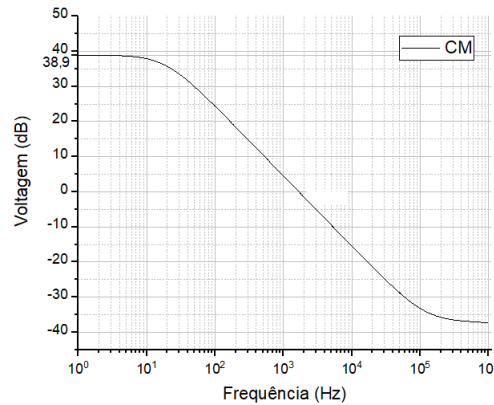


Figura 34 – Modo Comum do OTA-Miller.

Fonte: Autoria Própria.

Tabela 5 – Resumo dos resultados do Amplificador de Erro OTA-Miller.

Parâmetro	Valor	Unidade
$V_{DD}$	1,5	V
Ibias	400	nA
Consumo	2,84	$\mu A$
GBW	638,3	KHz
Margem de Fase	52,3	°
PSRR	-95	dB
PSRR@1MHz	-46	dB
ICMR	1,006	V/V
<i>Slew-rate</i>	2,27	V/ $\mu s$

de erro é a capacitância parasita entre o terminal de porta e fonte, um aumento nessa capacitância reduz, principalmente, o ganho-banda do amplificador, afetando diretamente a banda de operação do regulador.

Tabela 6 – Parâmetros do Elemento de Passagem PMOS.

Parâmetro	Valor
Largura	169 $\mu m$
Comprimento	2 $\mu m$
Capacitância	2 pF

### 4.3 Regulador LDO

O projeto do regulador de tensão LDO segue a topologia discutida na seção 2.2.4 em que o par diferencial de entrada é NMOS e o elemento de passagem, PMOS. A partir da topologia escolhida e do projeto do amplificador de erro, as dimensões do elemento de passagem são aplicadas ao transistor e pode-se observar os resultados. Considerando uma alimentação que varia de 1,5V até 3V, verificou-se em simulação uma regulação de linha de 1,2V com estabilidade térmica, conforme a figura 35. A tensão de *dropout*, que é



a tensão de saturação fonte-dreno do elemento de passagem, é de 127 mV. É uma tensão suficiente para a especificação do regulador e indica que o elemento de passagem opera em região de inversão moderada.

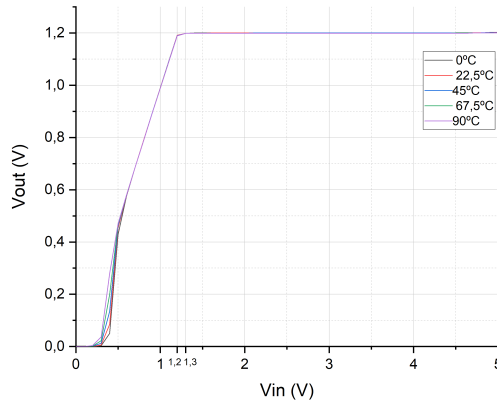


Figura 35 – Regulação de linha do regulador LDO com variação térmica.

Fonte: Autoria Própria.

Com uma carga máxima  $36\text{K}\Omega$ , espera-se uma corrente máxima de  $33,4\mu\text{A}$ . A regulação de carga é mantida até  $2,3\text{mA}$  no pior caso de variação térmica em  $90^\circ\text{C}$ , como mostra a figura 36. O melhor caso na variação térmica é  $0^\circ\text{C}$  e uma corrente de  $2,8\text{mA}$ , logo, a capacidade de fornecimento de carga varia  $500\mu\text{A}$  com a variação térmica.

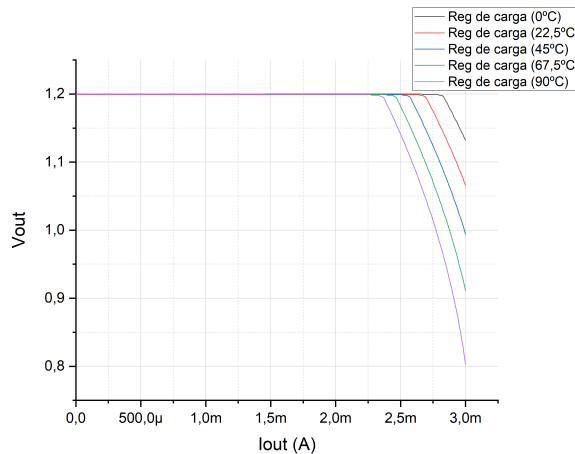


Figura 36 – Regulação de carga do regulador LDO com variação térmica.

Fonte: Autoria Própria.

A corrente quiescente  $I_Q$ , corrente de perda do regulador, é de  $10,4\mu\text{A}$ . A eficiência do circuito é medida conforme a equação 4.1. Partindo da variação de  $V_{in}$ , a eficiência do circuito varia entre 20% e 60%.

$$\eta = 1 - \frac{V_{in}}{V_{out}} \quad (4.1)$$

O ganho do circuito em malha fechada sem compensação é de 108 dB e ganho-banda de 1,6 MHz, como mostra a figura 37. O ganho-banda indica a rapidez com que o circuito responde a variações em  $V_{in}$ . O gráfico de ganho indica um primeiro polo em 60 Hz dependente da capacitância de carga do LDO. Um segundo polo se localiza em aproximadamente 400 KHz dependente das capacitâncias do elemento de passagem.

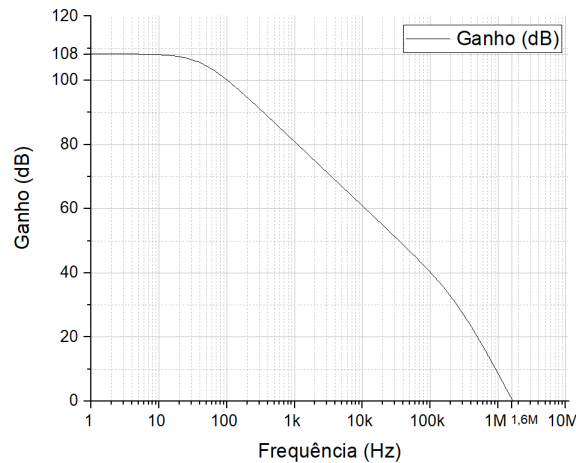


Figura 37 – Ganho do regulador LDO sem compensação.

Fonte: Autoria Própria.

A margem de fase sem compensação é de  $-58^\circ$  apresentando instabilidade, uma vez que, uma margem de fase negativa indica uma inversão na realimentação.

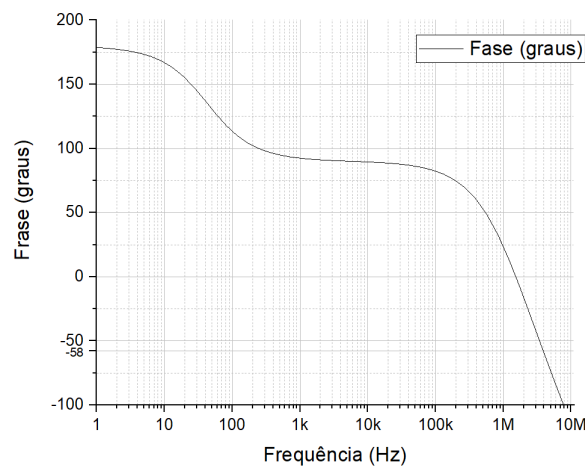


Figura 38 – Margem de Fase do regulador LDO sem compensação.

Fonte: Autoria Própria.

Como discutido nas sessões anteriores, a compensação do LDO é feita externamente ao se alocar uma capacitância de  $2\mu F$ . A figura 39 mostra o resultado do ganho com a compensação externa. O ganho tem um decréscimo de 8 dB e apresenta ganho de 100 dB. Sua margem de fase cai e é de 2,29 KHz. Essa queda é esperada uma vez

que ao adicionar uma capacitância na saída o ganho banda cai de forma inversa. Pode-se observar a presença de um polo nas frequências iniciais que inicia uma queda de 40 dB por década. Próximo à frequência de 30 Hz há outro polo que decresce o ganho a 40 dB por década.

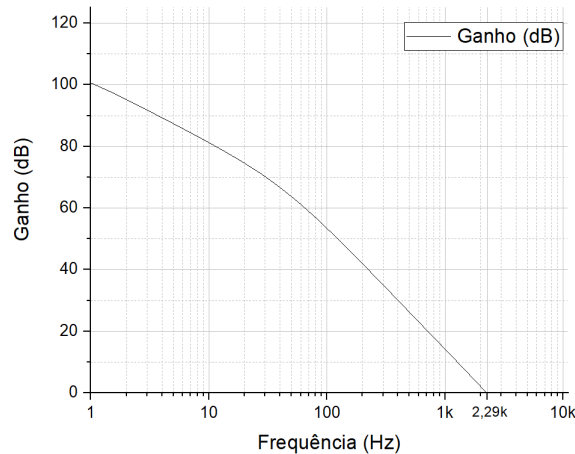


Figura 39 – Ganho do regulador LDO com compensação externa.

Fonte: Autoria Própria.

A figura 40 mostra o desempenho da fase em malha fechada. A margem de fase com a compensação é de  $0^\circ$  apresentando instabilidade. Tentou-se implementar diversas topologias que pudessem trazer a estabilidade, mas os dois polos iniciais em baixas frequências impediram que a estabilidade fosse alcançada.

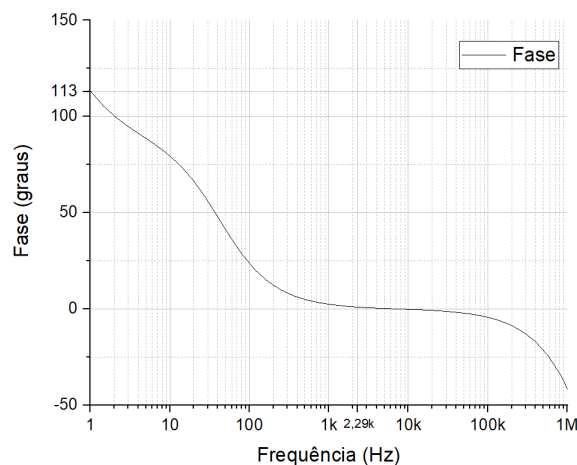


Figura 40 – Margem de Fase do regulador LDO com compensação externa.

Fonte: Autoria Própria.

O PSRR é de  $-71,84$  dB mostrando-se robusto e negativo como do amplificador OTA-Miller, conforme a figura 41. Logo, o LDO apresenta uma alta taxa de rejeição ao ruído vindo da fonte.

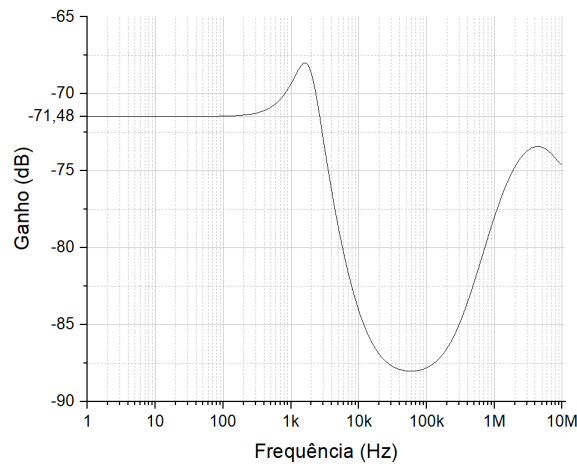


Figura 41 – Faixa de PSRR do regulador LDO.

Fonte: Autoria Própria.

Em uma simulação transiente, importante para observar a estabilidade do circuito, é possível observar que a tensão de saída se mantém estável até 5V de tensão de entrada, conforme figura 42. Ao se aplicar na entrada do regulador uma onda quadrada e observar a resposta no tempo, espera-se de um sistema estável que haja, no máximo, uma pequena oscilação nos primeiros instantes de cada onda e logo a saída se estabilize na tensão de saída de 1,2V. A simulação mostrou uma saída estável, conforme a figura 43, com um pequeno *ripple* de 100 mV.

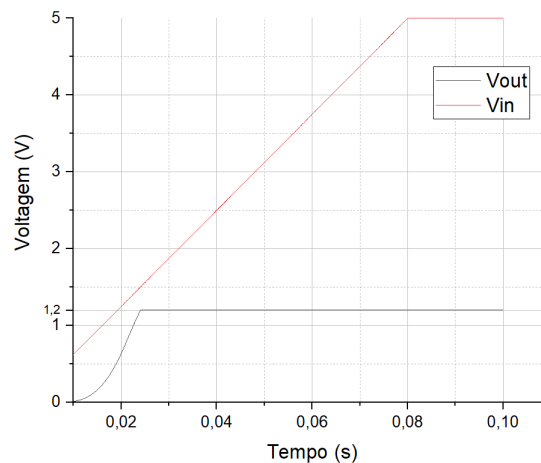


Figura 42 – Resposta transiente de entrada e saída do regulador LDO.

Fonte: Autoria Própria.

## 4.4 Corners

Para cada simulação montada em *test bench* foram feitas simulações de Corners para os casos FF e SS. As simulações se encontram no Anexo A.

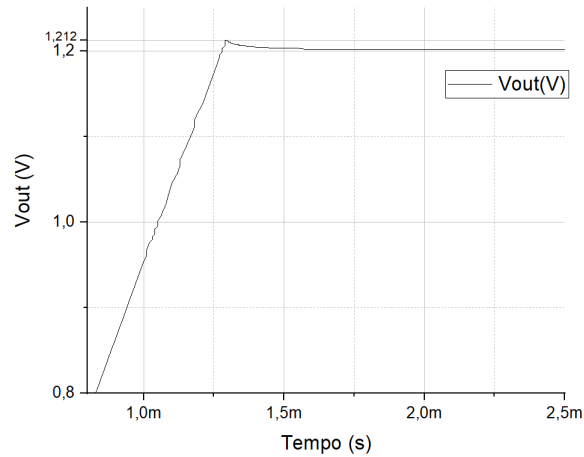


Figura 43 – Resposta transiente de saída do regulador LDO.

Fonte: Autoria Própria.

Tabela 7 – Resumo dos resultados do regulador LDO.

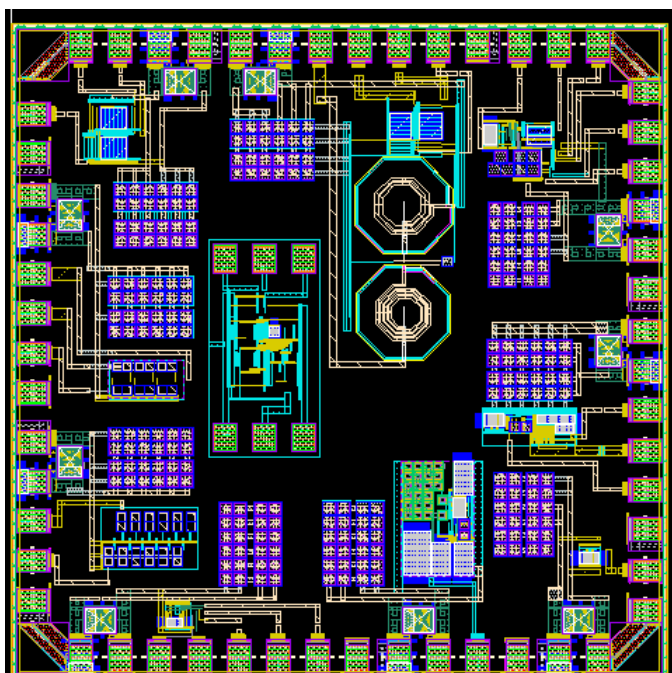
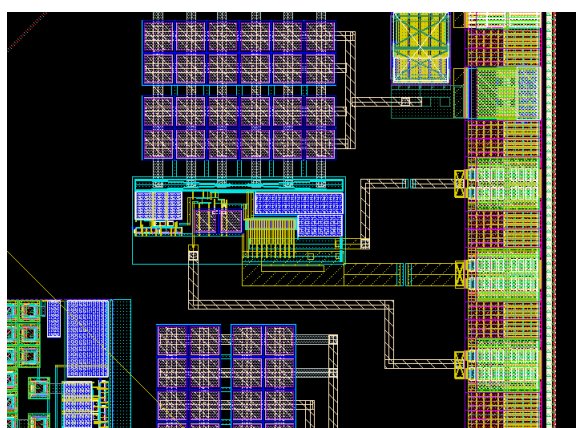
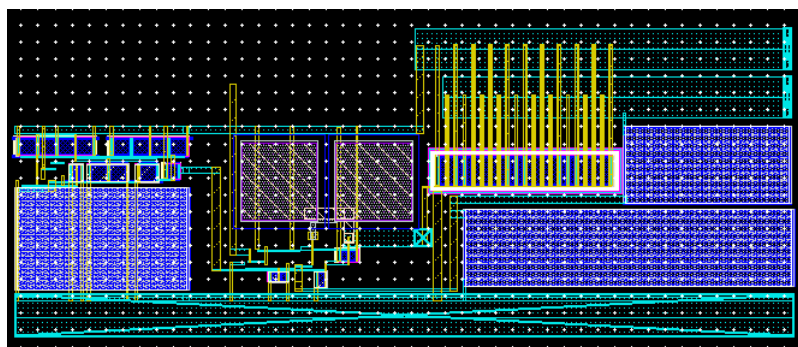
Parâmetro	Valor	Unidade
$V_{dd}$	1,5 - 3V	V
$V_{out}$	1,2	V
$V_{dropout}$	127	mV
$I_{OUTmax}$	33,4	$\mu A$
$I_Q$	10,4	$\mu A$
Consumo	5,2	$\mu A$
Ganho	100	dB
Margem de fase	0	$^\circ$
PSRR	-71,84	dB
Regulação de linha	992	mV/V
Regulação de carga	2,24	$\mu V/V$
Ripple	100	mV

## 4.5 Layout

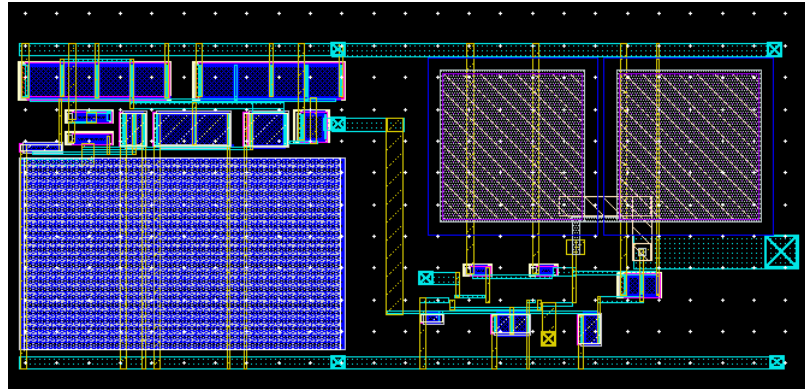
Apresenta-se o *layout* dos blocos internos do regulador LDO e do circuito integrado geral da tag de RFID.

## 4.6 Discussões

Com base nos resultados obtidos do Amplificador de erro mostrados na tabela 5 e nas figuras referentes, observa-se que os resultados atendem às especificações do circuito. O amplificador apresentou alto ganho em malha aberta, suficiente ganho-banda e boa margem de fase para estabilidade do circuito. O amplificador é capaz de rejeitar ruídos vindos da fonte dado o seu PSRR, a sua faixa de tensão de modo comum (ICMR) indica que o par diferencial opera corretamente na faixa obtida de 1 V/V. Seu *Slew-rate* indica rápida resposta à variações na entrada. Assim, com os resultados obtidos no amplificador,

Figura 44 – Visão global do *layout* do CI.Figura 45 – Visão global do *layout* do CI com foco no bloco do LDO.Figura 46 – *layout* do bloco do LDO.

conclui-se que ele é capaz de operar corretamente ao receber um sinal da realimentação da tensão de saída ( $V_{amostra}$ ), comparar com a referência de tensão ( $V_{ref}$ ) e fornecer um

Figura 47 – *layout* do bloco do Amplificador de Erro.

sinal de controle para o transistor de passagem.

Os resultados do Regulador LDO são apresentados na tabela 7 e nas figuras referentes. O regulador apresenta um alto ganho em malha fechada e é tentada a estabilização com compensação externa de  $2\mu F$ . O circuito é instável dada a sua margem de fase de  $0^\circ$  e o seu PSRR indica rejeição de ruídos vindos da fonte. Os reguladores de topologia LDO são conhecidos pela sua baixa eficiência, como é o caso do LDO apresentado. Sua tensão de *dropout* é baixa e o regulador garante regulação a partir de 1,33V. As simulações transientes e de regulação de linha mostram segurança na estabilidade da tensão de saída para tensões de até 5V, conforme especificação.

A tensão de *dropout* é a própria tensão de saturação dreno-fonte do transistor de passagem e tem baixo valor. Quando a tensão de entrada tem valor da própria tensão de saída regulada acrescida da tensão *dropout*, começa a regulação. A regulação de linha é um importante parâmetro para o regulador. Na figura 35, observa-se que a regulação se inicia quando a tensão de entrada passa dos 1,2V. Após essa tensão, a saída se mantém regulada até o valor máximo estabelecido.

A figura 36 mostra a regulação de carga. Variando a carga até valores máximos estabelecidos, a regulação da tensão de saída se mantém no valor desejado. Por fim, a figura 42 mostra a resposta do regulador no tempo. Com a variação da tensão de entrada até valores máximos, após atingir a tensão mínima, a saída se mantém regulada.

Parte V

Conclusão



## 5 Conclusão

Este trabalho apresentou um projeto de um regulador de tensão do tipo LDO de 1,2V e corrente de carga de até 2,3mA em tecnologia CMOS da TSCM de 180nm para aplicações de tags de tecnologia vestível de RFID. O regulador foi desenvolvido visando, especialmente, as especificações de sua aplicação, como: necessidade de baixo consumo e saída estabilizada para uma faixa de tensão de 1,5V a 3V.

O LDO tem sua estabilidade projetada a partir de uma compensação externa. O regulador possui baixa tensão de dropout e, em simulação, mostrou estabilidade na tensão de saída para variações de tensão de entrada, carga e variações no tempo. O regulador possui pouca eficiência energética como é comum aos reguladores de topologia LDO. O chip ainda necessita ser testado fisicamente em bancada para validação dos resultados.

O projeto do LDO compôs um projeto de *Tape Out* de RFID que foi fabricado, no ano de 2021, em tecnologia TSMC 018. O projeto contou com metodologia *Top-Down*, desenvolvimento individual de blocos por alunos da graduação da Universidade de Brasília, testes de validação, *Layout* e validação de *Layout*, o que ampliou a gama de conhecimento dos alunos envolvidos.

Para trabalhos futuros, espera-se a caracterização, em bancada, de todo o circuito, especialmente o bloco LDO.

Como melhoria para rodadas futuras de fabricação, pode-se investigar melhor a instabilidade persistente do circuito e buscar-se implementar uma compensação interna ao chip. Compensações internas ampliam as aplicações do LDO, no entanto, envolvem mais complexidade no projeto uma vez que o capacitor deve ser de 100 a 1000 vezes menor. Assim, o zero alocado pelo capacitor fica em frequências mais altas e outros incrementos devem ser feitos ao regulador para alcançar a estabilidade.

## Referências

- ALABERT, T. Post regulation low drop out (ldo) regulator. 2014. Citado 5 vezes nas páginas 22, 23, 24, 27 e 30.
- ALLEN, P. E.; HOLDBERG, D. R. *CMOS Analog Circuit Design*. [S.l.]: Oxford, 2002. v. 2 ed. Citado 4 vezes nas páginas 31, 34, 35 e 36.
- CERMÁK, M. Desing of low-dropout voltage regulator. 2016. Citado na página 37.
- CORTEZ, M. Projeto de um regulador de tensão em tecnologia cmos de 180 nm para circuitos biomédicos implantáveis que empregam transferência de energia sem fio (wpt). 2017. Citado 11 vezes nas páginas 22, 23, 24, 25, 26, 31, 32, 33, 34, 35 e 44.
- CREPALDI, P. C. Um regulador de tensão linear cmos, baseado na topologia ldo, para aplicação em bio-implante. 2010. Citado 4 vezes nas páginas 22, 23, 24 e 25.
- HANUMOLU, P. K. Low dropout regulators. 2015. Citado 2 vezes nas páginas 37 e 38.
- HUANG, S.-H. L. W.-J.; LIU, S. luan. A capacitor-free cmos low dropout regulator with slew rate enhancement. 2006. Citado 2 vezes nas páginas 37 e 38.
- INSTRUMENT, T. *A User's Guide to Compensating Low-Dropout Regulators*. Texas, USA, 2011. 16 p. Citado na página 38.
- KUMAR, C. S.; SUJATHA, K. Design and simulation of low dropout regulator. 2013. Citado na página 37.
- LEE, B. S. Understanding the terms and definitions of ldo voltage regulators. 1999. Citado 2 vezes nas páginas 25 e 26.
- LEUNG, K. N.; MOK, P. K. T. A capacitor-free cmos low-dropout regulator with damping-factor-control frequency compensation. 2003. Citado na página 37.
- LYU, Z. W. H.; BABAKHANI, A. A uhf/uwb hybrid rfid tag with a 51-m energy-harvesting sensitivity for remote vital-sign monitoring. 2020. Citado na página 19.
- MINISTÉRIO DA SAÚDE. *Sobre a doença*. 2020. [Online; accessed 23-fevereiro-2021]. Disponível em: <<https://coronavirus.saude.gov.br/>>. Citado na página 18.
- ORGANIZAÇÃO PAN-AMERICANA DA SAÚDE. *Folha Informativa - COVID-19 (doença causada pelo novo coronavírus)*. 2020. [Online; accessed 22-julho-2021]. Disponível em: <<https://www.paho.org/bra>>. Citado na página 18.
- RAZAVI. *Fundamentos da Microeletrônica*. [S.l.]: Gen, 2017. v. 2 ed. Citado 2 vezes nas páginas 30 e 32.
- SAÚDE, M. da. *Diretrizes para Diagnóstico e Tramento da Covid 19*. 2020. [Online; accessed 18-outubro-2021]. Disponível em: <<https://coronavirus.saude.gov.br/>>. Citado na página 18.

TRANQUILLINI, B. C. Projeto de um amplificador operacional em tecnologia cmos. 2008. Citado 2 vezes nas páginas [32](#) e [33](#).

ZILCH, L. B. Desenvolvimento de uma toolbox em matlab para determinação de configurações otimizadas para testes de circuitos analógicos através de simulações spice automatizadas. 2017. Citado na página [45](#).

# Anexos

# ANEXO A – Primeiro Anexo

## A.1 Simulações Corners FF

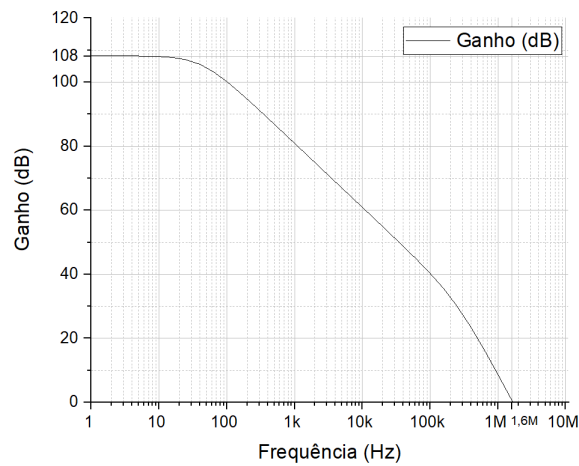


Figura 48 – Ganho do regulador LDO FF.

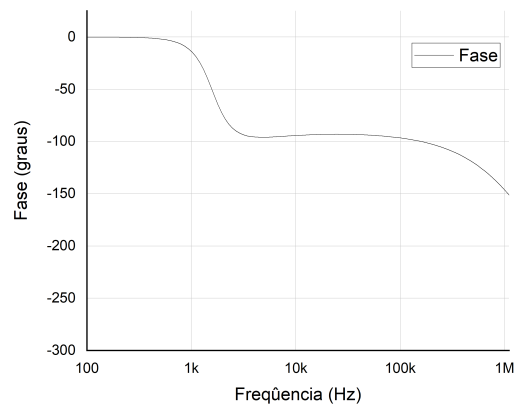


Figura 49 – Fase do regulador LDO FF.

## A.2 Simulações Corners SS

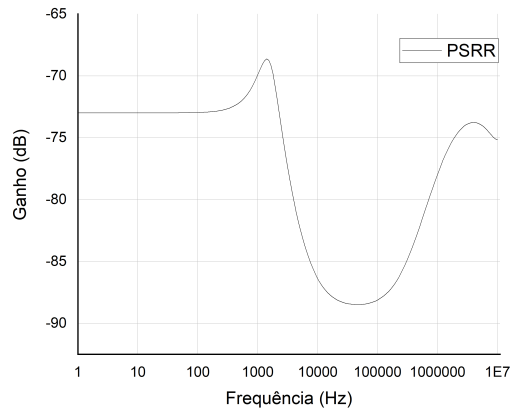


Figura 50 – Faixa de PSRR do regulador LDO FF.

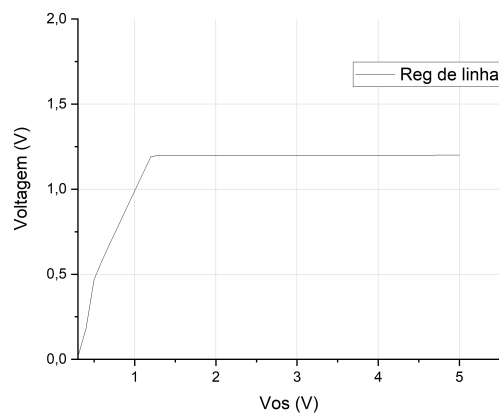


Figura 51 – Regulação de linha do regulador LDO FF.

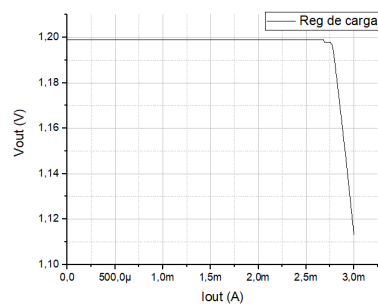


Figura 52 – Regulação de carga do regulador LDO FF.

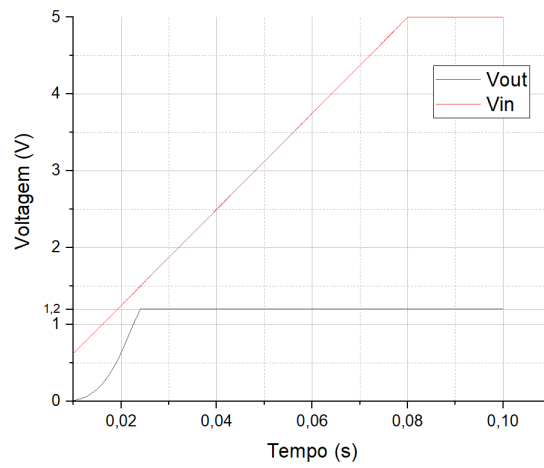


Figura 53 – Resposta transiente do regulador LDO FF.

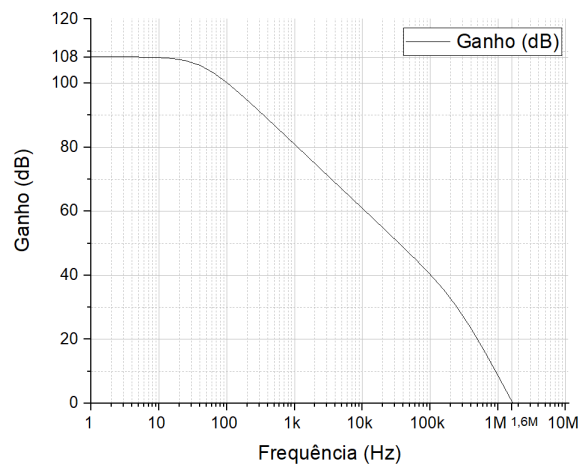


Figura 54 – Ganho do regulador LDO SS.

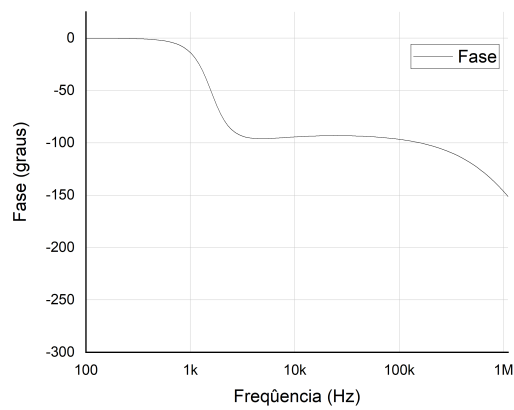


Figura 55 – Fase do regulador LDO SS.

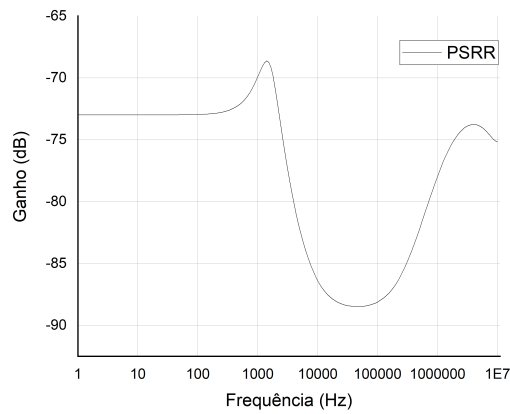


Figura 56 – Faixa de PSRR do regulador LDO SS.

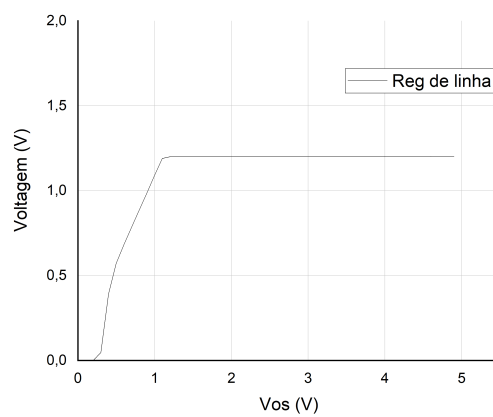


Figura 57 – Regulação de linha do regulador LDO SS.

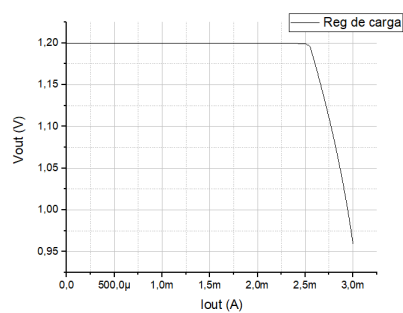


Figura 58 – Regulação de carga do regulador LDO SS.



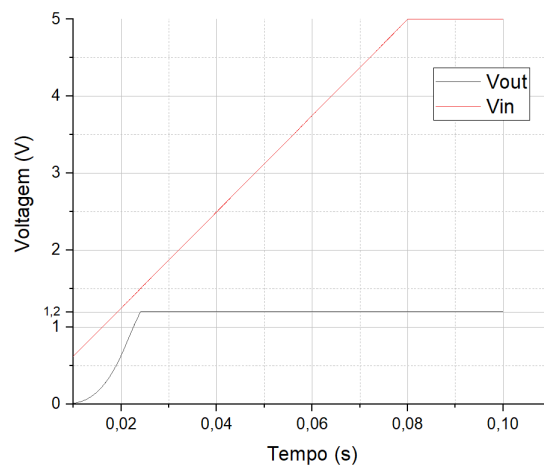


Figura 59 – Resposta transiente do regulador LDO SS.