

Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

**Desenvolvimento de um Regulador de Tensão
Low Dropout Capacitor-less em Tecnologia
CMOS de 22nm para Microcontrolador de 32
bits com Aplicações em IoT.**

Autor: Luís Victor Neves Lima
Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF
2023



Luís Victor Neves Lima

Desenvolvimento de um Regulador de Tensão Low Dropout Capacitor-less em Tecnologia CMOS de 22nm para Microcontrolador de 32 bits com Aplicações em IoT.

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF

2023

Luís Victor Neves Lima

Desenvolvimento de um Regulador de Tensão Low Dropout Capacitor-less em Tecnologia CMOS de 22nm para Microcontrolador de 32 bits com Aplicações em IoT./ Luís Victor Neves Lima. – Brasília, DF, 2023-
59 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2023.

1. *LDO*. 2. *Capacitor-less*. I. Prof. Dr. Sandro Augusto Pavlik Haddad. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Desenvolvimento de um Regulador de Tensão Low Dropout Capacitor-less em Tecnologia CMOS de 22nm para Microcontrolador de 32 bits com Aplicações em IoT.

CDU 02:141:005.6

Luís Victor Neves Lima

Desenvolvimento de um Regulador de Tensão Low Dropout Capacitor-less em Tecnologia CMOS de 22nm para Microcontrolador de 32 bits com Aplicações em IoT.

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 15 de dezembro de 2023 – Data da aprovação do trabalho:

**Prof. Dr. Sandro Augusto Pavlik
Haddad**
Orientador

**Prof. Dr. Wellington Avelino do
Amaral**
Convidado 1

Prof. Me. Yuri Cesar Rosa de Toledo
Convidado 2

Brasília, DF
2023

Agradecimentos

Primeiramente, eu gostaria de agradecer à minha mãe, Justina, minha maior apoiadora e companheira em todos os momentos. Sem ela, eu não seria quem sou e não estaria aqui. É me inspirando nela que eu tiro forças de onde não tenho, e é para dar orgulho a ela que eu concluo mais uma etapa.

Queria agradecer ao Eduardo, irmão que a graduação me deu, por estar comigo do início ao fim. Apoiando um ao outro, fomos capazes de superar barreiras e tornar o ato de fazer graduação mais tranquilo. Sem ele, eu não estaria aqui. Será uma honra compartilhar esse momento contigo.

Gostaria de agradecer à Universidade de Brasília por me permitir viver meu sonho. Agradeço aos professores Wellington Avelino e Sandro Haddad por me introduzirem à microeletrônica e por compartilharem um pouco de seus conhecimentos nessa jornada. Por fim, gostaria de agradecer aos meus amigos, tanto aqueles que conheci antes quanto durante a graduação. Cada um de vocês tem uma parte nessa conquista.

Resumo

A Universidade de Brasília (UnB) é responsável pelo projeto de um Circuito Integrado de Gerência de Potência (*PMIC*) para aplicação em um microcontrolador de 32 bits, produzido em parceria com outras universidades federais. O projeto de um *PMIC* eficiente e compacto é crucial para *Systems on Chip (SoCs)*. Os reguladores de tensão *Low dropout (LDO)* fazem parte integrante do gerenciamento de potência, tornando-se alternativas viáveis quando a queda de tensão entre a entrada e a saída não é considerável, promovendo a eficiência do circuito. Este estudo aborda a discussão e o projeto de uma topologia de amplificador de erro de dois estágios classe AB, bem como a configuração do *LDO capacitor-less*, incluindo o dimensionamento do transistor de passagem e dos resistores de realimentação. Com um capacitor de compensação de 10pF, o regulador implementado utilizando tecnologia CMOS de 22nm da TSMC opera com uma tensão típica de 2,5V e fornece 0,8V para uma carga máxima de 100mA, com uma corrente quiescente de 30 μ A e uma tensão de *dropout* de 550mV. A rejeição de ruído da fonte de alimentação é de -32 dB @ 10 kHz.

Palavras-chave: *Low dropout*; Reguladores de tensão; Classe AB; *CMOS*; *Capacitor-less*;

Abstract

The University of Brasília (UnB) is responsible for the design of a Power Management Integrated Circuit (PMIC) for use in a 32-bit microcontroller, produced in partnership with other federal universities. Designing an efficient and compact PMIC is crucial for Systems on Chips (SoCs). Low drop-out voltage regulators (LDOs) are an integral part of power management, becoming viable alternatives when the voltage drop between input and output is not considerable, promoting circuit efficiency. This study addresses the discussion and design of a two-stage class AB error amplifier topology, as well as the configuration of the capacitor-less LDO, including the sizing of the pass transistor and feedback resistors. With a compensation capacitor of 10pF, the regulator implemented using 22nm CMOS technology from TSMC operates at a typical voltage of 2.5V and provides 0.8V for a maximum load of 100mA, with a quiescent current of 30 μ A and a dropout voltage of 550mV. The power supply noise rejection is -32 dB @ 10 kHz.

Key-words: Low dropout. Voltage regulators. Class AB. CMOS. Capacitor-less.

Lista de ilustrações

Figura 1 – Divisor Resistivo de Tensão.	16
Figura 2 – Divisor Resistivo de Tensão com realimentação.	17
Figura 3 – Topologia clássica de um <i>LDO</i>	17
Figura 4 – Amplificador Operacional ideal.	22
Figura 5 – Amplificador Operacional Classe AB com entrada diferencial <i>PMOS</i>	23
Figura 6 – Modelo de pequenos sinais do Amplificador Classe AB	23
Figura 7 – Modelo em malha fechada de um <i>LDO</i> , adaptado de Torres et al. (2014).	25
Figura 8 – Resposta em frequência de um <i>LDO</i> com diferentes correntes de carga, adaptado de Lau, Mok e Leung (2007).	26
Figura 9 – Topologia do <i>LDO</i> com redução do fator de qualidade, adaptado de Lau, Mok e Leung (2007).	26
Figura 10 – Modelo de pequenos sinais do <i>LDO</i> com redução do Q, adaptado de Torres et al. (2014).	27
Figura 11 – Esquemático para obter dimensões do elemento de passagem.	29
Figura 12 – <i>Testbench</i> da resposta em frequência do amplificador	31
Figura 13 – <i>Test bench</i> do <i>PSRR</i> do amplificador	32
Figura 14 – <i>Test bench</i> para o ganho de modo comum	33
Figura 15 – <i>Testbench</i> do <i>ICMR</i> do amplificador	33
Figura 16 – <i>Testbench</i> para obtenção do <i>slew-rate</i>	34
Figura 17 – <i>Test bench</i> para análise em frequência do <i>LDO</i>	34
Figura 18 – <i>Test bench</i> para obter <i>PSRR</i> do <i>LDO</i>	35
Figura 19 – <i>Test bench</i> para determinar a regulação de linha do <i>LDO</i>	35
Figura 20 – <i>Testbench</i> para determinar a regulação de carga do <i>LDO</i>	35
Figura 21 – Ganho do amplificador de erro classe AB sem compensação.	37
Figura 22 – Fase do amplificador de erro classe AB sem compensação.	37
Figura 23 – <i>CMRR</i> do amplificador de erro classe AB.	38
Figura 24 – <i>PSRR</i> do amplificador de erro classe AB.	38
Figura 25 – <i>ICMR</i> do amplificador de erro classe AB.	39
Figura 26 – <i>Slew rate</i> do amplificador de erro classe AB.	39
Figura 27 – Ganho do <i>LDO</i> para diferentes cargas.	41
Figura 28 – Fase do <i>LDO</i> para diferentes cargas.	41
Figura 29 – Resposta transiente de carga do <i>LDO</i>	42
Figura 30 – Regulação de carga do <i>LDO</i>	42
Figura 31 – Resposta transiente de linha do <i>LDO</i>	43
Figura 32 – Regulação de linha do <i>LDO</i>	43
Figura 33 – <i>PSRR</i> do <i>LDO</i> para diferentes correntes de carga.	44

Figura 34 – Ganho do regulador <i>LDO</i> SS para para $I_L = 100\mu A$	50
Figura 35 – Fase do regulador <i>LDO</i> SS para para $I_L = 100\mu A$	50
Figura 36 – PSRR do regulador <i>LDO</i> SS para para $I_L = 100\mu A$	51
Figura 37 – Transiente de carga do <i>LDO</i> SS para para $I_L = 100\mu A$ e $T = -40^\circ$. . .	51
Figura 38 – Transiente de carga do <i>LDO</i> SS para para $I_L = 100\mu A$ e $T = 27^\circ$	52
Figura 39 – Transiente de carga do <i>LDO</i> SS para para $I_L = 100\mu A$ e $T = 80^\circ$	52
Figura 40 – Transiente de linha do <i>LDO</i> SS para para $I_L = 100\mu A$ e $T = -40^\circ$. . .	53
Figura 41 – Transiente de linha do <i>LDO</i> SS para para $I_L = 100\mu A$ e $T = 27^\circ$	53
Figura 42 – Transiente de linha do <i>LDO</i> SS para para $I_L = 100\mu A$ e $T = 80^\circ$	54
Figura 43 – Ganho do regulador <i>LDO</i> FF para para $I_L = 100\mu A$	55
Figura 44 – Fase do regulador <i>LDO</i> FF para para $I_L = 100\mu A$	55
Figura 45 – PSRR do regulador <i>LDO</i> FF para para $I_L = 100\mu A$	56
Figura 46 – Transiente de carga do <i>LDO</i> FF para para $I_L = 100\mu A$ e $T = -40^\circ$. . .	56
Figura 47 – Transiente de carga do <i>LDO</i> FF para para $I_L = 100\mu A$ e $T = 27^\circ$. . .	57
Figura 48 – Transiente de carga do <i>LDO</i> FF para para $I_L = 100\mu A$ e $T = 80^\circ$. . .	57
Figura 49 – Transiente de linha do <i>LDO</i> FF para para $I_L = 100\mu A$ e $T = -40^\circ$. . .	58
Figura 50 – Transiente de linha do <i>LDO</i> FF para para $I_L = 100\mu A$ e $T = 27^\circ$	58
Figura 51 – Transiente de linha do <i>LDO</i> FF para para $I_L = 100\mu A$ e $T = 80^\circ$	59

Lista de tabelas

Tabela 1 – Especificações de projeto.	29
Tabela 2 – Especificações do classe AB	30
Tabela 3 – Especificações iniciais do LDO.	36
Tabela 4 – Dimensões dos Componentes do Amplificador de Erro	36
Tabela 5 – Resultados do Amplificador de Erro.	40
Tabela 6 – Parâmetros do Elemento de Passagem	40
Tabela 7 – Performance do <i>LDO</i>	44
Tabela 8 – Parâmetros de estabilidade do <i>LDO</i> SS com $I_L = 100\mu A$	51
Tabela 9 – Parâmetros de estabilidade do <i>LDO</i> FF para $I_L = 100\mu A$	56

Lista de abreviaturas e siglas

CEITEC	Centro de Excelência em Eletrônica Avançada
UnB	Universidade de Brasília
UFSM	Universidade Federal de Santa Maria
RF	Rádio Frequência
IoT	<i>Internet of Things</i>
PMIC	<i>Power Management Integrated Circuit</i>
LDO	<i>Low Dropout</i>
CMOS	<i>Complementary metal-oxide-semiconductor</i>
PSRR	<i>Power Supply Rejection Ratio</i>
ICMR	<i>Input Common Mode Range</i>
SoCs	<i>Systems-on-Chip</i>
UFG	<i>Unity-Gain Frequency</i>
GBW	<i>Gain-bandwidth</i>
CMRR	<i>Common Mode Rejection Ratio</i>
SR	<i>Slew-rate</i>
AC	Corrente Alternada
DC	Corrente Contínua
STB	Stability Test Bench

Lista de símbolos

Δ	Letra grega Delta
λ	Letra grega minúscula lambda
μ	Letra grega minúscula mi
ω	Letra grega minúscula omega
Ω	Letra grega maiúscula Omega
β	Letra grega beta

Sumário

1	INTRODUÇÃO	14
1.1	Motivação	14
1.2	Objetivo geral	14
1.3	Objetivos específicos	15
1.4	Organização do trabalho	15
2	REFERENCIAL TEÓRICO	16
2.1	Componentes do <i>LDO</i>	17
2.1.1	Tensão de Referência	18
2.1.2	Amplificador de Erro	18
2.1.3	Transistor de Passagem	19
2.1.4	Rede de Realimentação	19
2.2	Especificações de um <i>LDO</i>	19
2.2.1	Tensão de <i>Dropout</i>	20
2.2.2	Corrente Quiescente	20
2.2.3	Regulação de linha	20
2.2.4	Regulação de carga	20
2.2.5	Rejeição de ruído de fonte	21
2.2.6	Eficiência	21
2.3	Projeto do regulador <i>low dropout</i>	21
2.3.1	Amplificador Operacional	21
2.3.1.1	Amplificador Ideal	21
2.3.1.2	Amplificador Operacional Classe AB	22
2.3.2	Análise de Estabilidade do LDO	24
2.3.3	Topologia Proposta	26
3	METODOLOGIA	29
3.1	Elemento de Passagem	29
3.2	Resistores de Realimentação	30
3.3	Projeto do Amplificador Operacional Classe AB e do <i>LDO</i>	30
3.4	<i>Virtuoso</i>	31
3.4.1	Simulação de <i>Corners</i>	31
3.4.2	Amplificador Classe AB	31
3.4.3	Regulador <i>LDO</i>	34
4	RESULTADOS	36

4.1	Amplificador de Erro	36
4.2	Elemento de Passagem	40
4.3	Regulador <i>LDO</i>	40
4.4	<i>Corners</i>	44
4.5	Discussões	45
5	CONCLUSÕES	46
5.0.1	Trabalhos futuros	46
	REFERÊNCIAS	47
	APÊNDICES	49
	APÊNDICE A – SIMULAÇÃO DE CORNER SS	50
	APÊNDICE B – SIMULAÇÃO DE CORNER FF	55

1 Introdução

1.1 Motivação

O planeta passa por um momento de escassez dos semicondutores que, ocasionada pela pandemia de covid-19 e a disputa política entre os Estados Unidos e China, prejudica diretamente a cadeia produtiva dos produtos eletrônicos. A escassez de semicondutores acarreta no aumento de preços dos circuitos integrados e atrasos nas entregas das encomendas por parte dos fabricantes (PENTEADO, 2023). A busca por tornar os países menos dependentes de importações vem abrindo portas para o investimento em fábricas de semicondutores. Sabendo disso, o atual governo busca reabrir o Centro de Excelência em Eletrônica Avançada (CEITEC), fundada em 2008 para fabricação de chips, que havia entrado em processo de extinção durante o governo anterior (MELLO, 2023).

Incentivados por políticas públicas e demandas de empresas nacionais, a Universidade de Brasília (UnB), junto a Universidade Federal de Santa Maria (UFSM) e outras universidades federais, estão envolvidas em um projeto calcado em desenvolver um microcontrolador de 32 bits capaz de estabelecer comunicação por Rádio Frequência (RF), além de possuir periféricos suficientes para suprir as demandas da indústria brasileira quando se trata de Internet das Coisas (do inglês *Internet of Things - IoT*). Tal projeto é complexo e exige esforço de diversos projetistas, portanto, realiza-se a separação do projeto em blocos funcionais, atribuindo-os a diferentes membros do projeto, para posterior agrupamento, numa metodologia de projeto chamada *Top-Down*.

Responsável por fornecer tensões e correntes estáveis para outros componentes do microcontrolador, o Circuito Integrado de Gerência de Potência (do inglês *Power Management Integrated Circuit - PMIC*) deve ser projetado pela UnB. O gerenciamento de potência é de extrema importância para equipamentos alimentados por baterias, pois ele é capaz de entregar alta eficiência e expandir o tempo de funcionamento da mesma, através de seus reguladores (CHEN, 2016).

1.2 Objetivo geral

O presente trabalho tem como meta o projeto e a implementação de um regulador de tensão, baseado na topologia *Low Dropout (LDO)*, em tecnologia *CMOS (Complementary Metal-Oxide Semiconductor, Semicondutor de Óxido Metálico Complementar)* 22nm da TSMC para o bloco *PMIC*. O regulador deve ser projetado para fornecer uma tensão de 0,8V com uma tensão de alimentação de varia de 1,5 a 2,5V.

1.3 Objetivos específicos

- Analisar as características fundamentais de um regulador *LDO*;
- Estudo e projeto de um amplificador de erro;
- Avaliação em frequência do sistema;
- Realizar simulações e apresentar os resultados obtidos.

1.4 Organização do trabalho

Os trabalho subsequente será dividido em mais 4 capítulos: No capítulo 2 é apresentada a topologia do *LDO*, é feita a descrição de cada bloco do regulador e a descrição das especificações do mesmo. No capítulo 3, os métodos de simulação para caracterizar o amplificador de erro e o regulador de tensão serão explicitados. Já no capítulo 4, os resultados adquiridos em simulação serão apresentados. Por fim, o capítulo 5 tratará concluir o trabalho e apresentar questões pendentes para trabalhos futuros.

2 Referencial Teórico

Reguladores de tensão são blocos utilizados em projetos eletrônicos que, para manter uma saída de tensão estável e constante em determinada impedância de carga, ajustam a sua resistência interna. Dessa forma, a tensão sobre a carga torna-se independente das variações na tensão de entrada ou nas variações da carga (INSTRUMENTS, 1999). A forma mais simples de regular uma tensão é através divisor resistivo de tensão, apresentado na figura 1, no qual há a variação da resistência interna de forma a compensar as flutuações que podem vir a ocorrer na impedância de carga.

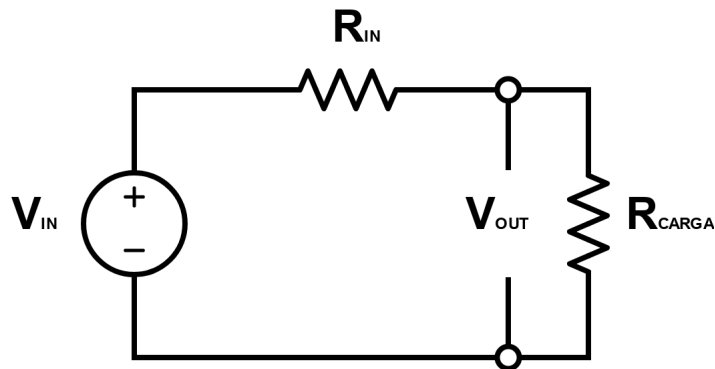


Figura 1 – Divisor Resistivo de Tensão.

É necessário que a resistência interna da fonte seja muito menor que a impedância da carga fazendo com que a queda de tensão sobre ela seja mantida constante a medida em que a impedância da carga oscile em uma determinada faixa de valores (AMARAL, 2022). A partir da análise do circuito, a equação que rege o comportamento da tensão de saída é dada por:

$$V_{out} = V_{in} \frac{R_{load}}{R_{load} + R_{in}} \quad (2.1)$$

Realizando as manipulações necessárias na equação 2.1, é encontrada uma relação de proporcionalidade entre a resistência interna e a carga dada por:

$$V_{out} = V_{in} \frac{1}{1 + \frac{R_{in}}{R_{load}}} \quad (2.2)$$

Para que ocorra a manutenção da proporcionalidade $\frac{R_{in}}{R_{load}} = k$, é necessária a implementação de um circuito que seja capaz de detectar as variações na carga através de uma realimentação, alterando o valor da impedância de saída e mantendo k constante

(INSTRUMENTS, 1999). A topologia apresentada na figura 2 demonstra a implementação da realimentação no controle da impedância.

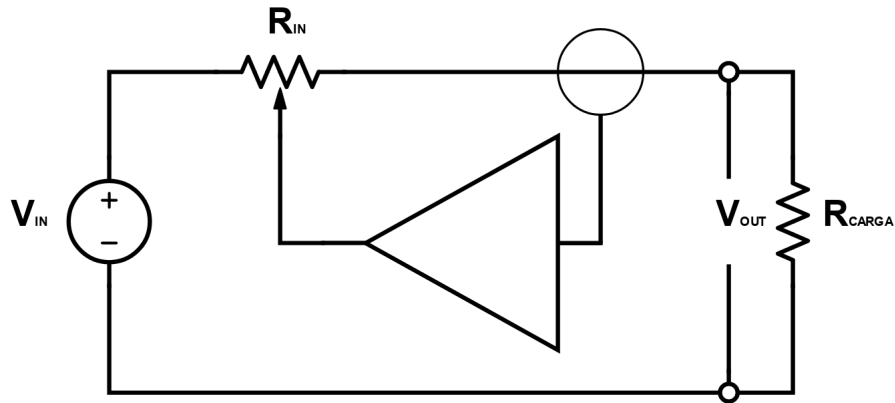


Figura 2 – Divisor Resistivo de Tensão com realimentação.

Em resposta à necessidade de realimentação com resistência interna variável, o *LDO* se apresenta como opção viável. A estrutura clássica de um *LDO*, apresentada na figura 3, utiliza da realimentação negativa com dois resistores que dividem a tensão de saída e a entregam na entrada inversora de um amplificador de erro. O amplificador é responsável por comparar a tensão amostrada com uma tensão de referência, conectada à entrada não inversora do mesmo.

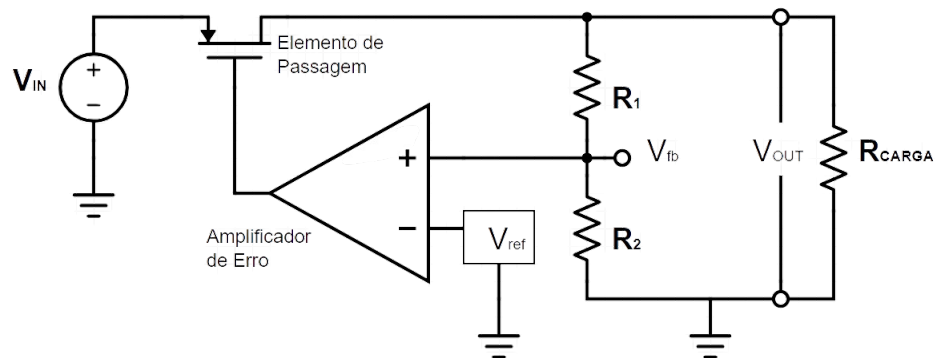


Figura 3 – Topologia clássica de um *LDO*.

A diferença entre as tensões é amplificada e fornecida à porta de um transistor de passagem. O transistor de passagem opera como um resistor controlado por tensão e é responsável por restaurar a tensão de saída quando sua tensão de porta é alterada.

2.1 Componentes do *LDO*

Como apresentado na figura 3, a estrutura do *LDO* é dividida em quatro blocos principais: tensão de referência, amplificador de erro, transistor de passagem e realimen-

tação. Nesta sessão serão abordadas com mais detalhes a importância de cada um para o funcionamento do regulador.

2.1.1 Tensão de Referência

Tensões de referência são responsáveis por determinar o ponto de operação do amplificador de erro (ČERMÁK, 2016). O termo *referência* é usado quando os valores de tensão possuem mais precisão e estabilidade do que outras fontes normalmente possuem (ALLEN; HOLBERG, 2002). Em grande parte dos casos é optado por trabalhar com tensão referência do tipo *band-gap*, por operar com baixas tensões de alimentação, além da precisão e estabilidade, mesmo submetida à variação de temperatura. Além disso, é necessário que a tensão de referência tenha uma alta rejeição ao ruído, portanto, um alto *PSRR* (*Power Supply Rejection Ratio*, Índice de Rejeição da Fonte de Alimentação na tradução livre) (ČERMÁK, 2016).

2.1.2 Amplificador de Erro

Com o intuito de gerar um sinal de controle para o elemento de passagem, o amplificador diferencial *CMOS* é realimentado com uma amostragem da tensão de saída e realiza a comparação com a tensão de referência. O produto dessa comparação é amplificado, como apresentado na equação 2.3, e utilizado para controlar o elemento de passagem que, por sua vez, tem a finalidade de manter a tensão de saída regulada (CORTEZ, 2017).

$$V_{controla} = A_v(V_{ref} - V_{fb}) \quad (2.3)$$

O amplificador de erro deve se manter o mais simples possível, para que não drene muita corrente, visto que ele é o componente com maior consumo de potência. Quanto maior o número de ramos de corrente, maior é a corrente drenada e, portanto, maior é a corrente quiescente (ČERMÁK, 2016). O curto-circuito virtual acontece quando o ganho de malha aberta é suficientemente grande, assim acontece a equivalência entre a tensão de referência e a tensão amostrada, gerando a equação que dita o comportamento da tensão de saída.

$$V_{out} = \left(1 + \frac{R_1}{R_2}\right) V_{ref} \quad (2.4)$$

A rejeição em relação à tensão de alimentação não regulada, assim como o ganho, deve ser alta, impedindo a amplificação de flutuações na alimentação (CREPALDI, 2010).

2.1.3 Transistor de Passagem

O transistor de passagem opera como uma resistência variável, que trabalha para manter constante a tensão de saída até uma tensão mínima de alimentação que mantenha o transistor de passagem em saturação. O controle da resistência é feito pelo sinal de erro aplicado na porta do transistor de passagem, alterando a tensão fonte-porta V_{sg} e, conseqüentemente, alterando também a corrente I_{ds} que flui pelo transistor (ALLEN; HOLBERG, 2002). A relação entre V_{sg} e I_{ds} em um transistor *PMOS* (*P-channel Metal-Oxide Semiconductor*, Semicondutor de Óxido Metálico de canal P na tradução livre) é dada por:

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{sg} - |V_{th}|)^2 \quad (2.5)$$

O transistor de passagem pode ser um transistor do tipo bipolar ou *CMOS*, entretanto, devido as diferenças de construção entre componentes, há um consumo de corrente na base do transistor bipolar que não ocorre na porta do transistor *CMOS*. Visto que o consumo de corrente impacta diretamente no funcionamento do amplificador de erro, a opção pelo transistor de passagem do tipo *CMOS* é a mais adequada para a aplicação (CREPALDI, 2010).

2.1.4 Rede de Realimentação

A realimentação é responsável por amostrar a tensão de saída através de um divisor resistivo nos resistores R_1 e R_2 . A tensão amostrada será comparada, através do amplificador de erro, com a tensão de *band-gap* (CORTEZ, 2017). Devido a natureza fixa do *band-gap*, a única forma de alterar a tensão de saída é através da proporção $\frac{R_1}{R_2}$ (ČERMÁK, 2016). A equação 2.6 demonstra o comportamento da tensão de *feedback* em função dos resistores e da tensão de saída.

$$V_{fb} = \frac{R_2}{R_1 + R_2} V_{out} \quad (2.6)$$

2.2 Especificações de um *LDO*

Durante o projeto de um regulador de tensão grandezas de desempenho devem ser atendidas para determinar o correto funcionamento do mesmo. Para um *LDO* as grandezas de maior importância são a tensão de *dropout*, regulação de linha e carga, rejeição de fonte e corrente quiescente. Os parâmetros citados serão apresentados com maior detalhe nesta sessão.

2.2.1 Tensão de Dropout

Tensão de *dropout* é a diferença de tensão no nó de entrada e de saída do regulador em que o mesmo deixa de regular se houverem quedas maiores na tensão de entrada (LEE, 1999). No caso *LDO*, a tensão de *dropout* é equivalente à tensão fonte-dreno que coloca o elemento de passagem em saturação.

$$V_{dropout} = V_i - V_o = V_{SD_{sat}} \quad [V] \quad (2.7)$$

2.2.2 Corrente Quiescente

Corrente quiescente é a diferença entre as correntes de entrada e saída. Uma corrente quiescente pequena é necessária para maximizar a eficiência do regulador (LEE, 1999).

$$I_Q = I_i - I_o \quad [A] \quad (2.8)$$

2.2.3 Regulação de linha

Regulação de linha é o parâmetro que define a habilidade do regulador de manter a tensão de saída desejada com variações na tensão de entrada (LEE, 1999), dada pela equação 2.9.

$$\text{Regulação de linha} = \frac{\Delta V_o}{\Delta V_i} \quad [V/V] \quad (2.9)$$

A regulação de linha é melhorada ao aumentar o ganho de malha aberta do amplificador, entretanto, aumentar muito o ganho pode acarretar em uma estabilidade (ČERMÁK, 2016).

2.2.4 Regulação de carga

Regulação de carga apresenta a capacidade do circuito de manter a tensão de saída desejada apesar das variações na carga (LEE, 1999). A regulação de carga é definida como:

$$\text{Regulação de carga} = \frac{\Delta V_o}{\Delta I_o} \quad [V/A] \quad (2.10)$$

Assim como na regulação de linha, aumentar o ganho de malha aberta do amplificador melhora a regulação de carga (ČERMÁK, 2016). O pior caso de variação de tensão ocorre quando a corrente de carga varia do valor mínimo para o valor máximo ou vice-versa (LEE, 1999).

2.2.5 Rejeição de ruído de fonte

Rejeição de ruído de fonte é o parâmetro que determina a capacidade de prevenir flutuações na tensão de saída regulada causadas por variações na tensão de entrada (LEE, 1999).

$$PSRR = 20 \log_{10} \frac{\Delta V_o}{\Delta V_i} \quad (2.11)$$

2.2.6 Eficiência

A eficiência é dada em porcentagem e é determinada pela comparação entre a potência de saída e a potência fornecida pela fonte. Também pode ser expressa em função da corrente quiescente, como apresentada na equação 2.12 (LEE, 1999).

$$Eficiência = \frac{I_o V_o}{(I_o + I_q) V_i} \quad (2.12)$$

Para alcançar uma maior eficiência é necessário minimizar a tensão de *dropout* e a corrente quiescente. Em outras palavras, a diferença entre a tensão de entrada e a de saída deve ser a menor possível (ČERMÁK, 2016).

2.3 Projeto do regulador *low dropout*

2.3.1 Amplificador Operacional

Elementos essenciais em inúmeros sistemas analógicos, os amplificadores operacionais influenciam diretamente no desempenho destes sistemas (ACOSTA, 1997). Os amplificadores operacionais recebem este nome por serem capazes de adicionar sinais, amplificar um sinal, integrá-lo ou diferenciá-lo, tais operações são realizadas através de um arranjo específico de componentes externos, como resistores e capacitores, conectados a seus terminais (ALEXANDER; SADIKU; NASCIMENTO, 2013). O *design* de amplificadores operacionais continuam impondo desafios devido a queda das tensões de alimentação e diminuição da escala do comprimento de canal dos transistores *CMOS* à cada tecnologia, ideais para fabricação devido ao baixo consumo de área (RAZAVI, 2001).

2.3.1.1 Amplificador Ideal

Um amplificador operacional ideal possui ganho de tensão infinito (A_v), impedância de entrada infinita (Z_{in}), impedância de saída nula (Z_{out}) e velocidade infinita (RAZAVI, 2008). Apresentado na figura 4, o amplificador possui entrada diferencial, uma inversora ($V-$) e outra não-inversora ($V+$), a tensão de saída (V_{out}) é dada pela equação

2.13, V_{dd} é a tensão de alimentação positiva e V_{ss} é a tensão de alimentação negativa ou terra, à depender do tipo de alimentação do amplificador.

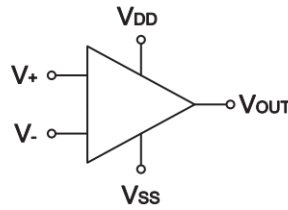


Figura 4 – Amplificador Operacional ideal.

$$V_{out} = A_v(V_+ - V_-) \quad (2.13)$$

Por possuir ganho elevado e, em circuitos práticos, tensões de saída finitas, a diferença entre V_+ e V_- é muito pequena, como apresentado na equação 2.14. Quando o ganho tende ao infinito, pode-se afirmar que a diferença entre as entradas se torna ínfima e, conseqüentemente, há a criação de um curto-circuito virtual que torna $V_+ = V_-$ (RAZAVI, 2008).

$$V_+ - V_- = \frac{V_{out}}{A_v} \quad (2.14)$$

2.3.1.2 Amplificador Operacional Classe AB

Geralmente amplificadores operacionais de dois estágios são construídos por um par diferencial no primeiro estágio e um amplificador fonte comum no segundo estágio, aumentando assim o ganho total do amplificador. Entretanto, isso demanda a adição de um capacitor para a compensação em frequência, já que a adição do segundo estágio introduz um segundo polo que torna o sistema instável quando realimentado (GUPTA et al., 2016).

Como alternativas para a utilização do amplificador de dois estágios comum surgem os amplificadores de um estágio com um alto ganho e que dispensam a necessidade de compensação em frequência, como o *folded cascode* e o telescópico, e os amplificadores de dois estágios classe AB que apresentam algumas vantagens se comparados com o de dois estágios clássico. Por ser um amplificador inversor de alto ganho, o amplificador classe AB apresenta certa facilidade quando é necessária a utilização da compensação Miller ou outra técnica de realimentação para estabilização em frequência. Por apresentar seu estágio de saída semi-isolado do estágio de entrada a utilização do classe AB em *LDOs* se torna vantajosa, já que a corrente do estágio de saída será utilizada para acionar o transistor de potência. A Figura 5 apresenta o esquemático genérico de um amplificador Classe AB PMOS.

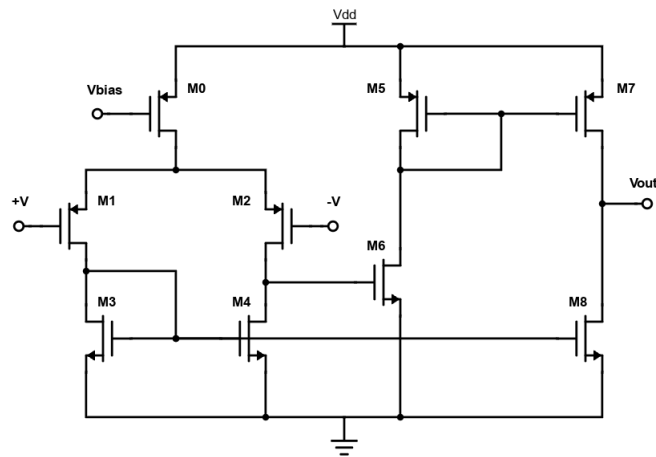


Figura 5 – Amplificador Operacional Classe AB com entrada diferencial PMOS.

Os transistores M_0 a M_4 compõem o primeiro estágio do amplificador, invertendo o sinal amplificado, enquanto os transistores M_5 a M_8 formam o segundo estágio não inversor. Em paralelo, os transistores M_7 e M_8 atuam como o estágio push-pull que carrega e descarrega a capacitância de porta do transistor de potência do LDO quando ocorrem rápidas variações na carga e/ou alimentação do LDO. Complementar a isso, um caminho de *feedforward* é estabelecido entre os transistores M_1 , M_3 e M_8 , que introduzem um zero no semiplano direito no plano complexo, geralmente localizado abaixo da frequência de ganho unitário, portanto, a estabilidade em frequência não é afetada.

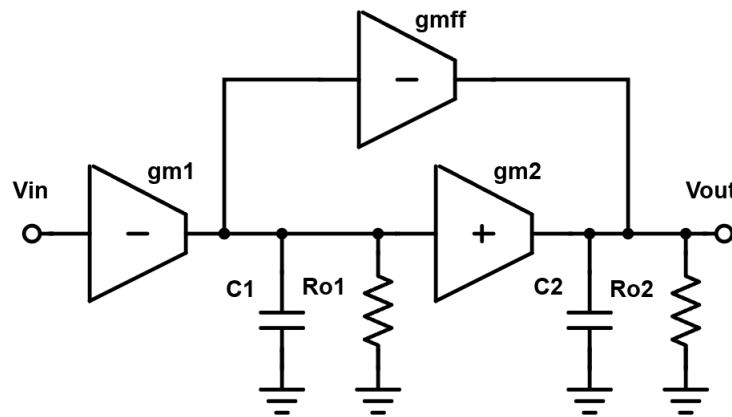


Figura 6 – Modelo de pequenos sinais do Amplificador Classe AB

O modelo de pequenos sinais do amplificador é apresentado na figura 6, onde g_{m_i} , C_i e R_{o_i} representam a transcondutância, capacitância de saída e impedância de saída de cada estágio, enquanto $g_{m_{ff}}$ representa a transcondutância do caminho *feedforward*. R_{o1} é definido como o paralelo das impedâncias equivalentes de M_2 e M_4 , enquanto R_{o2} é o resultado do paralelo das impedâncias de M_7 e M_8 . Do modelo apresentado, o ganho do amplificador (A_{EA}) é definido na equação 2.15, os polos dominantes são representados pelas equações 2.16 e 2.17, e, por fim, o zero é descrito pela equação 2.18.

$$A_{EA} = -g_{m1}R_{o1}g_{m2}R_{o2} \quad (2.15)$$

$$P_1 = \frac{1}{R_{o1}C_1} \quad (2.16)$$

$$P_2 = \frac{1}{R_{o2}C_2} \quad (2.17)$$

$$z_1 = \frac{g_{m1}g_{m2}}{g_{mff}C_1} \quad (2.18)$$

O *slew-rate* (SR) é um parâmetro que determina a taxa de variação de tensão na saída do amplificador quando estimulado na entrada. Portanto, a capacitância parasita introduzida no sistema devido ao tamanho do transistor de passagem tem influência direta no comportamento do mesmo, assim como a corrente que flui pelo estágio de saída do amplificador. Considerando que a corrente de saída do amplificador classe AB é um múltiplo da corrente de polarização do par diferencial de entrada, conclui-se que a velocidade da resposta transiente é limitada pela corrente de polarização. Aumentar muito a corrente no estágio de saída pode impactar diretamente na estabilidade do sistema. Por isso, é importante encontrar um equilíbrio entre o SR e a estabilidade em frequência. O caminho *feedforward* auxilia no comportamento *push-pull* do estágio de saída, contribuindo para melhorar a resposta transitória do sistema.

2.3.2 Análise de Estabilidade do LDO

A compensação de um regulador de tensão *low drop-out*, essencial para alcançar boa estabilidade e resposta transiente, é frequentemente realizada por meio de um capacitor externo ao encapsulamento do chip. No entanto, a inclusão desse capacitor externo pode limitar a viabilidade do uso do regulador em *SoCs* (*System on Chip*, Sistema em Chip na tradução livre), aumentando a quantidade de componentes, a área ocupada e, conseqüentemente, o custo do sistema. Na configuração convencional de um *LDO*, o capacitor de compensação utilizado geralmente é da ordem de alguns microfarads. Em um *LDO* sem capacitor externo, as capacitâncias parasitas e quaisquer capacitores conectados à saída do regulador estão na ordem de alguns picofarads (TORRES et al., 2014).

Para análise de estabilidade, o modelo de malha fechada de um *LDO* sem capacitor externo é apresentado na figura 7. O modelo utiliza a figura 3 como referência e tem V_{IN} a entrada do *LDO*, V_{OUT} a saída, e V_{REF} a tensão de referência. β é o fator de realimentação, determinado pela Equação 2.19. A_P e $A_{AE}(s)$ representam, respectivamente, o ganho de tensão do elemento de passagem e a função de transferência do amplificador de erro.

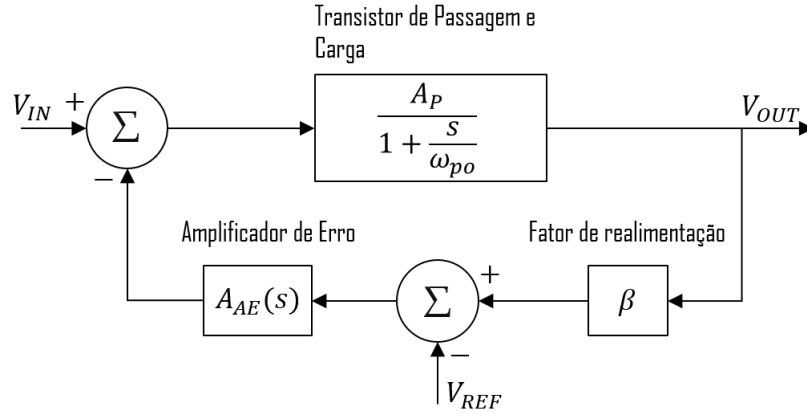


Figura 7 – Modelo em malha fechada de um LDO, adaptado de Torres et al. (2014).

$$\beta = \frac{R_2}{R_1 + R_2} \quad (2.19)$$

A função de transferência do amplificador de erro pode ser expressa pela equação 2.20, dependendo do número de estágios do amplificador. $A_{EA,o}$ representa o ganho DC do amplificador, enquanto ω_{p1} e ω_{p2} são, respectivamente, os polos dominantes e não dominantes do amplificador.

$$A_{EA}(s) = \begin{cases} \frac{A_{EA,o}}{1+s/\omega_{p1}}, & \text{para amplificadores de um estágio} \\ \frac{A_{EA,o}}{(1+s/\omega_{p1})(1+s/\omega_{p2})}, & \text{para amplificadores de dois estágios} \end{cases} \quad (2.20)$$

Utilizando um amplificador de dois estágios, é possível descrever o sistema em malha aberta de um LDO como um integrador com perdas seguido por um *biquad* (TORRES et al., 2014). Portanto, a função de transferência em malha aberta pode ser expressa conforme apresentado na Equação 2.21. O fator de qualidade é representado por Q e é proporcional a $\frac{1}{g_{mp}}$ (DHANASEKARAN; SILVA-MARTINEZ; SANCHEZ-SINENCIO, 2009), enquanto a frequência natural é representada por ω_o .

$$A_{OL} = \frac{\beta A_{EA,o} A_P}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(\frac{s^2}{\omega_o^2} + \frac{s}{\omega_o Q} + 1\right)} \quad (2.21)$$

Ao contrário dos reguladores com compensação externa, o LDO com capacitor interno enfrenta instabilidade em baixas correntes de carga. Em situações de carga reduzida, quando há um valor baixo de g_{mp} , os dois polos não dominantes gerados pela saída do LDO e na porta do transistor de passagem tornam-se complexos, podendo resultar em um pico devido ao elevado fator de qualidade (LAU; MOK; LEUNG, 2007). Para assegurar a estabilidade do sistema, é crucial que o polo complexo esteja posicionado acima da frequência de ganho unitário e que a magnitude do pico gerado por eles não ultrapasse o eixo dos 0 decibéis. Caso contrário, tanto o ganho quanto a fase serão afetados, resultando

na instabilidade do sistema. Para garantir que o pico não ultrapasse, conforme mostrado na figura 8, o valor de Q deve ser mantido menor ou igual a 0,707 (TORRES et al., 2014).

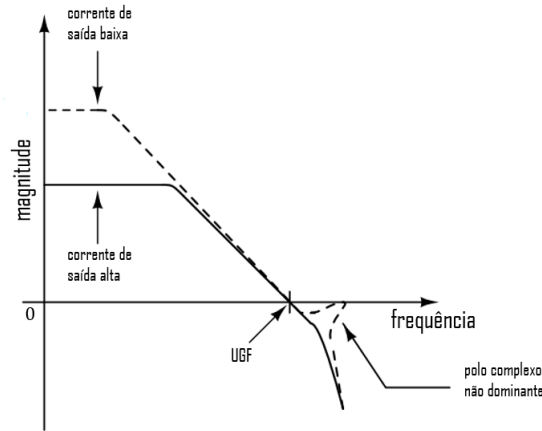


Figura 8 – Resposta em frequência de um LDO com diferentes correntes de carga, adaptado de Lau, Mok e Leung (2007).

2.3.3 Topologia Proposta

Determinadas formas de compensação, como a compensação Miller, acabam gerando uma função de transferência com um polo dominante e um par de polos complexos, como apresentado na equação 2.21. Portanto, com o objetivo de obter uma expressão para Q e ω_o em termos de parâmetros de *design*, como transcondutâncias e capacitâncias, um caminho extra dentro do LDO é introduzido. Em (LAU; MOK; LEUNG, 2007), um método simples e eficiente encontrado para atingir esse objetivo foi acrescentar outro capacitor entre a saída do primeiro estágio e a saída do segundo, técnica conhecida como redução do Q . A figura 9 apresenta um LDO composto por um amplificador classe AB, compensação de Miller e um circuito de redução do Q .

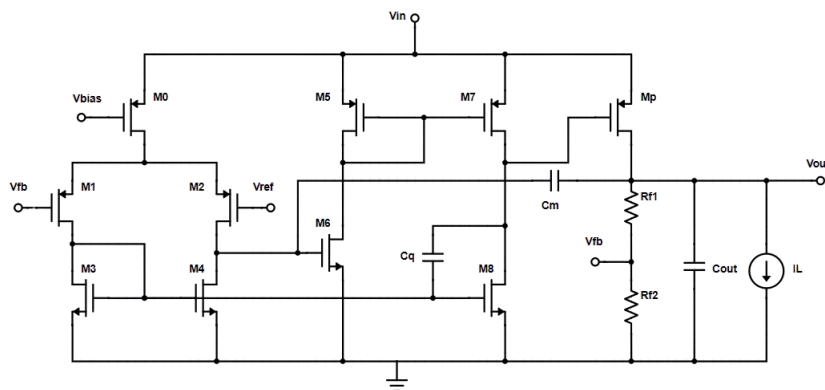


Figura 9 – Topologia do LDO com redução do fator de qualidade, adaptado de Lau, Mok e Leung (2007).

Observa-se que a principal alteração na topologia é a inclusão do capacitor C_q . Como explicado na seção 2.3.1.2, os transistores M_0 a M_8 constituem o amplificador

classe AB, onde M_p representa o transistor de potência, C_m é o capacitor de compensação Miller, R_{f1} e R_{f2} formam a rede de realimentação, I_L é a corrente de carga, e C_{out} é a capacitância parasita na saída das trilhas. Além de funcionarem como carga ativa para o primeiro estágio, os transistores M_3 e M_4 atuam como um *buffer* de corrente conectado à entrada do segundo estágio, criando um caminho de realimentação por meio de C_q e um caminho de *feedforward* através de M_8 . A figura 10 apresenta o modelo equivalente de pequenos sinais do circuito, similar ao exposto na seção 2.3.1.2, com a inclusão de g_{mp} para representar a transcondutância do transistor de potência, R_{out} e C_{out} que denotam a impedância e a capacitância equivalente de saída, respectivamente, e g_{mcb} , R_{cb} e C_{cb} , que representam a transcondutância, impedância de entrada e capacitância de entrada do *buffer* de corrente, respectivamente.

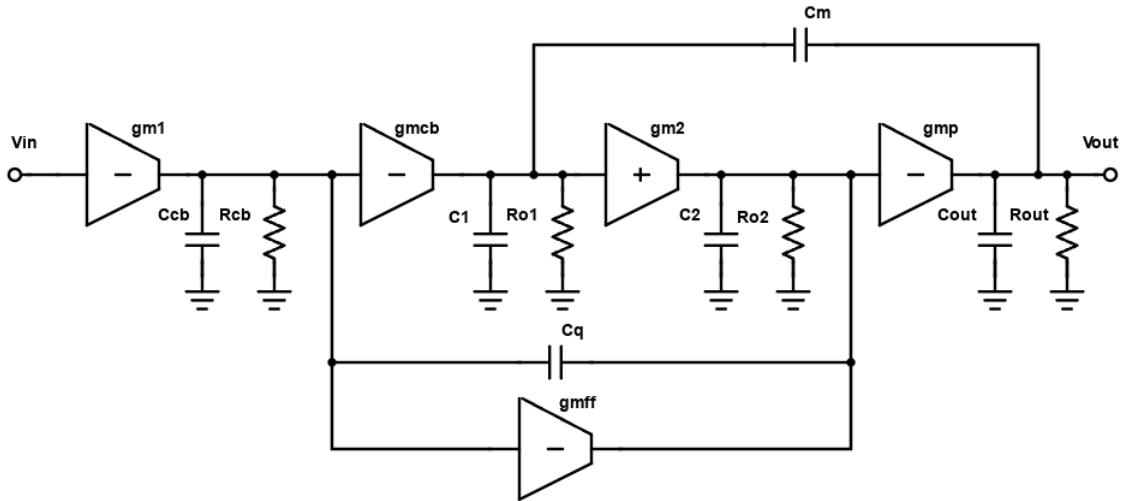


Figura 10 – Modelo de pequenos sinais do LDO com redução do Q, adaptado de Torres et al. (2014).

A alteração na corrente de carga do LDO implica diretamente na modificação de g_{mp} , o que altera a função de transferência do sistema. Existem, portanto, dois casos a considerar: corrente de carga moderada ou máxima (quando g_{mp} é muito maior que g_{m1} e g_{m2}) e corrente de carga baixa para moderada (quando g_{mp} é maior que g_{m1} e g_{m2}) (LAU; MOK; LEUNG, 2007).

Para o **primeiro caso**, no qual g_{mp} é muito grande, o sistema possui três polos e um zero, representados pelas equações 2.22, 2.23, 2.24 e 2.25, respectivamente. Com um g_{mp} grande, o polo p_3 está localizado em altas frequências e não afeta a estabilidade do LDO, enquanto o zero z_1 e o polo p_2 se cancelam. Portanto, sob essa condição de corrente, o LDO é estável com uma margem de fase teórica de 90° .

$$p_1 = \frac{1}{C_m g_{m2} g_{mp} R_{o1} R_{o2} R_{out}} \quad (2.22)$$

$$p_2 = \frac{g_{m2}}{C_{gd} + C_q} \quad (2.23)$$

$$p_3 = \frac{(C_{gd} + C_q)g_{mp}}{(C_{gd} + C_2 + C_q)C_{out}} \quad (2.24)$$

$$z_1 = \frac{g_{m1}g_{m2}}{C_m g_{mff}} \quad (2.25)$$

Para o **segundo caso**, no qual g_{mp} é apenas maior que g_{m1} e g_{m2} , o sistema possui um polo, representado pela equação 2.22, um par de polos complexos e um zero, representado pela equação 2.25. A frequência do polo complexo é dada pela equação 2.26, enquanto Q é dado pela equação 2.27.

$$\omega_o \approx \sqrt{\frac{g_{m2}g_{mp}}{(C_{gd} + C_2)C_{out}}} \quad (2.26)$$

$$Q = \frac{g_{m2}/\omega_o}{C_{gd} \left(1 - \frac{g_{m2}}{g_{mp}}\right) + \frac{C_q C_{out} g_{m2}}{C_m g_{mp}} + \frac{C_q g_{m2}}{g_{mcb}}} \quad (2.27)$$

A margem de fase (PM) com carga baixa ou moderada pode ser expressa pela equação 2.28, onde UGF representa a frequência de ganho unitário e pode ser definida pela equação 2.29 (TORRES et al., 2014).

$$PM = 90^\circ - \tan^{-1} \left\{ \frac{UGF/\omega_o}{Q \left[1 - (UGF/\omega_o)^2\right]} \right\} + \tan^{-1} \left(\frac{UGF}{z_1} \right) \quad (2.28)$$

$$UGF = \frac{\beta g_{m1}}{C_m} \quad (2.29)$$

Das equações 2.26 e 2.28, quanto maior a corrente de saída, maior será a frequência natural e a estabilidade do *LDO* será melhorada. Além disso, de acordo com 2.27, é possível diminuir Q aumentando o capacitor C_q e diminuindo a transcondutância do *buffer* de corrente. É possível também aprimorar a margem de fase do sistema através do aumento do capacitor C_m , conforme equação 2.29.

3 Metodologia

3.1 Elemento de Passagem

Como pode-se interpretar da equação 2.5, o elemento de passagem deve ser grande o suficiente para que o regulador seja capaz de fornecer a corrente necessária para a carga. Entretanto, as capacitâncias parasitas são proporcionais ao comprimento do transistor, dito isso, qualquer aumento no comprimento do transistor tem como resultado o aumento das capacitâncias parasitas (CORTEZ, 2017).

Tabela 1 – Especificações de projeto.

Especificações	Valor	Unidade
V_{in}	2,5	V
V_{out}	0,8	V
I_L	100	mA
R_L	8	Ω

Então, para o dimensionamento do elemento de passagem foram considerados os parâmetros de projeto apresentados na tabela 1. Em uma simulação, utilizando um amplificador operacional ideal e desconsiderando a corrente consumida pelos resistores de realimentação, como apresentado na figura 11, foram encontrados os seguintes valores apresentados nas equações 3.1 e 3.2.

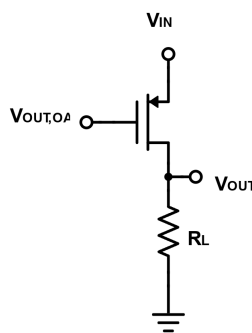


Figura 11 – Esquemático para obter dimensões do elemento de passagem.

$$L = 1\mu m \quad (3.1)$$

$$W = 4000\mu m \quad (3.2)$$

3.2 Resistores de Realimentação

Como tratado na seção 2.1.2, a tensão de saída é estabelecida por um divisor resistivo dado pela equação 2.4. A razão entre os transistores R_1 e R_2 deve satisfazer a equação 3.3, a tensão de referência utilizada terá valor típico de 600mV e deseja-se obter uma tensão de saída de 0,8V.

$$\frac{R_1}{R_2} = 0,33333... \quad (3.3)$$

Portanto, o valor de resistência escolhido arbitrariamente para R_1 e R_2 é de $50k\Omega$ e $150k\Omega$, respectivamente. Os valores são grandes para não consumir muita corrente, minimizando assim a corrente quiescente.

3.3 Projeto do Amplificador Operacional Classe AB e do LDO

Devido à fase inicial do projeto, as especificações para o amplificador de erro não foram estritamente definidas em termos de consumo de potência, área ocupada, *slew-rate* e ganho de banda, já que o projeto passará por fases de otimização. No entanto, é crucial que o amplificador possua um ganho elevado para permitir o funcionamento do curto-circuito virtual e garantir a rejeição de ruídos provenientes da fonte de alimentação, aumentando o PSRR.

Conforme explicado na seção 2.3.1.2, uma alternativa para melhorar o comportamento transitório do LDO é aumentar a corrente que flui através do estágio de saída, mas essa abordagem aumenta o consumo de potência. Portanto, foi estabelecido um limite superior de $100\mu W$ para o consumo de potência pelo amplificador. Com uma faixa de alimentação para o amplificador entre 1,5V e 2,5V, e a corrente de polarização do par diferencial de $5\mu A$. A tabela 2 resume as especificações do amplificador.

Tabela 2 – Especificações do classe AB

Especificações	Valor	Unidade
Alimentação	1,5 - 2,5	V
I_{bias}	5	μA
Ganho	≥ 70	dB
Consumo	≤ 100	μW

Levando em consideração as equações explicitadas na seção 2.3.3, os valores de capacitâncias e transcondutâncias foram definidos de modo que o LDO fosse projetado para apresentar uma margem de fase típica de 60° durante a corrente de carga mínima de $I_L = 100\mu A$, prevendo possíveis variações futuras devido aos parâmetros de fabricação.

3.4 Virtuoso

Para realizar a simulação comportamental do amplificador de erro e do *LDO* foi utilizada a ferramenta *Virtuoso Analog Design Environment* (Ambiente de Projeto Analógico *Virtuoso*, em tradução livre). Desenvolvida pela *Cadence Design System*, a ferramenta *Virtuoso* possui a tecnologia de 22nm utilizada em seu catálogo de componentes.

3.4.1 Simulação de *Corners*

A variabilidade no processo de fabricação dos transistores se divide em quatro extremos: o pior caso em termos de velocidade, consumo de energia, um caso intermediário e um caso favorável. No pior caso de velocidade, transistores PMOS e NMOS assumem parâmetros que os tornam lentos. Quando é falado em energia, o pior caso ocorre quando os transistores são considerados mais rápidos. O caso intermediário ocorre quando NMOS é rápido e o PMOS é lento. Já o caso favorável acontece quando os transistores PMOS são rápidos e os NMOS são lentos. Portanto, existem quatro cenários distintos: SS(Slow-Slow), SF(Slow-Fast), FS(Fast-Slow) e FF(Fast-Fast) (RAPPITSCH et al., 2004).

3.4.2 Amplificador Classe AB

Para obter os parâmetros de ganho em malha aberta, margem de fase, PSRR, ICMR, Taxa de Rejeição de Modo Comum (do inglês *Common-Mode Rejection Ratio - CMRR*) e *slew-rate*, do amplificador foram realizados *testbenchs* que simulam testes de bancada.

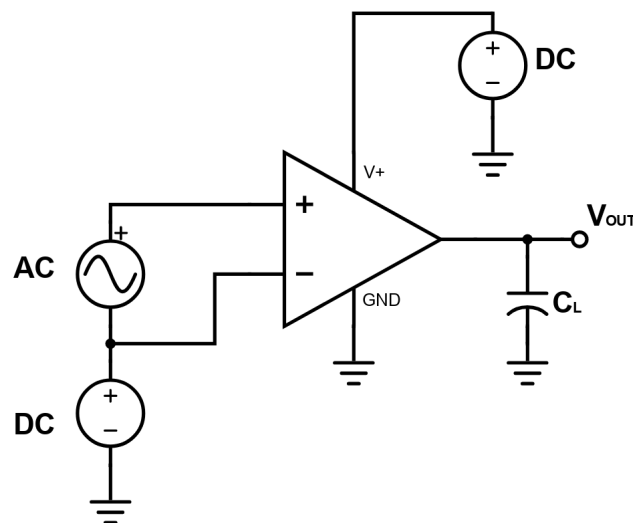


Figura 12 – *Testbench* da resposta em frequência do amplificador

Para obter o ganho em malha aberta, margem de fase e ganho-banda do amplificador, é necessário realizar uma simulação AC que possibilita a avaliação em frequência do amplificador. Para isso, uma fonte com 1V de magnitude AC é utilizada na entrada do amplificador, assim como uma tensão DC de 600mV também é utilizada para realizar a polarização do par diferencial. A figura 12 exemplifica o circuito utilizado para a simulação. O intervalo de frequência avaliado é de 1Hz a 1GHz.

Para encontrar o $PSRR$, a saída deve ser conectada a porta inversora do amplificador, enquanto a porta não-inversora deve ser alimentada com uma tensão DC de um 600mV. O parâmetro é obtido através de um análise XF, para tal, a tensão de alimentação deve ter 1V de magnitude XF, além da tensão DC de 2,5V. Apresentado na figura 13, o esquemático foi avaliado em frequências até 1GHz.

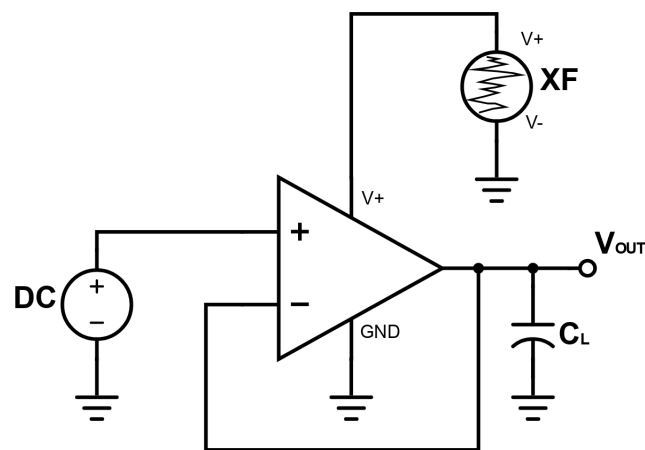


Figura 13 – *Test bench* do $PSRR$ do amplificador

O $CMRR$ é a razão entre o ganho diferencial, encontrado no esquemático da figura 12, e o ganho de modo comum (ALLEN; HOLBERG, 2002). Com o intuito de encontrar o ganho de modo comum, a topologia apresentada na figura 14 é implementada. Onde a fonte DC conectada a porta não inversora está configurada para fornecer 0V, enquanto a fonte AC está com configurada com 600mV de tensão DC e 1V de magnitude AC. Encontrado o ganho de modo comum, a calculadora da ferramenta de simulação é utilizada para calcular a razão entre o ganho diferencial e o de modo comum, resultando no $CMRR$.

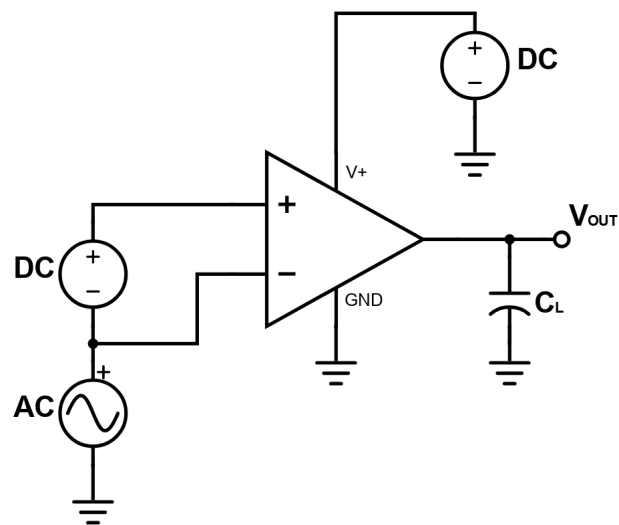


Figura 14 – *Test bench* para o ganho de modo comum

O *ICMR* especifica a o intervalo de tensão de modo comum em que o amplificador diferencial consegue amplificar o sinal diferencial com o mesmo ganho (ALLEN; HOLBERG, 2002). Para determiná-lo o circuito foi configurado da forma apresentada na figura 15, uma fonte DC com tensão variando de 0V a 2,5V é aplicada na porta não-inversora, enquanto a porta inversora é realimentada com a saída.

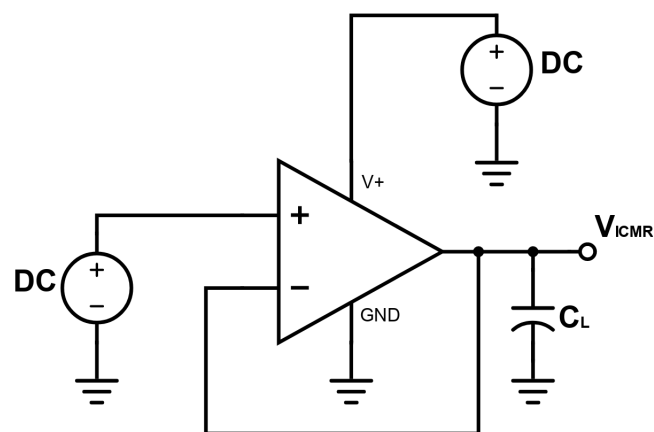


Figura 15 – *Testbench* do *ICMR* do amplificador

Finalmente, para o cálculo do *slew-rate* (*SR*), que define a resposta da saída com rápidas variações na entrada, foi utilizada a topologia apresentada na figura 16, na qual um pulso de 0 em baixo e 1V em alto, com tempo de subida de 1 μ s é inserido na porta não-inversora do amplificador, já a porta inversora é realimentada pela saída do amplificador. Uma simulação transiente é realizada para determinar o comportamento da tensão de saída, à partir dele, a velocidade de resposta é encontrada utilizando a ferramenta da calculadora.

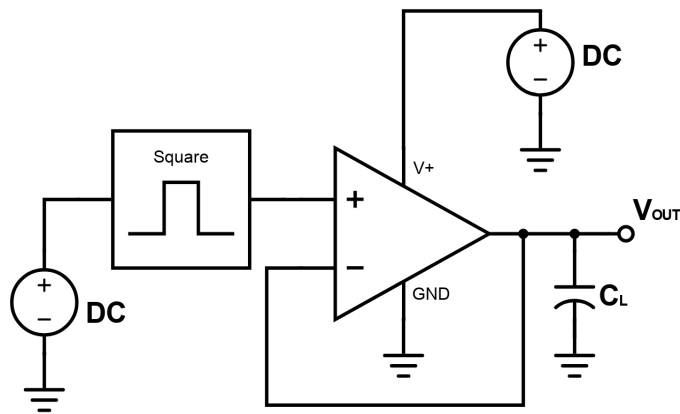


Figura 16 – *Testbench* para obtenção do *slew-rate*

3.4.3 Regulador *LDO*

Passadas as simulações e adquiridos os parâmetros do amplificador de erro, é possível realizar as simulações para obter parâmetros do *LDO*. Assim como no amplificador de erro, *testbenches* para observar ganho, fase, ganho-banda e *PSRR*, serão realizados, além destes, também serão feitas simulações para identificar regulação de linha e carga.

Diferente da simulação implementada no amplificador para obter ganho, fase e ganho-banda do mesmo, para obter os mesmos parâmetros do *LDO* é preciso realizar uma Simulação de Estabilidade (do inglês *Stability TestBench - STB*), para tal, faz-se necessário a inserção do componente *iprobe*, disponibilizado na biblioteca *analogLib*, de forma a quebrar o laço de realimentação. A figura 17 apresenta a configuração utilizada para simulação, onde a entrada do *LDO* é conectada a uma fonte de tensão DC de 2,5V e a entrada de referência é alimentada com fonte de tensão DC de 600mV. A avaliação de frequência é realizada de 1Hz a 1GHz.

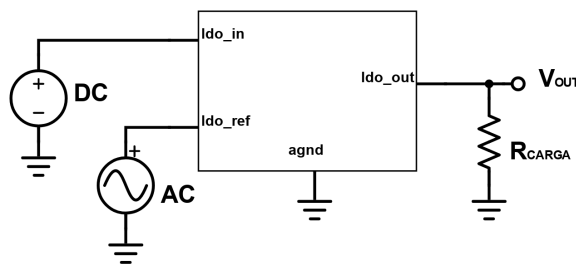


Figura 17 – *Test bench* para análise em frequência do *LDO*

Assim como no amplificador, para determinar o *PSRR* do *LDO* é necessário realizar uma simulação XF. Nesse sentido, uma fonte de tensão DC com 2,5V e uma magnitude de tensão XF de 1V é conectada a entrada do regulador e uma fonte de tensão DC com 600mV é conectada na entrada de referência. A análise é feita ao verificar a amplificação

da tensão de entrada em relação a saída. A figura 18 apresenta a topologia implementada para análise.

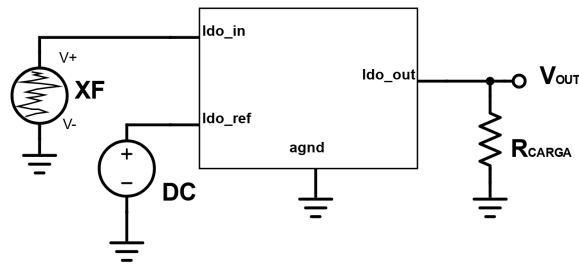


Figura 18 – *Test bench* para obter PSRR do LDO

Determinar a regulação de linha é determinar a estabilidade da tensão de saída com variações na tensão de entrada. Visando encontrar a regulação de linha do *LDO*, uma simulação paramétrica DC é realizada, nesta simulação a tensão de referência é fixa em 600mV e a tensão de entrada do *LDO* varia de 1,5V a 2,5V. A topologia utilizada para simulação é apresentada na figura 19.

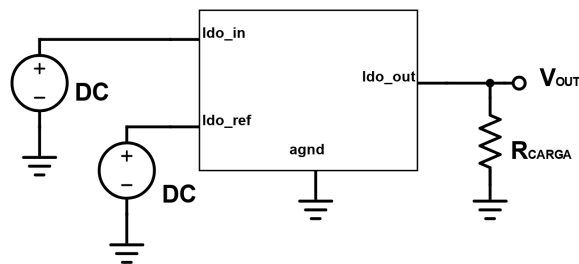


Figura 19 – *Test bench* para determinar a regulação de linha do LDO

Similar a regulação de linha, a regulação de carga determina a estabilidade da tensão de saída com variações na carga. Com o proposito de encontrar a regulação de carga, o resistor de carga é substituído por uma fonte de corrente ideal onde é feita a variação da corrente de 100 μA a 100 mA em 20 μs . Apresentado na figura 20, o circuito tem tensões de entrada do *LDO* e de referência fixas em 2,5V e 600mV, respectivamente.

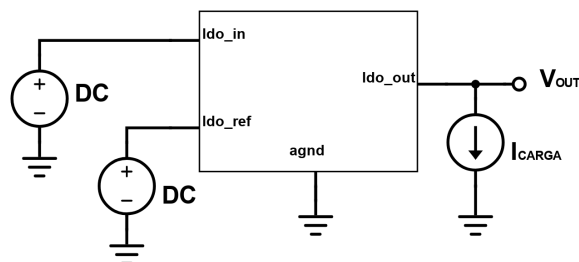


Figura 20 – *Testbench* para determinar a regulação de carga do LDO

4 Resultados

A princípio, o regulador de tensão *LDO* deve regular para 0,8V uma tensão de entrada que varia de 1,5V a 2,5V. Sem muitas restrições para consumo de potência e área, o regulador deve, obrigatoriamente, atenuar os ruídos provenientes da fonte de entrada, ser capaz de regular a tensão de saída quando estiver nas tensões máximas e mínimas, e quando uma corrente máxima de 100mA for consumida. A tabela 3 apresenta um resumo dos requisitos do regulador que deve ser projetado em tecnologia *CMOS* de 22nm da *TSMC*.

Tabela 3 – Especificações iniciais do LDO.

Parâmetro	Valor	Unidade
V_{in}	1,5 - 2,5	V
V_{out}	0,8	V
I_L	100	mA
PSRR	≤ 0	dB

4.1 Amplificador de Erro

Conforme detalhado na seção 2.3.3, a transcondutância de M_3 e M_4 é diretamente proporcional ao fator de qualidade. Assim, o tamanho de ambos foi reduzido sem comprometer o ganho do primeiro estágio. A transcondutância no caminho *feedforward* controla a posição do zero do sistema sendo inversamente proporcional. Portanto, as dimensões encontradas para o projeto do amplificador diferencial classe AB, que garantem uma margem de fase de 60° na corrente mínima, estão apresentadas na Tabela 4.

Tabela 4 – Dimensões dos Componentes do Amplificador de Erro

Transistor	W (μ m)	L (μ m)	Multiplicador
M_0	1	2	5
M_1, M_2	1	2	2
M_5, M_7	1	2	3
M_6, M_8	1	2	10

Analisando os resultados das simulações apresentadas nas Figuras 21 a 26, utilizando uma corrente de polarização de 5 μ A, identificou-se um ganho de 98 dB, porém com uma margem de fase de apenas 5°. Essa margem de fase não é adequada para o uso do amplificador em um sistema de realimentação. Porém, é importante ressaltar que essa margem foi influenciada pela falta de compensação, a qual só seria realizada com o

sistema completo. Parâmetros de ganho e outros obtidos através das curvas apresentadas abaixo estão resumidos na Tabela 5.

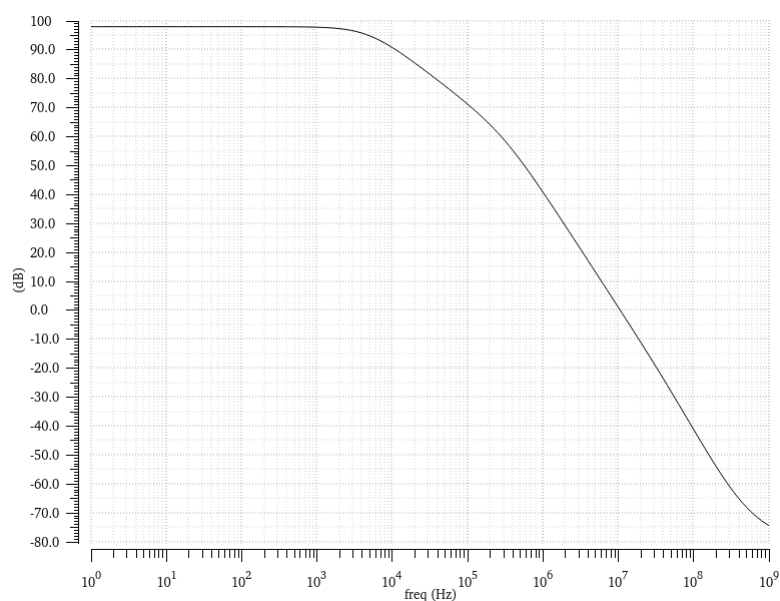


Figura 21 – Ganho do amplificador de erro classe AB sem compensação.

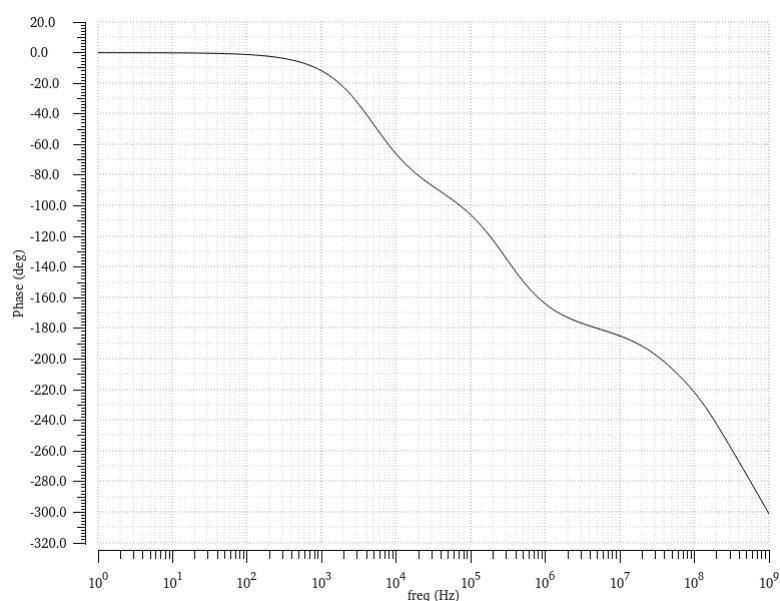


Figura 22 – Fase do amplificador de erro classe AB sem compensação.

O amplificador projetado deve ser capaz de atenuar as tensões de modo comum e amplificar o ganho em malha aberta, dessa forma, esperasse que o CMRR seja maior que o ganho em malha aberta, exatamente como é demonstrado na figura 23.

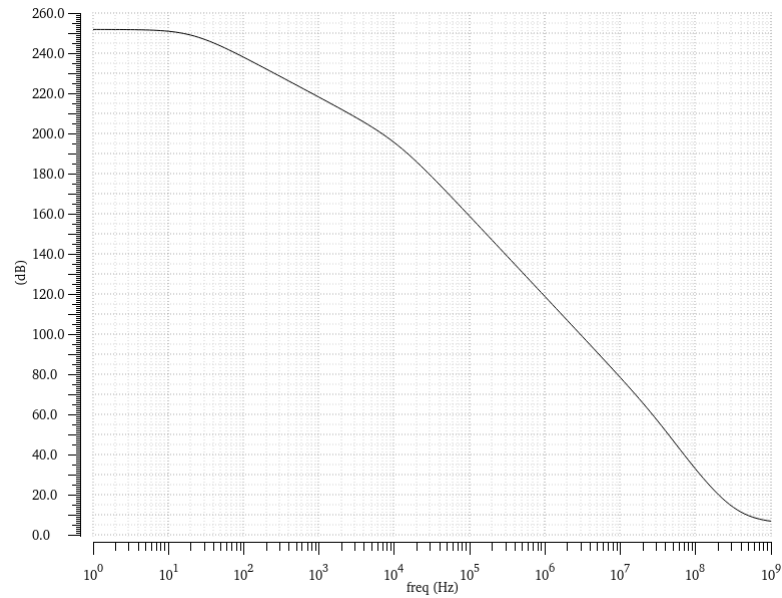


Figura 23 – CMRR do amplificador de erro classe AB.

A capacidade de atenuar os ruídos provenientes da fonte de alimentação é definida pelo PSRR. Conforme a figura 24, o amplificador apresentou um PSRR de aproximadamente -102 dB a 1kHz e -10 dB a 1GHz.

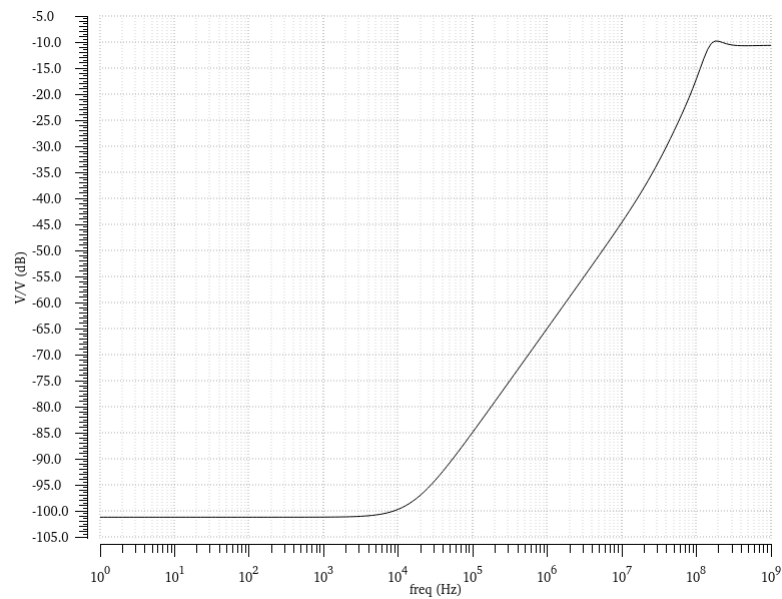


Figura 24 – PSRR do amplificador de erro classe AB.

A figura 25 mostra o intervalo de modo comum no qual o amplificador é capaz de manter o mesmo ganho. Foi obtido um ICMR mínimo de 0V e máximo de 2,4V.

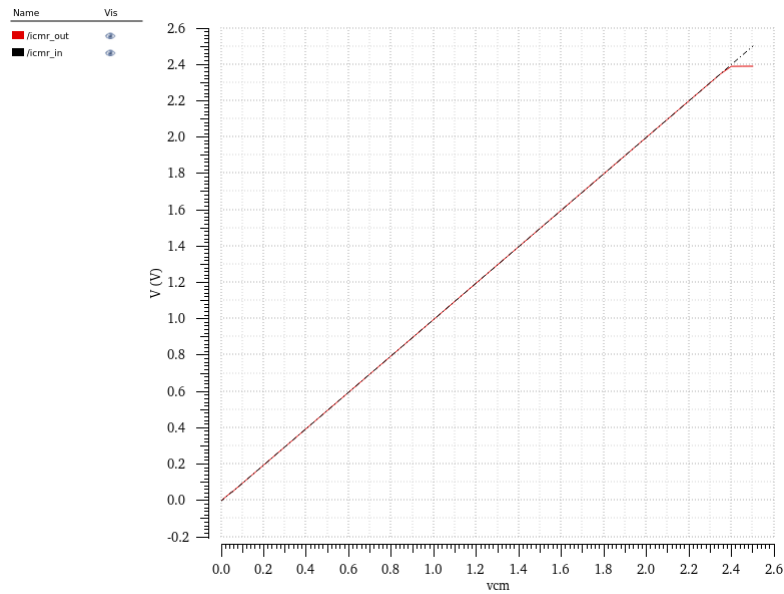


Figura 25 – ICMR do amplificador de erro classe AB.

O *slew rate* demonstra a capacidade do amplificador de responder a mudanças na tensão de entrada. Ao aplicar um pulso de $1\mu s$ na entrada com uma capacitância de carga de $10pF$, conforme mostrado na figura 26, a curva em preto representa a entrada do amplificador, com uma variação de $1 V/\mu s$, enquanto a curva em vermelho é a resposta do amplificador, que apresentou um *slew rate* de $0,5 V/\mu s$.

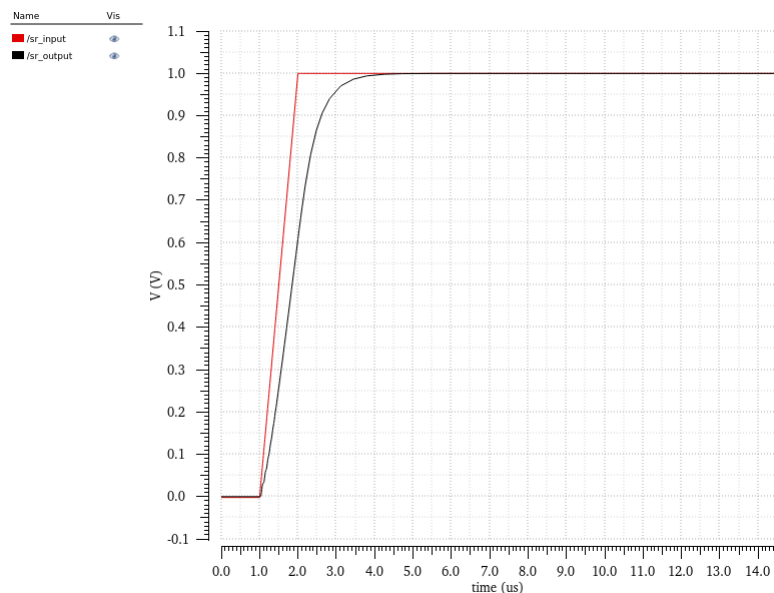


Figura 26 – *Slew rate* do amplificador de erro classe AB.

As principais características obtidas no projeto do amplificador operacional, observadas nos gráficos acima, foram resumidas na tabela 5.

Tabela 5 – Resultados do Amplificador de Erro.

Parâmetro	Valor
Tensão de Alimentação (V_{DD})	1,5 - 2,5V
Corrente de Polarização (I_{bias})	$5\mu A$
Potência	$75,51\mu W$
ICMR	0,0 - 2,4V
Ganho @ Vdd = 2,5V	98 dB
CMRR	252 dB
Slew-rate	0,535 V/us
PSRR @ 10kHz	-102 dB

4.2 Elemento de Passagem

As dimensões do elemento de passagem foram definidas de forma que fosse possível fornecer corrente nominal de 100mA para a carga. Para tal, as dimensões explicitadas na tabela 6 foram suficientes, como apresentado na figura 29.

Tabela 6 – Parâmetros do Elemento de Passagem

Transistor	W (μm)	L (μm)	Multiplicador
M_P	2	1	2000

4.3 Regulador LDO

Conforme a topologia apresentada na Figura 3, o LDO foi construído utilizando o amplificador classe AB projetado, com resistores R_1 e R_2 iguais a 50 k Ω e 150 k Ω , respectivamente, e as dimensões do elemento de passagem, detalhadas na tabela 6. As figuras 27 e 28 apresentam o ganho e a fase do LDO com tensão de alimentação de 2,5V e corrente de carga igual a 100 μA em vermelho, 1mA em verde, 10mA em azul e 100mA em rosa. Note que o LDO apresenta uma margem de fase de 65 $^\circ$ em seu pior caso, o que implica em estabilidade.

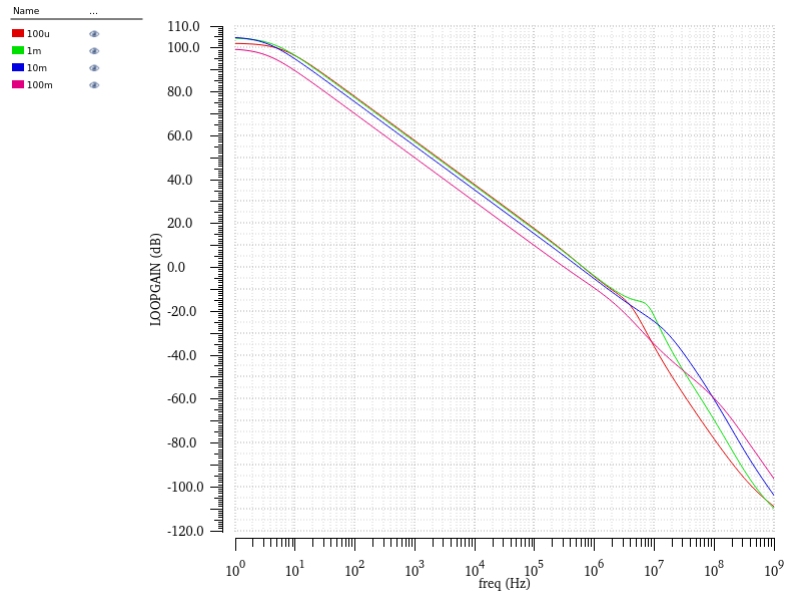


Figura 27 – Ganho do LDO para diferentes cargas.

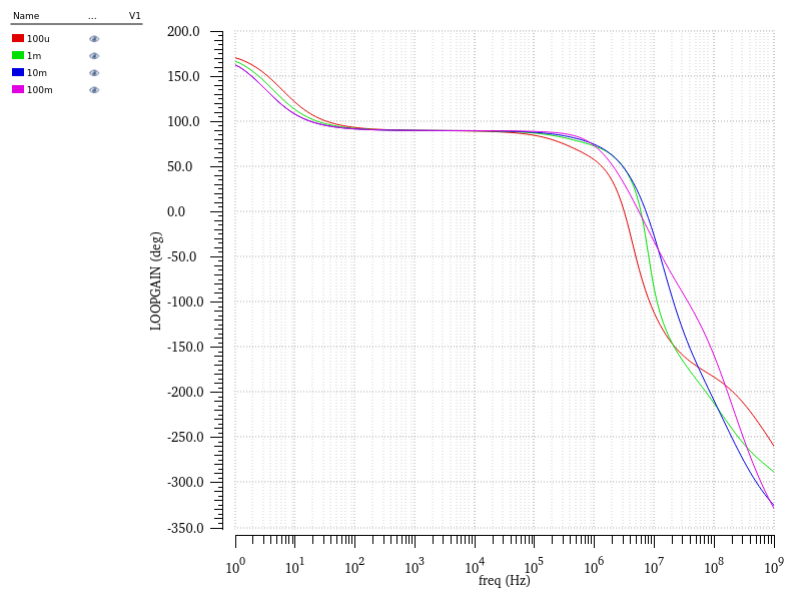
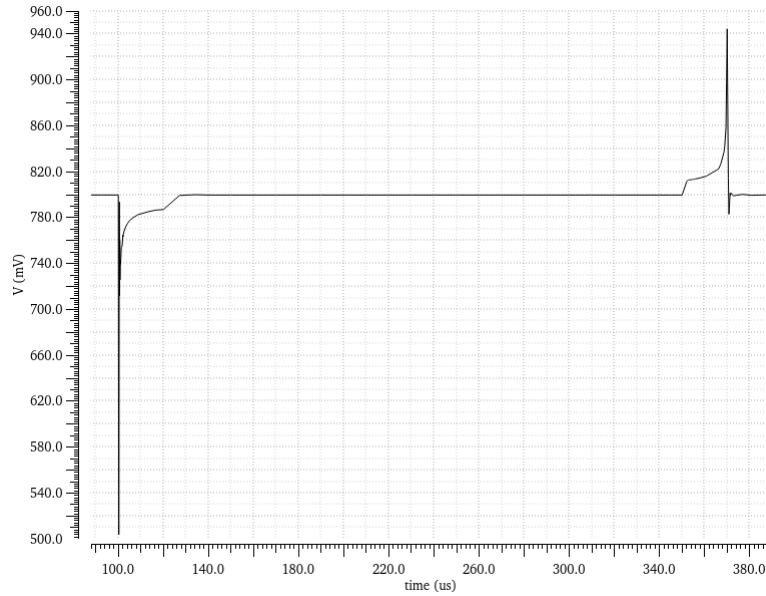
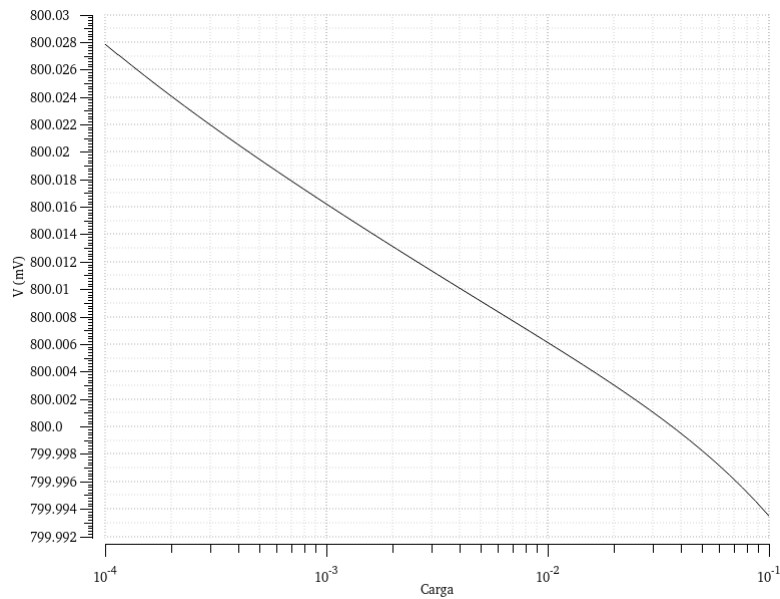


Figura 28 – Fase do LDO para diferentes cargas.

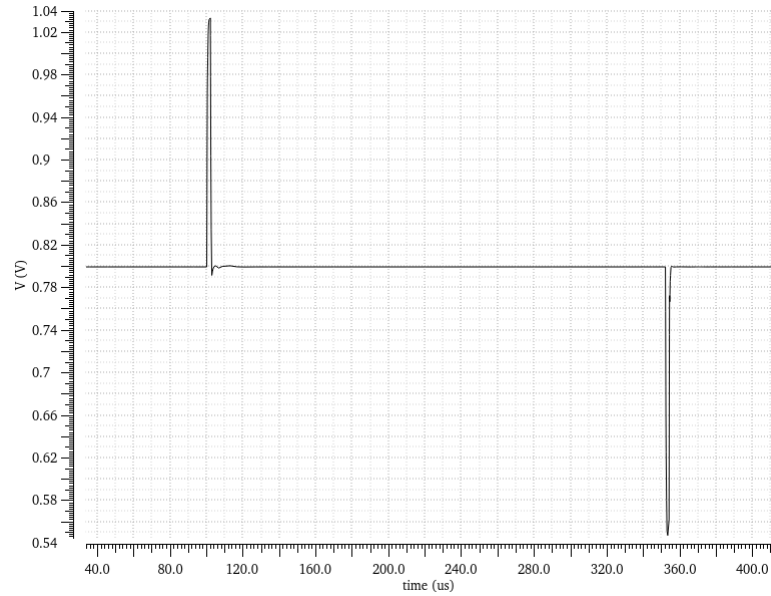
O regulador foi projetado para ser capaz de responder a mudanças bruscas de carga, portanto, a figura 29 demonstra o comportamento da tensão de saída quando a corrente de carga é alterada de 100 μ A para 100mA e vice-versa. Percebe-se um *undershoot* de 282,88mV e um *overshoot* de 149,67mV.

Figura 29 – Resposta transiente de carga do *LDO*.

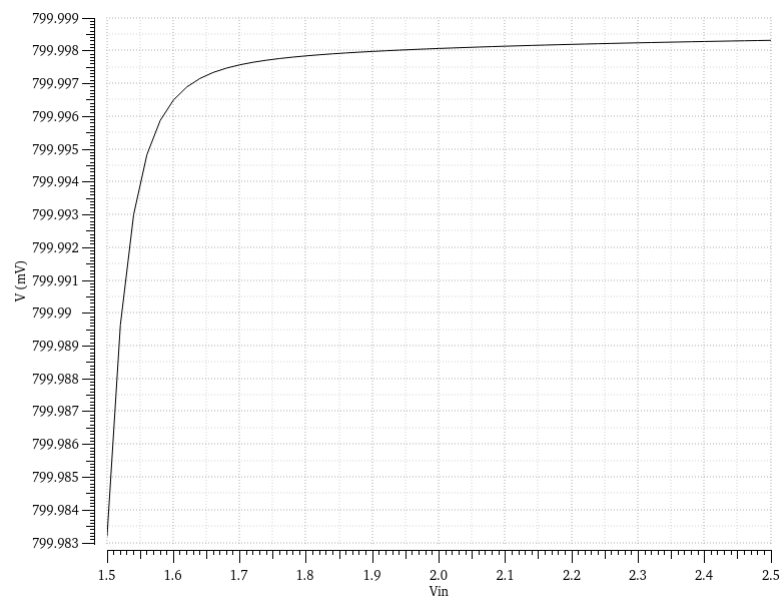
A figura 30 mostra como a tensão varia de acordo com a corrente de carga. O comportamento apresenta certa linearidade, com uma variação de aproximadamente $34\mu V$.

Figura 30 – Regulação de carga do *LDO*.

O regulador deve ser capaz de lidar com mudanças bruscas de tensões de alimentação dentro do seu intervalo de operação, de 1,5V a 2,5V. A figura 31 apresenta o comportamento da tensão de saída quando submetida a uma mudança de alimentação mínima para máxima em $1\mu s$, mostrando um *overshoot* de 233,9mV e um *undershoot* de 245mV.

Figura 31 – Resposta transitória de linha do *LDO*.

A curva apresentada na figura 32 demonstra a variação da tensão de saída em resposta às variações na tensão de alimentação, mantendo uma corrente de carga de 50mA. Ao contrário da regulação de carga, a regulação de linha não exibe um comportamento linear, apresentando uma variação de $15\mu\text{V}$.

Figura 32 – Regulação de linha do *LDO*.

Por fim, a Figura 33 ilustra o *PSRR* para quatro correntes de carga distintas: $100\mu\text{A}$ em vermelho, 1mA em amarelo, 10mA em verde e 100mA em azul. O melhor caso observado em altas frequências é com a corrente de carga máxima, apresentando -3dB a 1MHz . Em todas as situações, o *LDO* manteve um *PSRR* de -32dB a 10kHz .

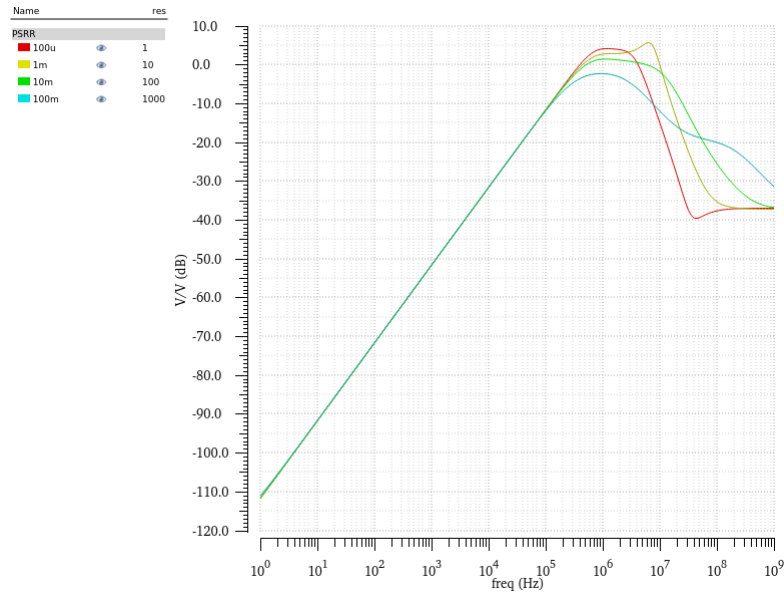


Figura 33 – PSRR do *LDO* para diferentes correntes de carga.

As características principais do LDO foram condensadas na tabela 7, onde também foi inserida uma coluna de um projeto encontrado na literatura, como efeito de comparação.

Tabela 7 – Performance do *LDO*.

Parâmetro	Projetado	Referência (TORRES et al., 2014)
Tensão de Alimentação (V_{IN})	1,5-2,5V	3,0 - 3,6V
Tensão de Saída (V_{OUT})	0,8V	2,8V
Corrente de Carga (I_L)	100 μ A-100mA	100 μ A-50mA
PSRR @ 10kHz	-32 dB	-45 dB
Capacitância On-chip ($C_m + C_q$)	10p	7pF
Capacitância de Carga (C_L)	100p	190pF
Dropout @ $I_L = 50$ mA	550mV	-
Corrente Quiescente @ $I_L = 50$ mA	30 μ A	60 μ A
Regulação de Linha	0,015 mV/V	0,001 V/V
Regulação de Carga @ $V_{IN} = 2,5$ V	0,034 mV/mA	0,721 mV/mA
Varição de tensão máxima (ΔV_{OUT})	282,88 mV	-

4.4 Corners

Foram realizadas simulações de *corners*, que variam os parâmetros de fabricação, para grande parte das simulação até então apresentadas. As simulações SS encontram-se no apêndice A e as simulações FF encontram-se no apêndice B.

4.5 Discussões

A tabela 7 condensa os resultados apresentados nas curvas da seção anterior. Por apresentar um alto ganho, o *LDO* é capaz de atenuar ruídos da alimentação, mesmo os de alta frequência. Com um capacitor relativamente pequeno de 10pF, em comparação aos utilizados em projetos na literatura, o regulador foi capaz de apresentar margem de fase de 65° com a corrente mínima, pior caso dos reguladores compensados internamente.

Sob uma carga de 50mA, a tensão de *dropout* foi de 550mV, o que significa que o *LDO* passa a fornecer uma tensão de saída de 0,8V quando a tensão de entrada é de 1,35V e continua regulando até 2,5V. O regulador projetado demonstrou ter uma corrente quiescente baixa, aumentando assim a eficiência do regulador. Quando submetido a variações na tensão de alimentação e/ou na corrente de carga, o *LDO* apresenta pouca variação na tensão de saída, resultado de uma regulação eficiente de linha e carga .

Embora tenha apresentado picos de tensão relativamente baixos em casos de mudanças abruptas de corrente, o regulador mostrou picos de tensão que excederam 50% do valor da tensão de saída típica quando submetido a variações nos *corners* e na temperatura.

5 Conclusões

O presente estudo apresentou o projeto de um regulador de tensão *low dropout* com tensão de saída de 0,8V e corrente de carga de 100mA, para tensões de entrada que podem variar de 1,5V até 2,5V. O regulador foi projetado em tecnologia CMOS da TSCM de 22nm para aplicação em um circuito integrado gerenciador de potência de um microcontrolador de 32 bits.

O regulador, compensado internamente, apresentou comportamento satisfatório em situações típicas de operação, porém, revelou-se sensível a mudanças de temperatura e parâmetros de fabricação. Para a corrente de carga máxima, não foi necessária a utilização de um capacitor externo para compensação, o que resultou em uma considerável redução na área de silício utilizada.

5.0.1 Trabalhos futuros

Como trabalhos futuros, para as etapas anteriores à fabricação, o objetivo é aprimorar a resposta transitória do regulador nesses casos, aumentando a corrente na saída do amplificador e fazendo ajustes para não afetar a compensação do *LDO*. Existe também a possibilidade de implementar uma compensação externa para situações em que uma corrente de carga maior seja necessária.

Além disso, é fundamental elaborar o *layout* para a fabricação e validação do componente em bancada. Para rodadas de fabricação futuras, seria interessante implementar o *LDO* com transistor de passagem NMOS, por possuírem uma maior transcondutância e mobilidade que o PMOS. Isso resultaria em um *LDO* ocupando menos espaço no chip, além de proporcionar uma resposta transitória mais eficiente. No entanto, o desafio principal seria atingir níveis elevados de tensão na porta do transistor de potência. Felizmente, existem estudos que exploram um método para ampliar a faixa de tensão do amplificador de erro, chamado de *charge pump*, que pode ser promissor para trabalhos futuros.

Referências

- ACOSTA, S. M. *Projeto de amplificadores operacionais CMOS utilizando transistores compostos em "sea-of-transistors"*. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, 1997. Disponível em: <<https://repositorio.ufsc.br/handle/123456789/111588>>. Citado na página 21.
- ALEXANDER, C. K.; SADIKU, M. N. O.; NASCIMENTO, J. L. D. *Fundamentos de Circuitos Elétricos*. 1^a ed.. ed. Local de publicação: Mcgraw Hill - Artmed, 2013. 896 p. ISBN 8580551722, 9788580551723. Citado na página 21.
- ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. 3rd. ed. New York, NY: Oxford University Press, 2002. ISBN 9780199765072. Citado 4 vezes nas páginas 18, 19, 32 e 33.
- AMARAL, T. A. M. d. *Projeto de um LDO digital para aplicações de baixa tensão em tecnologia CMOS*. Tese (text) — Universidade de São Paulo, abr. 2022. Disponível em: <<https://www.teses.usp.br/teses/disponiveis/3/3140/tde-12082022-081815/>>. Citado na página 16.
- CHEN, K. *Power Management Techniques for Integrated Circuit Design*. John Wiley & Sons, 2016. ISBN 9781118896846. Disponível em: <<https://books.google.com.br/books?id=y6-UAQAACAAJ>>. Citado na página 14.
- CORTEZ, M. *Projeto de um Regulador de Tensão em Tecnologia CMOS de 180 nm para Circuitos Biomédicos Implantáveis que Empregam Transferência de Energia Sem Fio (WPT)*. Trabalho de Conclusão de Curso — Universidade Federal do Pampa, 2017. Citado 3 vezes nas páginas 18, 19 e 29.
- CREPALDI, P. C. Um regulador de tensão linear CMOS, baseado na topologia LDO, para aplicação em um Bio-Implante. abr. 2010. Accepted: 2018-06-25T13:24:13Z. Disponível em: <<https://repositorio.unifei.edu.br/jspui/handle/123456789/1402>>. Citado 2 vezes nas páginas 18 e 19.
- DHANASEKARAN, V.; SILVA-MARTINEZ, J.; SANCHEZ-SINENCIO, E. Design of Three-Stage Class-AB 16 Ω Headphone Driver Capable of Handling Wide Range of Load Capacitance. *IEEE Journal of Solid-State Circuits*, v. 44, n. 6, p. 1734–1744, jun. 2009. ISSN 1558-173X. Conference Name: IEEE Journal of Solid-State Circuits. Disponível em: <<https://ieeexplore.ieee.org/document/4982871>>. Citado na página 25.
- GUPTA, H. et al. Design of high PSRR folded cascode operational amplifier for LDO applications. In: *2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*. [S.l.: s.n.], 2016. p. 4617–4621. Citado na página 22.
- INSTRUMENTS, T. *Fundamental Theory of PMOS Low-Dropout Voltage Regulators*. [S.l.], 1999. Revised August 2018. Citado 2 vezes nas páginas 16 e 17.
- LAU, S. K.; MOK, P. K. T.; LEUNG, K. N. A Low-Dropout Regulator for SoC With Q-Reduction. *IEEE Journal of Solid-State Circuits*, v. 42, n. 3, p. 658–664, mar. 2007.

- ISSN 1558-173X. Conference Name: IEEE Journal of Solid-State Circuits. Disponível em: <<https://ieeexplore.ieee.org/document/4114753>>. Citado 4 vezes nas páginas 7, 25, 26 e 27.
- LEE, B. S. *Understanding the Terms and Definitions of LDO Voltage Regulators*. [S.l.], 1999. Citado 2 vezes nas páginas 20 e 21.
- MELLO, P. C. Brasil é uma das novas frentes na guerra dos chips entre eua e china. *Folha de S.Paulo*, março 2023. Disponível em: <<https://www1.folha.uol.com.br/mundo/2023/03/brasil-e-uma-das-novas-frentes-na-guerra-dos-chips-entre-eua-e-china.shtml>>. Citado na página 14.
- PENTEADO, S. Crise de escassez de semicondutores prejudica desde setor automotivo até programas de aceleradores de partículas, e tem disputa econômica entre eua e china como complicador. *Jornal da Unesp*, janeiro 2023. Citado na página 14.
- RAPPITSCH, G. et al. SPICE modeling of process variation using location depth corner models. *IEEE Transactions on Semiconductor Manufacturing*, v. 17, n. 2, p. 201–213, maio 2004. ISSN 1558-2345. Conference Name: IEEE Transactions on Semiconductor Manufacturing. Disponível em: <<https://ieeexplore.ieee.org/document/1296724>>. Citado na página 31.
- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 2nd ed.. ed. New York: McGraw-Hill, 2001. 801 p. ISBN 0072380322. Citado na página 21.
- RAZAVI, B. *Fundamentos de Microeletrônica*. Porto Alegre: Bookman, 2008. 758 p. ISBN 9788577805371. Citado 2 vezes nas páginas 21 e 22.
- TORRES, J. et al. Low drop-out voltage regulators: Capacitor-less architecture comparison. *IEEE Circuits and Systems Magazine*, v. 14, n. 2, p. 6–26, 2014. Citado 7 vezes nas páginas 7, 24, 25, 26, 27, 28 e 44.
- ČERMÁK, M. Design of low-dropout voltage regulator. In: . [s.n.], 2016. Disponível em: <<https://www.semanticscholar.org/paper/Design-of-low-dropout-voltage-regulator-%C4%8Cerm%C3%A1k/b95df00cbe7f94f7ee8eb2c46111cd6d5e735ad2>>. Citado 4 vezes nas páginas 18, 19, 20 e 21.

Apêndices

APÊNDICE A – Simulação de Corner SS

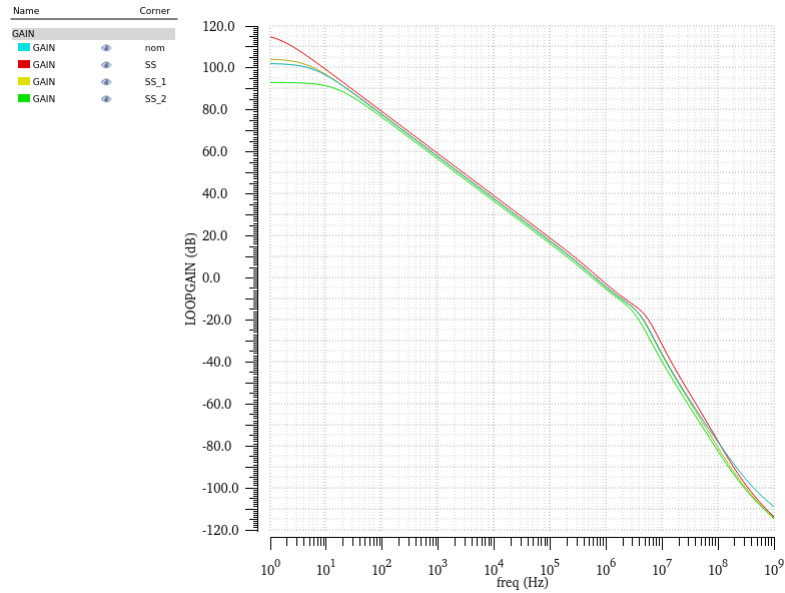


Figura 34 – Ganho do regulador *LDO* SS para para $I_L = 100\mu A$.

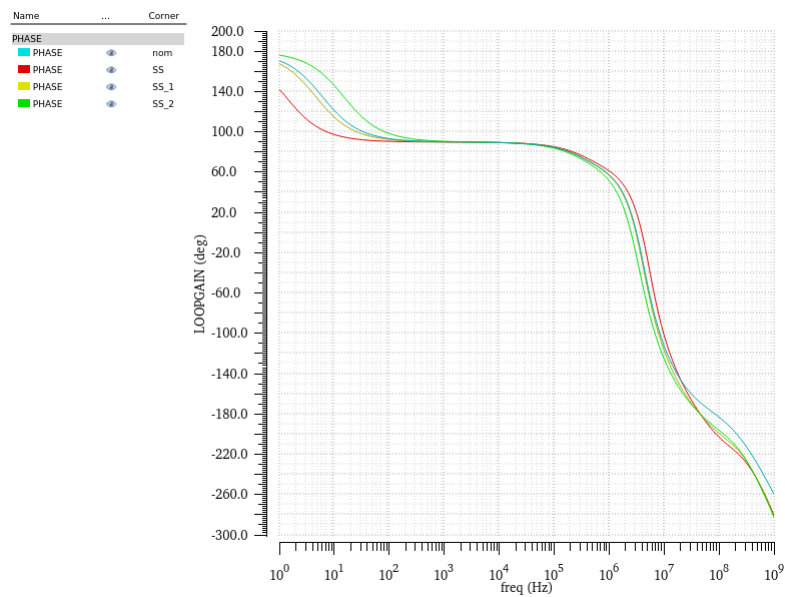


Figura 35 – Fase do regulador *LDO* SS para para $I_L = 100\mu A$.

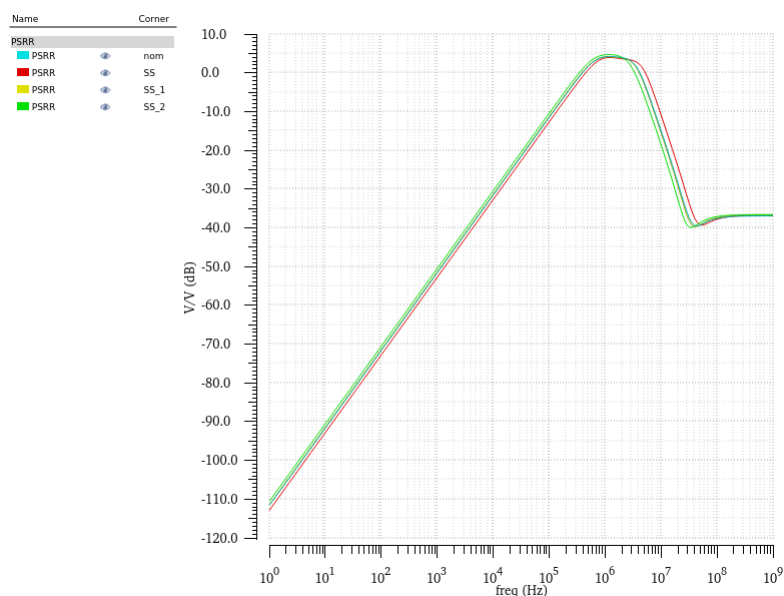


Figura 36 – PSRR do regulador *LDO SS* para para $I_L = 100\mu A$.

Tabela 8 – Parâmetros de estabilidade do *LDO SS* com $I_L = 100\mu A$.

Parâmetro	T = -40	T = 27	T=80
Ganho (dB)	114,9	104,2	93,16
Fase (°)	65,48	64,85	63,84
UGF (Hz)	697,2K	587,2K	526,9K
PSRR (dB) @ 10KHz	-32,65	-31,28	-30,37

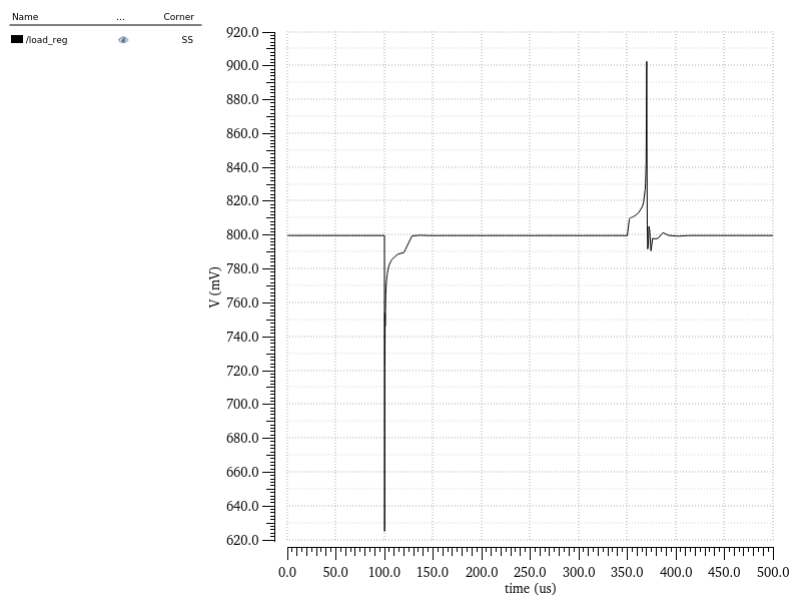


Figura 37 – Transiente de carga do *LDO SS* para para $I_L = 100\mu A$ e $T = -40^\circ$.

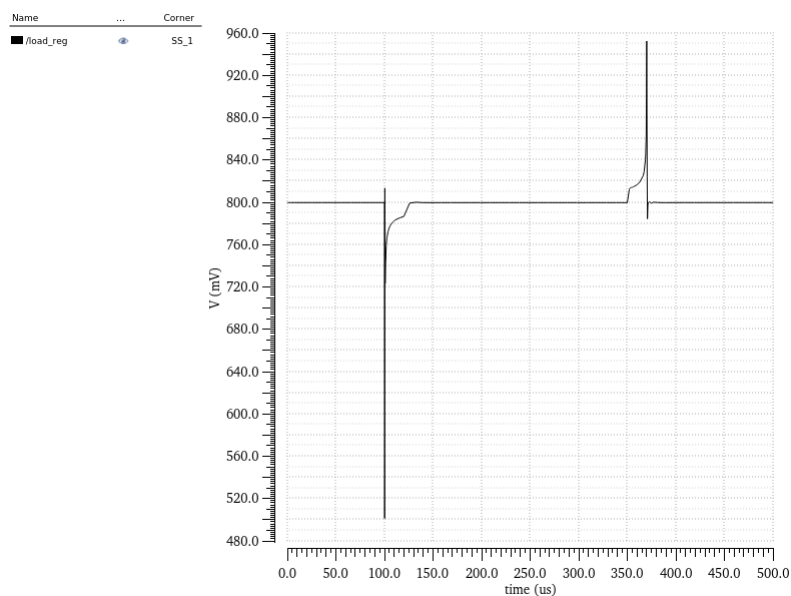


Figura 38 – Transiente de carga do *LDO* SS para para $I_L = 100\mu A$ e $T = 27^\circ$.

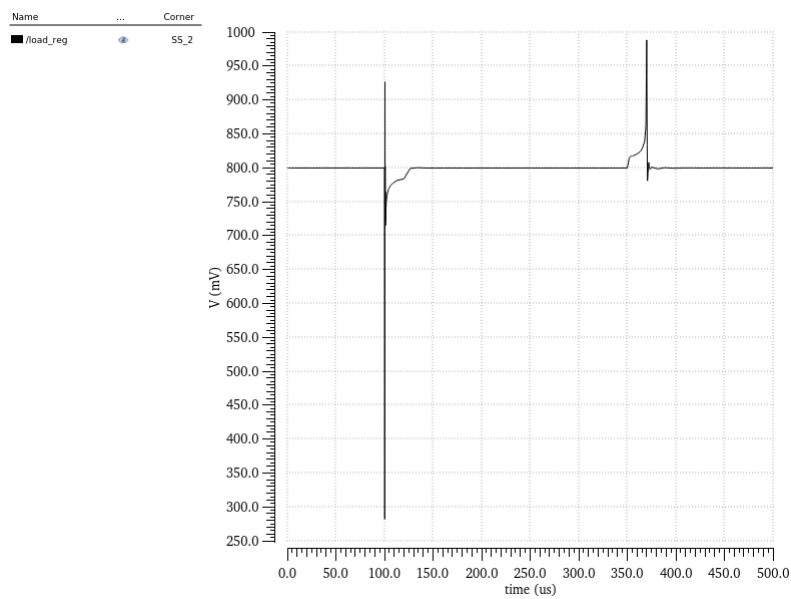


Figura 39 – Transiente de carga do *LDO* SS para para $I_L = 100\mu A$ e $T = 80^\circ$.

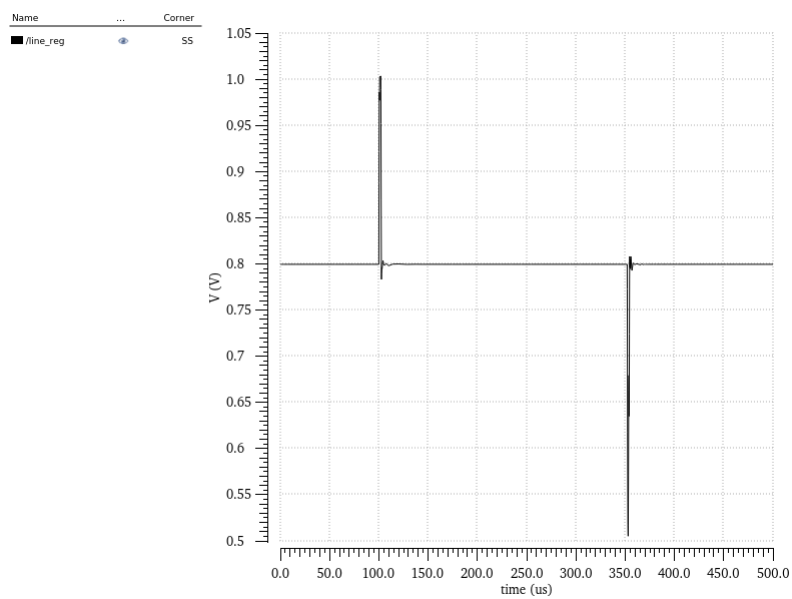


Figura 40 – Transiente de linha do *LDO SS* para para $I_L = 100\mu A$ e $T = -40^\circ$.

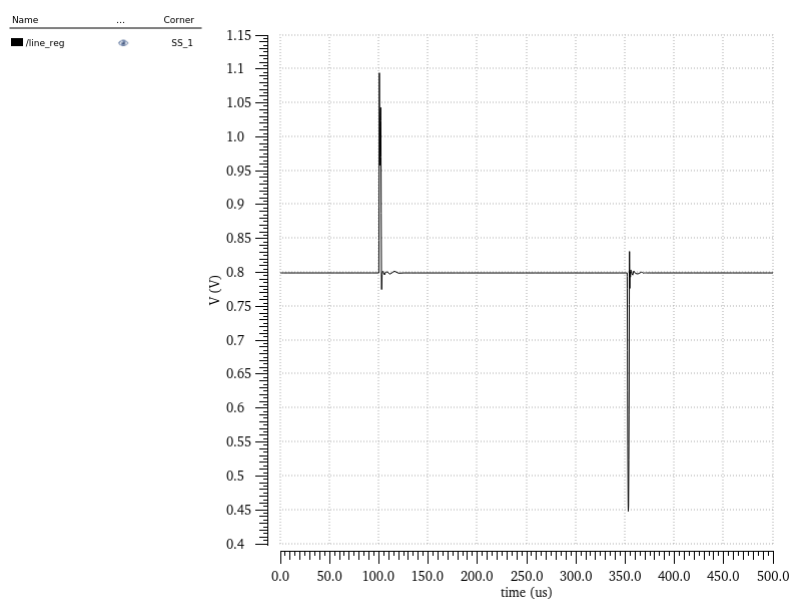


Figura 41 – Transiente de linha do *LDO SS* para para $I_L = 100\mu A$ e $T = 27^\circ$.

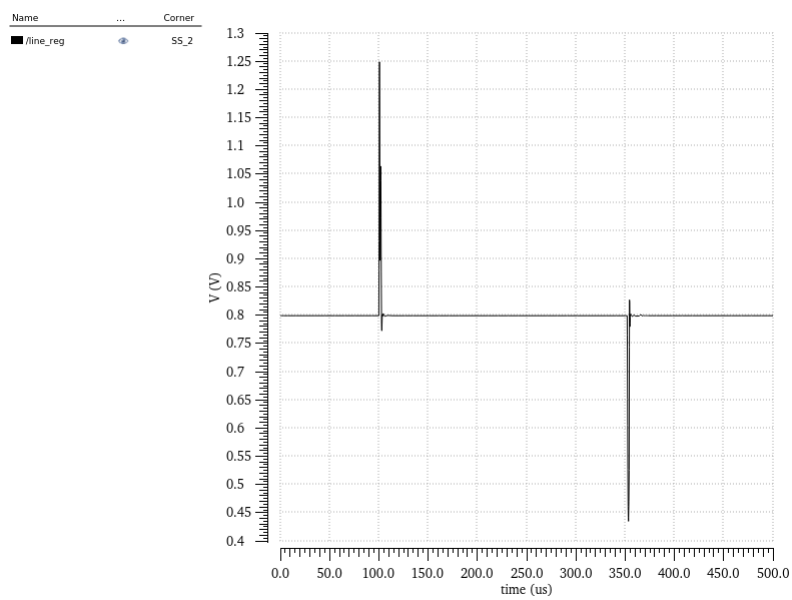


Figura 42 – Transiente de linha do *LDO* SS para para $I_L = 100\mu A$ e $T = 80^\circ$.

APÊNDICE B – Simulação de Corner FF

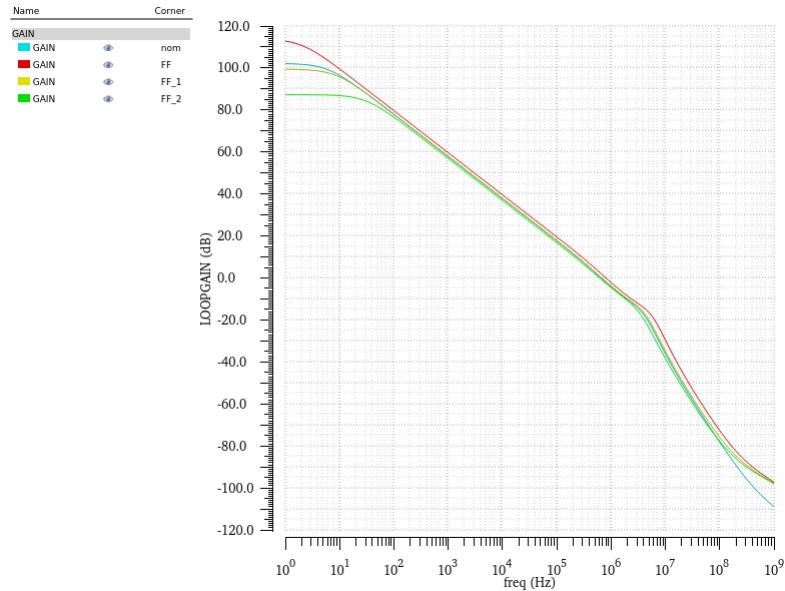


Figura 43 – Ganho do regulador *LDO* FF para para $I_L = 100\mu A$.

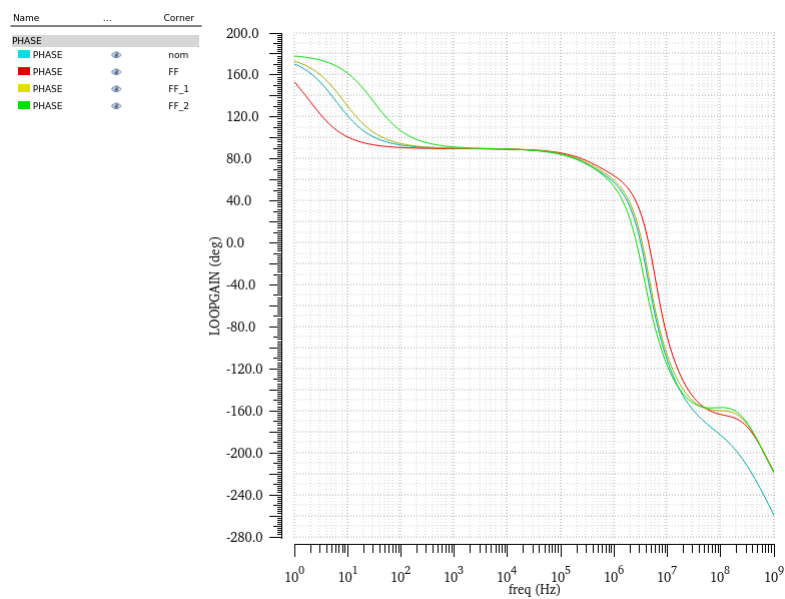


Figura 44 – Fase do regulador *LDO* FF para para $I_L = 100\mu A$.

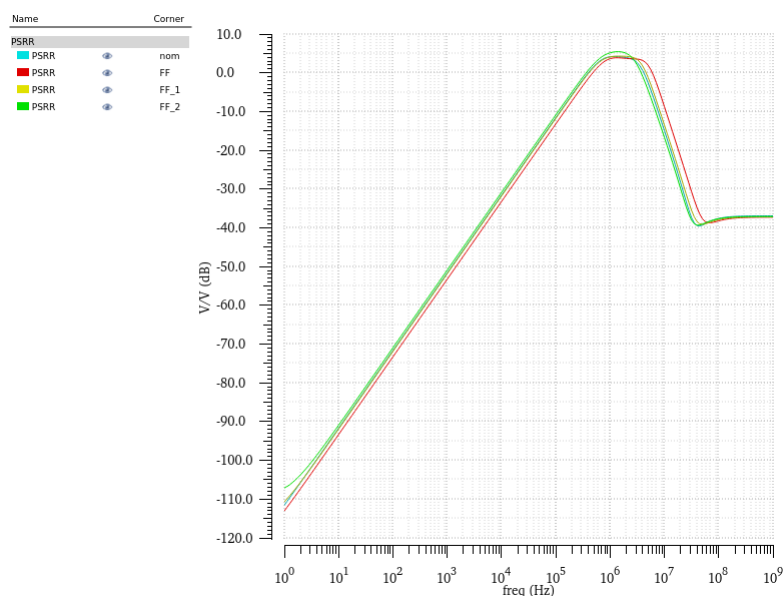


Figura 45 – PSRR do regulador *LDO* FF para para $I_L = 100\mu A$.

Tabela 9 – Parâmetros de estabilidade do *LDO* FF para $I_L = 100\mu A$.

Parâmetro	T = -40	T = 27	T=80
Ganho (dB)	112,8	99,45	87,34
Fase (°)	66,97	66,15	64,55
UGF (Hz)	745,7K	627K	565,6K
PSRR (dB) @ 10KHz	-33.13	-31.72	-30.78

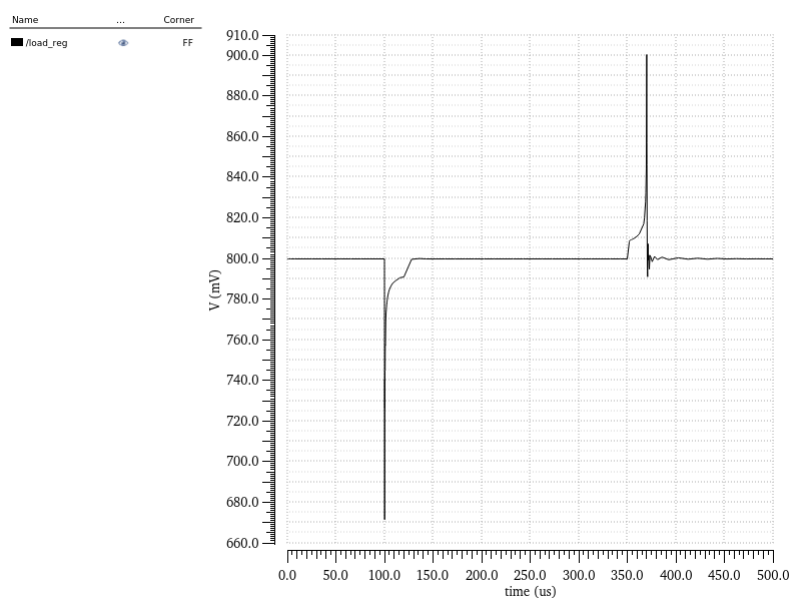


Figura 46 – Transiente de carga do *LDO* FF para para $I_L = 100\mu A$ e $T = -40^\circ$.

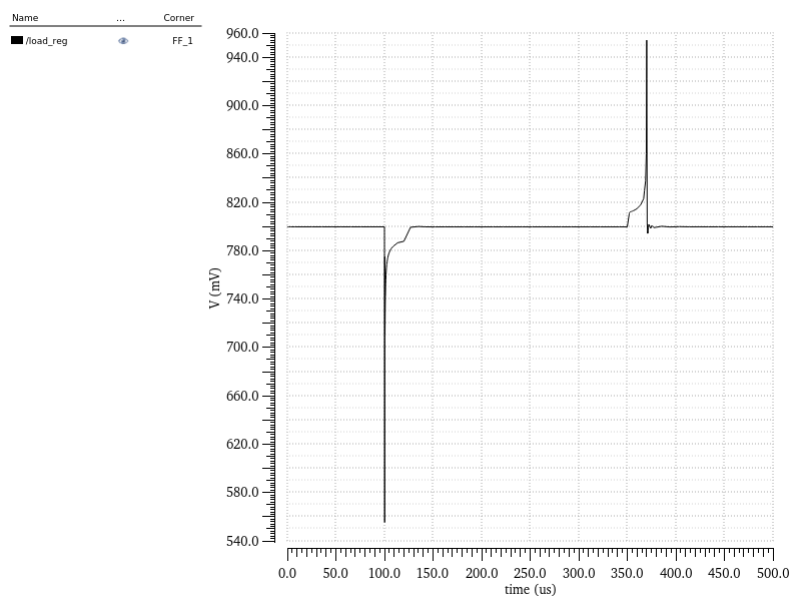


Figura 47 – Transiente de carga do *LDO* FF para para $I_L = 100\mu A$ e $T = 27^\circ$.

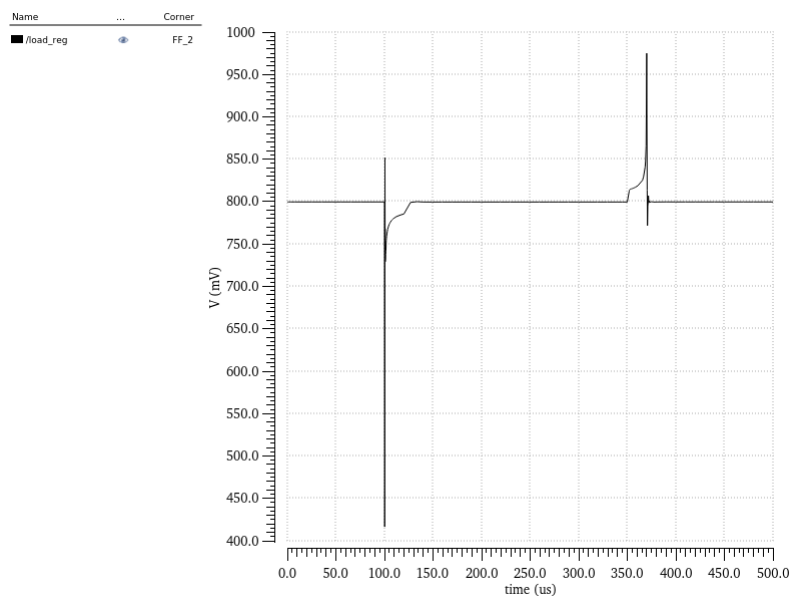


Figura 48 – Transiente de carga do *LDO* FF para para $I_L = 100\mu A$ e $T = 80^\circ$.

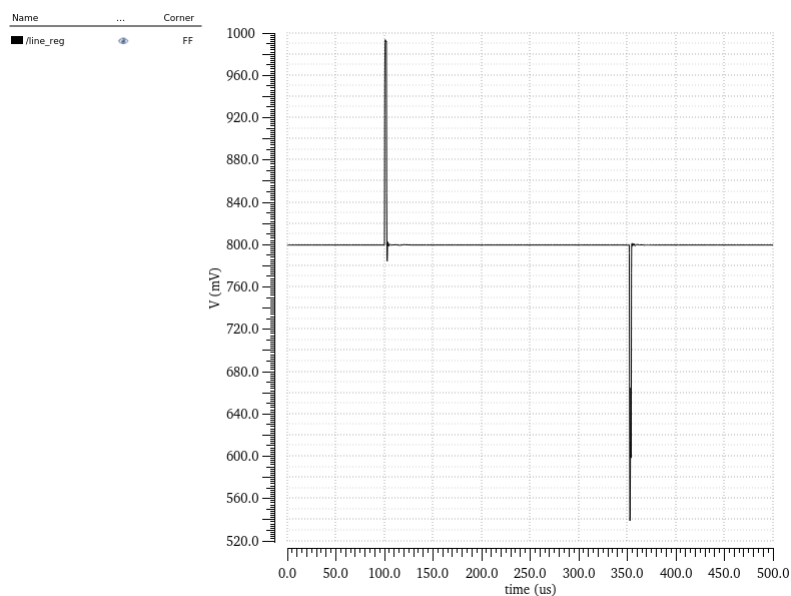


Figura 49 – Transiente de linha do *LDO* FF para para $I_L = 100\mu A$ e $T = -40^\circ$.

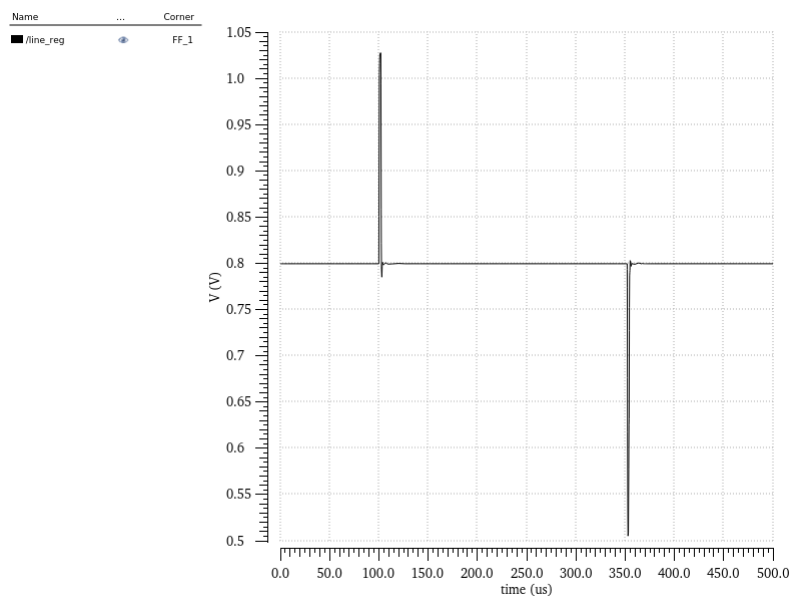


Figura 50 – Transiente de linha do *LDO* FF para para $I_L = 100\mu A$ e $T = 27^\circ$.

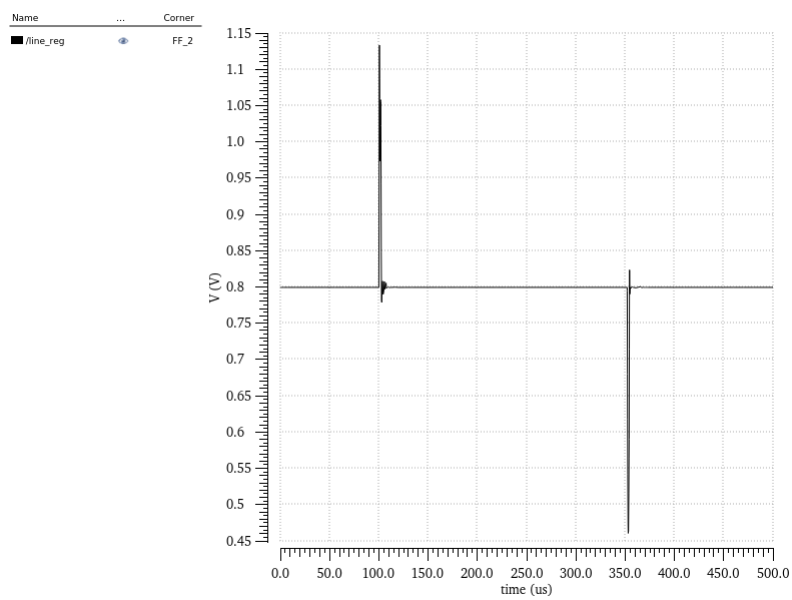


Figura 51 – Transiente de linha do *LDO* FF para para $I_L = 100\mu A$ e $T = 80^\circ$.